Федеральное государственное учреждение «Федеральный научный центр Научно-исследовательский институт системных исследований Российской академии наук» (ФГУ ФНЦ НИИСИ РАН)

ТРУДЫ НИИСИ РАН

TOM 7 № 2

МАТЕМАТИЧЕСКОЕ И КОМПЬЮТЕРНОЕ МОДЕЛИРОВАНИЕ СЛОЖНЫХ СИСТЕМ:

ТЕОРЕТИЧЕСКИЕ И ПРИКЛАДНЫЕ АСПЕКТЫ

МОСКВА 2017

Редакционный совет ФГУ ФНЦ НИИСИ РАН:

В.Б. Бетелин (председатель), Е.П. Велихов, В.А. Галатенко, В.Б. Демидович (отв. секретарь), Б.В. Крыжановский, А.Г. Кушниренко, А.Г. Мадера, М.В. Михайлюк, В.Я. Панченко, В.П. Платонов, В.Н. Решетников

> Главный редактор журнала: В.Б. Бетелин

Научный редактор номера:

С.Г.Бобков, М.С.Горбунов

Тематика номера:

Теоретические и прикладные вопросы микро- и наноэлектроники (по материалам 16-ой Всероссийской научно-технической конференции "Электроника, микро- и наноэлектроника: Суздаль, 3 – 7 июля 2017")

Журнал публикует оригинальные статьи по следующим областям исследований: математическое и компьютерное моделирование, обработка изображений, визуализация, системный анализ, методы обработки сигналов, информационная безопасность, информационные технологии, высокопроизводительные вычисления, оптико-нейронные технологии, микро- и наноэлектроника, вопросы численного анализа, история науки и техники

The topic of the issue:

Theoretical and applied problems of micro- and nanoelectronics (Based on the materials of the 16th All-Russian Scientific and Technical conference: "Electronics, micro- and nanoelectronics: Suzdal, July 3 – 7, 2017")

The Journal publishes novel articles on the following research arias: mathematical and computer modeling, image processing, visualization, system analysis, signal processing, information security, information technologies, high-performance computing, optical-neural technologies, micro- and nanoelectronics, problems of numerical analysis, history of science and of technique

Заведующий редакцией: Ю.Н.Штейников

Издатель: ФГУ ФНЦ НИИСИ РАН, 117218, Москва, Нахимовский проспект 36, к. 1

© Федеральное государственное учреждение «Федеральный научный центр Научноисследовательский институт системных исследований Российской академии наук», 2017 г.

СОДЕРЖАНИЕ

I. ПРОЕКТИРОВАНИЕ СБИС, НАНОЭЛЕКТРОНИКА

В.Я.Стенин. Эффекты зарядовой связи элементов КМОП микросхем по объёмной
технологии при воздействии одиночных ядерных частиц 5
М.С.Горбунов. Транзисторная гонка в космосе 15
А.М.Антонова, М.Е.Барских, П.С.Зубковский. Способы фильтрации SNOOP-запросов
в многоядерных микропроцессорах
С.И.Бабкин, С.И.Волков, А.С.Новосёлов. Исследование возможности использования
технологии 05КНИ с вольфрамовой металлизацией для создания высокотемпературных
интегральных схем
В.В.Мастеров, Ю.Б.Рогаткин. Цифровая ФАПЧ для технологического процесса с
нормами 65 нм
И.А.Харитонов, И.А.Четвериков, Е.Ю.Кузин, М.Р.Исмаил-Заде. Определение
параметров SPICE-моделей МОПТ при низких температурах (до минус 200° С)
А.Ю.Богданов. Опыт применения платформы прототипирования на ПЛИС "Protium"
для верификации микропроцессоров
С.А.Кизиев. К.К.Смирнов. Конструктивные и технологические решения. применяемые
при разработке и изготовлении современных СБИС

II. ЭЛЕКТРОННЫЕ СИСТЕМЫ

<i>В.Р.Джафаров</i> . Univ	ersal Memory Bu	us (UMBus) –	универс	альный	й про	ограммируемый
контроллер доступа в	о флеш-память	NOR-типа	(NOR f	flash)	И	статистическую
память (SRAM)						
В.А.Харин, П.Ю.Дел	<i>ьянов, Н.Ю.Ми</i> р	ронов, Е.С.Сп	пенькин.	Мод	уль	универсального
устройства интерфейса	и параметрическ	юго тестера М	ІКПД по	ГОСТ	P 52	070-2003 61
Д.В.Бородин, Ю	В.Осипов, В	.В.Васильев.	Отеч	ествен	ные	матричные
КМОП фотоприёмники						

III. РАДИАЦИОННАЯ СТОЙКОСТЬ ЭЛЕКТРОННЫХ УСТРОЙСТВ И СИСТЕМ

И.А.Харитонов. Подсистема схематического проектирования КМОП БИС с учётом
совместного влияния радиационных и тепловых эффектов
М.Г.Дроздецкий, В.В.Орлов, Г.И.Зебрев. Моделирование статических токов
радиационной утечки в КМОП схемах с высокой степенью интеграции
А.М.Галимов, Р.М.Галимова, И.В.Елушов, Е.В.Мрозовская, Г.И.Зебрев. Программа
расчёта частоты одиночных сбоев от ТЗЧ космического пространства
В.Е.Шунков, О.Н.Кусь, В.Ю.Прокопьев, А.Е.Назаренко, В.А.Бутузов, Ю.И.Бочаров.
Схематические методы обеспечения стойкости источников опорного напряжения к
полной поглощённой дозе излучения
А.П.Скоробогатов. Обзор методов расчёта вероятности возникновения многократных
сбоев в комбинационных элементах и памятях СБИС при воздействии ТЗЧ 102
Л.А.Щигорев. Методы исправления последствий отказов в блоках статической
оперативной памяти
В.С.Першенков. История сотрудничества США – Россия в области радиационной
стойкости электронных систем

IV. МЕТОДЫ И СРЕДСТВА МОДЕЛИРОВАНИЯ И ПРОЕКТИРОВАНИЯ

А.А.Антонов, А.О.Власов, Е.А.Гагарин. Применение троирования нетлиста в
стандартном маршруте синтеза СБИС 120
А.В.Ванюшкин, Д.В.Трощенков, А.А.Краснюк. Моделирование MOSFET транзистора с
островком легирования в канале 125
А.В.Антонюк. Моделирование элементов сравнения для КМОП селекторов,
устойчивых к эффектам воздействия одиночных ядерных частиц 128
Н.В.Масальский. Моделирование характеристик логических вентилей на
симметричных двух затворных КНИ КМОП нанотранзисторах с ассиметрично-
легированной рабочей областью 132
Г.А.Яшин, А.В.Амирханов, А.А.Глушко, В.В.Макарчук, А.С.Новосёлов. Оценка дозы
легирования LDD-областей МОП-транзисторов с использованием САПР
конструкторско-технологического моделирования 141
Д.А.Трубицын, П.А.Чибисов. Регрессивный контроль производительности
разрабатываемой RTL-модели микропроцессора 147

Эффекты зарядовой связи элементов КМОП микросхем по объёмной технологии при воздействии одиночных ядерных частиц

В.Я. Стенин

ФГУ ФНЦ НИИСИ РАН и НИЯУ МИФИ, Москва, Россия, E-mail: vystenin@mephi.ru

Аннотация: Воздействие ядерной частицы на КМОП элемент сопровождается генерацией неравновесного заряда в полупроводнике, осуществляющего импульсную зарядовую связь транзисторов, выводящих этот заряд через узлы элементов. Эта связь может приводить к временному изменению состояния элементов, сбоям, а также к взаимной компенсации помех при определённой топологии элементов. Рассмотрены варианты проектирования элементов памяти, которые мало чувствительны к эффектам воздействия одиночных ядерных частиц. Разделение транзисторов ячейки DICE на группы и чередование этих групп минимизирует зарядовую связь, обеспечивая максимальные расстояния между взаимно чувствительными узлами двух групп транзисторов в каждой ячейке STG DICE в блоках ОЗУ. Уникальное использование свойств STG DICE осуществлено совместно с декодером для считывания данных в нестационарных состояниях ячейки. Разработаны элементы соответствия с компенсацией помех.

Ключевые слова: моделирование, нестационарное состояние, одиночные ядерные частицы, ОЗУ, проектирование, сбои, топология, ячейки памяти.

1. Введение

Воздействие одиночной ядерной частицы на полупроводниковую область КМОП элемента вызывает генерацию в ней неравновесного заряда. Этот заряд, дрейфуя и диффундируя от трека частицы, может временному приводить к изменению состояния элементов, сбоям, а также к взаимной компенсации помех, вызванных в взаимно чувствительных узлах элемента, в электрических зависимости от связей транзисторов и топологии элементов [1]. По сути, воздействие одиночной ядерной частицы вызывает импульсную зарядовую связь транзисторов, выводящих заряды через узлы конкретного элемента.

Одним из негативных последствий такой зарядовой связи является индуцированная положительная обратная связь между узлами триггеров и ячеек памяти, вызывающая их переключение [2, 3]. Снижение влияния этой связи достигается схемотехническими способами, примером являются триггера и ячейки памяти DICE [4], а также и топологическими методами – разнесением взаимно чувствительных узлов. Предложены варианты топологического встраивания двух ячеек DICE [5, 6] друг в друга с чередованием транзисторов, а также вариант расположения всех транзисторов в линию в ячейке памяти LEAPDICE [7, 8]. Наиболее эффективный метод основан на разделении транзисторов на две группы в ячейке STG DICE [9, 10] с последующим чередованием таких групп нескольких ячеек памяти.

Другой вариант проявления зарядовой связи заключается в эффекте компенсации помехи, возникающей в одном из узлов элемента, действием части этого же заряда на другой связанный с ним электрически элемент. Снижение длительности переходных состояний в комбинационных элементах при воздействиях одиночных частиц основывается ядерных на компенсации помех с использованием топологических приемов [11-13].

2. Схемотехника ячейки памяти STG DICE

На рис. 1 приведена схема ячейки памяти STG DICE [14], в которой соседние пары транзисторов соединены одним проводом. Каждая пара комплементарных транзисторов на рис. 1 – это элементарный D-триггер или ячейка памяти, где оба транзистора в паре закрыты или открыты. Воздействия одиночных ядерных частиц на транзисторы одной из этих закрытых пар не ведут к сбою ячейки памяти STG DICE. Это воздействие вызывает переход ячейки в нестационарное состояние с возвратом в исходное стационарное устойчивое состояние после завершения переходного процесса [14]. Это свойство STG DICE позволяет разделить транзисторы этой ячейки на две группы так, что каждая группа содержит одну пару транзисторов в закрытом состоянии.

Для узлов ячейки STG DICE в состоянии ABCD = 0101 (рис. 1) транзисторы первых пар обеих групп N_DP_A и N_BP_C закрыты, а транзисторы вторых пар обеих групп N_AP_B и N_CP_D открыты. При смене записи данных на ABCD = 1010 состояние пар изменяется.

На рис. 2 [9, 14] приведен эскиз первого варианта топологии триггера ячейки STG DICE, а на рис. 3 – второго варианта в виде двух разнесенных транзисторных групп. Эти группы могут быть интегрированы в базовые блоки памяти [15, 16] с использованием чередования групп других ячеек STG DICE для увеличения расстояния между взаимно чувствительными к сбоям узлам ячеек. Это является основой повышения устойчивости к воздействию одиночных ядерных частиц. Сбой STG DICE возможен, если пары "запертых" транзисторов из двух групп были подвергнуты одновременно воздействию одиночной ядерной частицы [10, 14] и при этом были превышены пороги сбоя в обоих группах ячейки. STG DICE сохраняет те же быстродействие и энергопотребление, как у стандартной ячейки DICE с стандартной топологий без разделения на группы. Площадь одной 65-нм STG DICE в составе базового блока [15] с чередованием групп на 15% больше, чем площадь стандартной 65-нм ячейки DICE без чередования.

Основой проектирования запоминающих устройств является обеспечение того, чтобы площадь слоя металлизации не превышала площади слоя активных элементов транзисторов. Разделение ячейки STG DICE на две группы и чередование этих групп позволяет обеспечить это требование, выбирая соответствующее количество ячеек в одном базовом блоке. При норме 180 нм это 2 ячейки, при 65 нм – 4 ячейки, а при норме 28 нм - 8 ячеек [15]. Вот почему расстояния между взаимно чувствительными узлами каждой ячейки в ОЗУ на STG DICE находятся в диапазоне 2-2.5 мкм для ОЗУ с проектными нормами 28-180 нм объемной КМОП-технологии [17].

На рис. 4 приведены зависимости минимальных расстояний D_{MIN} между



Рис. 1. Схема ячейки памяти STGDICE в виде кольца пар транзисторов, являющимися элементарными триггерами.



Рис. 2. Эскиз топологии ячейки STGDICE в виде двух групп для кэш статических ОЗУ.



Рис. 3.Эскиз топологии ячейки STGDICE в виде двух групп для многопортовых ОЗУ.

чувствительными узлами STG DICE ячейки с чередованием групп транзисторов, а также расстояний в стандартной ячейке DICE и 6-транзисторной ячейке памяти как функции КМОП технологических норм [17].

При снижении проектных норм от 180 нм до 28 нм расстояния D_{MIN} для STG DICE составляют 2.27–2.51 мкм, в то время как для стандартных DICE уменьшаются существенно с 1.7 мкм до 0.5 мкм, а в стандартных 6Т-ячейках – от 1.0 мкм до 0.35 мкм.

На рис. 5 приведены значения площадей ячеек S_{CELL} и коэффициенты эффективности использования площади D_{MIN}/S_{CELL} как функции проектных норм объемной технологии для ячеек STG DICE и ячеек DICE со стандартной топологией.

Коэффициент эффективности определен как отношение минимального расстояния



Рис. 4. Минимальные расстояния между взаимно чувствительными узлами ячеек STGDICE, стандартных DICE и 6Т ячеек в зависимости от проектных норм объемной КМОП технологии.



Рис. 5.Площади ячеек S_{CELL} (STGDICE – сплошная линия, DICE – штриховая линия) и коэффициенты эффективности D_{MIN}/S_{CELL} в зависимости от проектных норм объемной КМОП технологии.





2 wires between two pairs



Рис. 6. Упрощенные эскизы ячеек памяти: (a) STGDICE с чередованием групп из четырех транзисторов [9, 15]; (б) с чередованием пар транзисторов двух стандартных DICE[5, 6].

между взаимно чувствительными узлами к площади ячейки памяти $D_{MIN}/S_{CELL}.$

При уменьшении проектных норм (рис. 5) значение коэффициента D_{MIN}/S_{CELL} для STG DICE значительно возрастает по сравнению с ячейкой DICE. Коэффициент D_{MIN}/S_{CELL} для STG DICE в 3.3 раза больше

при норме 65-нм и в 3.95 раза при норме 28-нм по сравнению с ячейкой DICE.

Для сравнения на рис. 6 даны два варианта чередования транзисторов – для двух STG DICE (рис. 6а) и для двух DICE ячеек (рис. 6б). В первом варианте базу чередования составляют две группы по четыре транзистора $N_DP_AN_AP_B$ и $N_BP_CN_CP_D$. В варианте DICE на рис. 6б четыре пары транзисторов первой ячейки DICE, а именно, N_AP_A , N_BP_B , N_CP_C и N_DP_D , чередуются с четырьмя подобными парами второй ячейки DICE.

Принципиальное отличие STG DICE варианта на рис. 6а в том, что две пары транзисторов образуют уникальную группу. Воздействие ядерной частицы на транзисторы одной группы в STG DICE не приводит к сбою ячейки памяти. Это уникальное свойство STG DICE дает возможность чередовать такие группы из четырех транзисторов, не разделяя их на пары, что невозможно во втором варианте на рис. 6б. При этом только два провода соединяют две группы, что снижает площадь слоя металлизации при чередовании. На обозначены линии соединения рис. 6 транзисторов групп или пар с количеством проводов для каждого варианта.

Во втором варианте чередования пар (рис. 6б) достаточные интервалы должны быть обеспечены между всеми четырьмя парами транзисторов DICE, поскольку все они попарно чувствительны к сбою. Между парами по четыре провода, и площадь металлизации соответственно больше.

3. Ячейка памяти STG DICE с декодером чтения

Ячейки памяти, схема которой приведена на рис. 7, предназначена для многопортовых ОЗУ и ассоциативной памяти [18, 19]. Схема дешифратора чтения приведена на рис. 8. Дешифратор состоит из двух инверторов с тремя состояниями TRInv 1, TRInv 2 и обычных инверторов Inv 1 и Inv 2. Ячейка памяти предназначена для хранения и надежного чтения данных в нестационарных состояниях триггера ячейки STG DICE при воздействии одиночных ядерных частиц.

В нестационарных состояниях ячейки STG DICE уровни напряжений изменяются только на двух из четырех узлов ячейки. Это уровни на двух узлах элементарного триггера на паре запертых транзисторов, на которые было оказано воздействие. Конкретная пара узлов зависит от



Рис. 7.Схема ячейки STGDICE с дешифратором для чтения данных в стационарных и нестационарных состояниях ячейки.



Рис. 8.Схема дешифратора состояния узлов в STGDICE ячейке.

записанных данных в STG DICE и конкретного воздействия на одну из двух групп ячейки. Выход дешифратора в стационарном состоянии ячейки STG DICE описывается следующей функцией:

$$Y_{OUT} = X_A \cdot n X_B + X_C \cdot n X_D, \tag{1}$$

где X_A , X_B , X_C , X_D - логические уровни на узлах A, B, C, D в стационарных состояниях STG DICE; n— обозначение инверсии.

На рис. 9 приведена характеристика декодера при чтении данных в стационарных и нестационарных состояниях ячейки STG DICE при хранении в ячейке "1", полученная моделированием для КМОП 65-нм объемной технологиипри напряжении питания 1.0 В. Напряжение на выходе дешифратора неизменно при изменении напряжений на двух узлах A и B левой группы транзисторов STG DICE от 0 до 1.0 В и изменении напряжений на двух других узлах C и D, сохраняющих свои логические состояния в



Рис. 9. Диаграмма напряжений на выходе дешифратора при чтении логической 1 в зависимости от стационарных и нестационарных состояний узлов STGDICE ячейки.



Рис. 10. Напряжения на узлах и выходе дешифратора при воздействии заряда на одну из групп ячейки STGDICE при начальном состояние узлов ABCD = 1010.

диапазонах 0.6–1.0 В для узла С и 0–0.3 В для узла D.

Для обеспечения надежного чтения в нестационарных состояниях ячейки STG DICE транзисторы инвертора с тремя состояниями TRInv 1 и инвертора Inv 1, показанные на рис. 8, должны располагаться рядом с левой группой транзисторов (N_DN_AP_AP_B на рис. 7) ячейки. Транзисторы инверторов TRInv 2 и Inv 2(рис. 8) должны располагаться рядом с транзисторами правой группы ячейки STG DICE (N_BN_CP_CP_D на рис. 7).Совместные группы транзисторов смежных ячеек чередуются в регистре ячеек памяти. при этом расстояние межлу группами каждой из ячеек составляет L = 3.0 мкм, а минимальные расстояния между чувствительными узлами внутри каждой ячейки составляют D_{MIN} = 4.5 мкм.

Пример моделирования чтения через декодер данных из ячейки с декодером приведен на рис. 10. При существенном изменении напряжений на узлах А и В в нестационарном состоянии ячейки STG DICE выходной уровень декодера остаётся неизменным U_{OUT} ≈ 1 В.

4. Элемент соответствия на ячейке STG DICE для ассоциативной памяти

На рис. 11 приведена схема логического элемента для блоков соответствия (matching) ассоциативной памяти [20, 21]. Этот элемент состоит из ячейки памяти STG DICE и логического элемента "XOR" на инверторах с третьим состоянием TRInv 1 и TRInv 2.

Транзисторы STG DICE ячейки разделены на две группы N_DP_A , N_AP_B и N_BP_C , N_CP_D с чередованием пар открытых и закрытых транзисторов в каждой из групп [9, 10].

Запись одной логической переменной осуществляется в STG DICE. Определяется соответствие (одинаковость) данных в ячейке с сигналами на входах элемента XOR. При этом на входе Input 1 – нормальный уровень сигнала, а на входе Input 2 – инверсия сигнала на входе Input 1.

В процессе сравнения данных недопустима потеря данных, записанных в ячейку памяти.

Выходной бит соответствия (Output bit of matching) в стационарном состоянии ячейки при сопоставлении данных описывается логической функцией

$$Y_{\text{MATCH}} = X_{\text{IN1}} \cdot X_{\text{AC}} + X_{\text{IN2}} \cdot X_{\text{BD}}, \qquad (2)$$

где X_{AC} отображает одинаковые логические уровни узлов A и C, а X_{BD} отображает одинаковые логические уровни узлов B и D в стационарном состоянии ячейки STG DICE. В стационарном состоянии STG DICE логические уровни узлов A и C идентичны, как и логические уровни узлов B и D.

Воздействие одиночной ядерной частицы на одну из групп транзисторов STG DICE не приводит к сбою ячейки. В нестационарном состоянии ячейки два узла изменяют значения логических уровней, уравнение (2)не выполняется И соответственно на выходе элемента XOR могут быть как ложные. так и неопределённые результаты соответствия.

Возможны 8 вариантов совместного воздействия одиночных ядерных частиц на транзисторы одной из групп STG DICE и смежного инвертора с тремя состояниями [20]. В четырех случаях воздействия два инвертора с тремя состояниями переводятся в состояние высокого сопротивления их выходов и выхода XOR. В трёх из остальных четырех случаев зарядовая связь между транзисторами группы STG DICE и смежного инвертора с тремя состояниями осуществляет коррекцию выходного сигнала XOR.



Рис. 11. Схема элемента соответствия на ячейке STGDICE и логическом элементе "XOR" на двух инверторах с тремя состояниями TRInv 1 and TRInv 2.



Рис. 12. Эскиз топологии элемента сопоставления на основе STGDICE ячейки и XOR элемента, транзисторы которых разделены на две группы $(D_{MIN} = D_{BD} = 4.15 \text{ мкм}).$



Рис. 13. Переход элемента соответствия из начального состояния узлов 0101 в нестационарное 0011 и обратно, Input 1 = "0" и Input 2 = "1". Коррекция выходного сигнала моделировалась воздействием импульса тока на рп переход инвертора TRInv 2.

Когда транзисторы инвертора с тремя состояниями находятся рядом со смежной группой транзисторов STG DICE, как показано на эскизе топологии на рис. 12, одновременное воздействие заряда с трека частицы на эту группу STG DICE и закрытый транзистор инвертора с тремя состояниями дает корректирующий эффект. Правильные результаты определения соответствия данных в нестационарных состояниях STG DICE наблюдаются при моделировании в трех из четырех возможных вариантов воздействия частиц на совместные группы транзисторов.

На рис. 13 приведен пример результата моделирования эффекта коррекции в схеме соответствия данных при одновременном изменении состояния узлов группы транзисторов ячейки и воздействии импульсом тока на инвертор с тремя состояниями.

Для обеспечения высокого уровня помехоустойчивости элемента транзисторы объединены в две однотипные группы (рис. 12), чередование которых в регистрах повышает расстояния между взаимно чувствительными узлами одной ячейки. Рис. 12 иллюстрирует структуру, в которой элемент соответствия состоит из двух идентичных групп [20], каждая из которых содержит одну группу транзисторов STG DICE и один инвертор с тремя состояниями TRInv 1 или TRInv 2. Две группы каждого элемента соответствия соединены между собой тремя проводами, что снижает площадь регистра. Минимальное расстояние между взаимно чувствительными узлами одной ячейки 4.15 мкм.

5. Комбинационная логика с компенсацией одиночных переходных эффектов

На рис. 14 показана, как пример, схема дешифратора с комбинационной логикой 8NOR. На этом же рис. 14 изображены которые отмечают овальные пятна, возможные места воздействий одиночных ядерных частиц, в результате которых возникает индуцированное "облако электронов" (п-овал) или "облако дырок" (р-овал), приводящие к зарядовой связи транзисторов смежных элементов.

Используя эту связь, можно делать коррекцию помех, приводящих к ошибкам в комбинационной логике соответствия. Это обусловливает необходимость разработки топологий, обеспечивающих возможность компенсации помех во время переходных процессов при локальном воздействии частиц на комбинационные элементы [19, 22]. Это актуально при проектировании КМОП декодеров статической памяти (СОЗУ), которые используются в условиях воздействий одиночных ядерных частиц, и логических блоков соответствия (blocks of matching) ассоциативной памяти.



Рис. 14. Схема декодера 8NOR, отмечены пятна областей заряда, образующихся во время локальных воздействий одиночных частиц.



Рис. 15. Схема логического элемента 4AND на двух элементах 2NAND (D5, D6на рис.14) и одном 2NOR (D7) с транзисторами NC_{7.1} и NC_{7.2}.



Рис. 16. Эскиз расположения транзисторов в общей группе G5 совместно с компенсирующим транзистором NC_{7.1}.



Рис. 17.Компенсация действия импульса заряда на выход элемента D5 импульсом тока на выход D7, исходное состояние D7 – логическая 1.

В блоках соответствия, когда на входах логики "все входные сигналы равны 0", то это характеризует бит вектора ошибки дешифратора в декодере ОЗУ, который требует коррекции. Вариант "все входные сигналы равны 1" характеризует бит вектора выбора при соответствии данных в логике соответствия (blocks of matching) ассоциативной памяти. Полезностью топологии с зарядовой связью является возможность коррекции воздействия заряда с трека частицы на всех узлах логических элементов типа 8NOR (или 8NAND).

В комбинационной логике возможно логическое маскирование по одному из двух входов элементов 2NOR или 2NAND. Например, в случае 2NOR при"1" на одном из входов другой вход не влияет на изменение выходного уровня"0". Соответственно, второй вход блокируется от импульсов помех разных полярностей. Логическое маскирование импульсов помех по второму входу невозможно, если на первом входе логический уровень "0".

В таком состоянии элемента 2NOR, передача импульсных помех, возникающих на втором входе, может быть ослаблена с помощью организации одновременного воздействия заряда с трека ядерной частицы на обратно смещенные pn переходы запертых МОП транзисторов этого элемента. Результатом является возвращение выхода логического элемента 2NOR в исходное состояние, то есть его коррекция.

На рис. 15 показана схема логического элемента 4AND, являющегося выходной частью элемента 8NOR на рис. 14, в которую введены дополнительные компенсирующие NMOП транзисторы NC_{7.1} и NC_{7.2}.

Компенсирующий транзистор $NC_{7.1}$ и основные транзисторы $N_{5.1}$, $N_{5.2}$ и $N_{7.1}$ элемента 2NAND (D5) образуют одну объединенную группу G5 для компенсации воздействия одиночных ядерных частиц. Вторая объединённая группа G6 на фиг. 2 состоит из NMOII транзисторов элемента D6 и компенсирующего транзистора $NC_{7.2}$.

Эскиз топологии объединенной группы транзисторов G5 показан на рис. 16, где изображены и два варианта воздействия одиночной частицы. Пятна воздействия обозначены как "Spot impact 1" и "Spot impact 2" - это зоны генерации носителей воздействием заряда под одиночной частицы, которые включают и диффузию носителей. Расстояние L - это минимальное расстояние по технологическим нормам между дополнительным NC71 и основными транзисторами группы, что обеспечивает зарядовую связь.

На рис. 17 приведены два примера моделирования эффекта компенсации путем воздействия импульса тока на запертый рп переход NMOП транзистора элемента G7 в момент ложного переключения G7 по его входу элементом G5. Это должно было бы привести к переходу выхода G7 ИЗ нормального состояния "0" в ложное состояние "1", но предотвращено воздействием части заряда на выход элемента G7. На рис. 16 приведены два варианта действия компенсации: неполная при воздействии компенсация заряда Q_{СОМР1} = 25 фКл и практически полная при величине заряда Q_{СОМР2} больше, чем 35 фКл.

6. Результаты проверки сбоеустойчивости блоков ОЗУ

Блоки КМОП кэш ОЗУ 128Ч32 бит и многопортового ОЗУ (регистрового файла) 32Ч64 бит на основе ячеек STG DICE были спроектированы в НИИСИ РАН и изготовлены с использованием 65-нм объёмной технологи TSMC в составе микропроцессорной системы [16].

На общем кристалле микросхемы были изготовлены и КМОП кэш ОЗУ 128Ч32 бит и многопортовые ОЗУ 32Ч64 бит на основе ячейках D-триггеров в памяти Использование ячеек памяти STG DICE позволило увеличить расстояния между взаимно чувствительными узлами каждой из ячеек памяти до 2.32-3.09 мкм. Матрица 6Т ячеек памяти в 6Т кэш ОЗУ представляет набор детекторов излучения, которые имеют 0.5×1.05 мкм² размеры И образуют, соответственно, сетку детекторов с шагом 0.5 мкм вдоль одной из ортогональных координат и шагом 1.05 мкм вдоль другой.

Сбой такого "пикселя" дает информацию об воздействии с энергией, превышающей пороговое значение этой ячейки, а использование этого позволило оценить эффективность разделения транзисторов на две группы в STG DICE ячейке памяти на её сбоеустойчивость.

Экспериментальное исследование блоков памяти проводилось на лазерном имитационном комплексе ПИКО-3 в НИЯУ МИФИ по методике локального лазерного воздействия [23]. Воздействие импульсом лазерного излучения осуществлялось с тыльной стороны кристалла (со стороны кремниевой подложки), корпусированного по технологии "flip-chip". Диаметр лазерного пятна в приборном слое кристалла 3.5 мкм.

Результаты исследования 65-нм КМОП статических ОЗУ на основе ячеек STG DICE

приведены на рис. 18 и рис. 19. На рис. 18 приведены сравнительные зависимости количества сбитых ячеек памяти от энергии лазерного импульса для блоков кэш ОЗУ на 6Т ячейках памяти и ячейках STG DICE.

Подобные зависимости количества сбитых ячеек памяти от энергии лазерного импульса приведены на рис. 19 и для многопортовых ОЗУ на ячейках STG DICE, а также для ОЗУ на многопортовых ячейках памяти на D-триггерах. Для обоих типов ОЗУ количество сбитых ячеек в ОЗУ на STG DICE много меньше, чем в 6Т ОЗУ.

Кроме того, блоки кэш ОЗУ 128Ч32 бит и многопортового ОЗУ 32Ч64 бит на основе ячеек STG DICE с большими расстояниями между взаимно чувствительными узлами характеризуются пороговыми значениями энергии сбоя ячеек памяти 3.55–4.05 пJ, что в 3.5–4.0 раза превышают пороги сбоя ячеек памяти в блоках ОЗУ на 6-транзисторных ячейках памяти.

В блоках ОЗУ на основе 6Т ячеек памяти максимальная кратность сбоев достигла значения 21 при энергии импульсов лазерного излучения 5 nJ. В блоках ОЗУ на ячейках STG DICE вообще отсутствовали кратные сбои в отличие от ОЗУ на 6Т-ячейках.

Прогноз возможной сбоеустойчивости ОЗУ на STG DICE ячейках к воздействиям тяжелых ионов можно сделать, используя сопоставление экспериментальных данных [17] по максимальной кратности сбоев в 65-нм КМОП 6Т-кэш ОЗУ [23] при воздействии лазерной энергии и данные о максимальной кратности таких же 65-нм КМОП 6Т-кэш ОЗУ, выполненных по той же технологии, которые была разработаны в НИИСИ РАН и испытаны на стойкость к воздействиям тяжелых ионов [6].

Тестирование 65-нм КМОП 6Т-кэш ОЗУ было проведено под воздействием ионов ²²Ne, ⁴⁰Ar, ⁸⁴Kr и ¹³⁶Xe по нормали к кристаллу микросхемы [6]. Исследования на воздействия тяжелых ионов на 65-нм КМОП 6Т-кэш ОЗУ проведены сотрудниками НИЯУ МИФИ на изохронном циклотроне U-400Mв ОИЯИ, Дубна. Результаты этой работы хорошо согласуются с данными экспериментов и TCAD моделирования, приведёнными в работе [24].

На рис. 20 приведены энергетические характеристики воздействий: "Лазерный тест"– это результат работы [23] и "Тест тяжелых ионов" – результат работы [6]. Качественно эти две кривые подобны, отличаясь масштабом по кратности сбоев в два раза, что связано с существенным увеличением площади "активного пятна



Рис. 18. Экспериментальное определение сбоев ячеек в 65-нм STGDICE кэш ОЗУ 128×32 бит и 6Т кэш ОЗУ 128×32 бит.



Рис. 19. Экспериментальное определение сбоев ячеек в 65-нм многопортовых ОЗУ 32×64 бит на STGDICE ячейках и 6TD тригтерах.



Рис. 20. Зависимости максимальной кратности сбоев ячеек в 6-Т 65-нм кэш ОЗУ как функции линейных потерь энергии тяжёлых ионов LET(кривая "Тест тяжёлых ионов" по данным работы [6]) и энергии лазерного импульса(кривая "Лазерный тест" по данным работы [23]).

воздействия" с ростом энергии лазерного импульса, чем энергии тяжёлых частиц.

Шкалы энергетических зависимостей, приведенных на рис. 20, совмещены по началу диапазонов энергий, где начинаются ограничения роста максимальной кратности

при увеличении линейных потерь энергии ионов и энергии лазерных импульсов.

Основываясь на этом сопоставлении, можно предположить, что порог сбоев в ОЗУ на ячейках STG DICE будет соответствовать линейным потерям энергии тяжёлыми частицами около 48–50 MeV×cm²/mg в случае треков ионов по нормали к поверхности кристалла. Кроме того, в ОЗУ на ячейках STG DICE не будет кратных сбоев до значений линейных потерь энергии частицами 60 MeV×cm²/mg.

7. Заключение

Результаты исследований и разработки КМОП элементов показывают, что возможен комплексный подход к повышению сбоеустойчивости, когда сочетаются методы, приводящие к снижению вероятности сбоев с методами повышения надёжности выполнения логических функций элементами или их частями, переходящими в нестационарный режим работы во время воздействия одиночных ядерных частиц.

Оценка сбоеустойчивости 65-нмОЗУ на ячейках STG DICE с разнесением двух групп транзисторов и ОЗУ на традиционных 6Т ячейках по объёмной КМОП технологии подтверждает лучшие характеристики ОЗУ на ячейках STG DICE как в случае кэш ОЗУ, так многопортовых ОЗУ.

Необходимы дальнейшие исследования методов повышения устойчивости КМОП элементов на основе их топологического проектирования по объёмным технологиям с учётом зарядовых связей транзисторов, возникающих при воздействии одиночных ядерных частиц.

The mutual influence of CMOS elements through charge coupling under impacts of single nuclear particles

V. Ya. Stenin

Abstract: The charge coupling of CMOS elements under impacts of single nuclear particles lead to a temporary change of state of elements, to upsets, as well as to mutual compensation of noise pulses in elements due to specific topology. The new design technique is proposed for memory elements, which are low sensitive to induced single-event effects. Grouping of transistors, after that spacing and interleaving these groups of DICE cells enables the maximum distances between the mutually sensitive nodes of the two groups of transistors in STG DICE. The additional improvement in the quality of memory cells is the STG DICE cell with the new scheme of the decoder for reading data in steady and unsteady states of the cell's nodes under impacts of single nuclear particles. Elements of matching on base the STG DICE and the logical element "Exclusive OR" designed and simulated. These elements contain two identical joint groups from transistors of cells and XOR that are spaced on the chip by the distance of four micrometers. This technique is suitable for implementation in RAM and content-addressable memories.

Keywords: DICE, hardening design, memory cell, nuclear particle, RAM, simulation, singleevent effects, topology, unsteady state.

Литература

- [1] Soft Errors in Modern Electronic Systems, M. Nicolaidis, Ed. N.Y., Springer, 2011, 315 p.
- [2] T.D. Loveless, S. Jagannathan, J. Chetia, B.L. Bhuva, M.W. McCurdy, L.W. Massengill, S.-J. Wen, R. Wong, D. Rennie. Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node. «IEEE Transactions on Nuclear Science», vol. 58 (2011), no. 3, pp. 1008 – 1014.
- [3] N. Gaspard, S. Jagannathan, Z. Diggins, M. McCurdy, T.D. Loveless, B.L. Bhuva, L.W. Massengill, W.T. Holman, T.S. Oates, Y.-P. Fang, S.-J. Wen, R. Wong, K. Lilja, and M. Bounasser. Estimation of hardened flip-flop neutron soft error rates using SRAM multiple-cell upset data in bulk CMOS. «Proceedings of IEEE International Reliability Physics Symposium», May 2013, pp. SE.6.1 – SE.6.5.
- [4] T. Calin, M. Nicolaidis, R. Velazco. Upset hardened memory design for submicron CMOS technology. «IEEE Transactions on Nuclear Science», vol. 43 (1996), no. 6, pp. 2874–2878.
- [5] V.Ya. Stenin, I.G. Cherkasov. Memory-cell layout as a factor in the single-event-upset susceptibility of submicron DICE CMOS SRAM. «Russian Microelectronics», vol. 40 (2011), no. 3, pp. 170–175.

- [6] M.S Gorbunov, P.S. Dolotov, A.A. Antonov, G.I. Zebrev, V.V. Emeliyanov, A.B. Boruzdina, A.G. Petrov, A.V. Ulanova. Design of 65 nm CMOS SRAM for Space Applications: A Comparative Study. «IEEE Transactions on Nuclear Science», vol. 61 (2014), no. 4, pp. 1575–1582.
- [7] H.-H.K. Lee, K. Lilja, M. Bounasser, P. Relangi, I.R. Linscott, U.S Inan, S. Mitral. LEAP: layout design through error-aware transistor positioning for oft-error resilient sequential cell design. «Proceedings of IEEE International Reliability Physics Symposium», May 2010, pp. 203–212.
- [8] K. Lilja, M. Bounasser, S. Wen, R. Wong, J. Hoist, N. Gaspard, S. Jagannathan, D. Loveless, B. Bhuva. Single event performance and layout optimization of flip-flops in a 28-nm bulk technology. «IEEE Transactions on Nuclear Science», vol. 60 (2013), no. 4, pp. 2782 – 2788.
- [9] В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Особенности проектирования DICE элементов 65нм КМОП статических запоминающих устройств с учетом эффекта кратного воздействия отдельных ядерных частиц. «Вестник НИЯУ МИФИ», т. 2 (2013), № 3, С. 363–370.
- [10] Yu.V. Katunin, V.Ya. Stenin, P.V. Stepanov. Modeling the characteristics of trigger elements of twophase CMOS logic, taking into account the charge sharing effect under exposure to single nuclear particles. «Russian Microelectronics», vol. 43 (2014), no. 2, pp. 112–124.
- [11] J.R. Ahlbin, L.W. Massengill, B.L. Bhuva, B. Narasimham, M.J. Gadlage, P.H. Eaton. Single-event transient pulse quenching in advanced CMOS logic circuits. «IEEE Transactions on Nuclear Science», vol. 56 (2009), no. 6, pp. 3050–3056.
- [12] J.R. Ahlbin, M.J. Gadlage, R.D. Ball, A.F. Witulski, B.L. Bhuva, R.A. Reed, G.Vizkelethy, L.W. Massengill. The effect of layout topology on single-event transient pulse quenching in 65 nm bulk CMOS process. «IEEE Transactions on Nuclear Science», vol. 57 (2010), no. 6, pp. 3380 3385.
- [13] N.M. Atkinson, A.F. Witulski, W.T. Holman, J.R. Ahlbin, B.L.Bhuva, L.W.Massengill. Layout technique for single-event transient mitigation via pulse quenching. «IEEE Transactions on Nuclear Science», vol. 58 (2011), no. 3, pp. 885 – 890.
- [14] V.Ya. Stenin. Simulation of the characteristics of the DICE 28-nm CMOS cells in unsteady states caused by the effect of single nuclear particles. «Russian Microelectronics», vol. 44, no. 5 (2015), pp. 324–334.
- [15] V.Ya. Stenin, P.V. Stepanov. Basic memory elements using DICE cells for fault-tolerant 28 nm CMOS RAM. «Russian Microelectronics», vol. 44 (2015), no. 6, pp. 368 – 379.
- [16] V.Ya. Stenin, Yu.V. Katunin, P.V. Stepanov. Upset-Resilient RAM on STG DICE Memory Elements with the Spaced Transistors into Two Groups. «Russian Microelectronics», vol. 45 (2016), no. 6, pp. 419–432.
- [17] V.Ya. Stenin, P.V. Stepanov. The static RAM on DICE cells spaced onto two groups. «Proceedings of International Siberian Conference on Control and Communications», Astana, 29–30 June 2017, pp. 1 – 6.
- [18] Ю.В. Катунин, В.Я. Стенин. Моделирование эффектов воздействия одиночной ядерной частицы на 28-нм КМОП ячейку памяти многопортового ОЗУ. «Вестник НИЯУ МИФИ», т. 4 (2015), № 2, С. 155–161.
- [19] V.Ya. Stenin, A.A. Antonyuk, Yu.V. Katunin, P.V. Stepanov. Design of logical elements for the 65nm CMOS translation lookaside buffer with compensation of single events effects. «Proceedings of International Siberian Conference on Control and Communications», Astana, 29–30 June 2017, pp. 1–6.
- [20] А.В. Антонюк, В.Я. Стенин. Моделирование переходных процессов в 65 нм КМОП логическом элементе сравнения для ассоциативных запоминающих устройств при воздействии одиночных ядерных частиц. «Вестник НИЯУ МИФИ», т. 5 (2016), № 5, С. 445– 453.
- [21] V.Ya. Stenin, A.A. Antonyuk. Design of the 65-nm CMOS Comparison Element for a Content-Addressable Memory and Simulation of Single-Event Transients. «Proceedings of Telecommunications Forum», Belgrade, 22–24 November 2016, pp. 613–616.
- [22] Yu.V. Katunin, V.Ya. Stenin, A.V. Antonyuk. Design of logical elements with single-event compensation for the 28-nm CMOS decoders. «Proceedings of Telecommunications Forum», Belgrade, 22–24 November 2016, pp. 617–620.
- [23] Ю.В. Катунин, Д.В. Савченков, В.Я. Стенин, П.В. Степанов. Исследование 65-нм КМОП однопортовых и многопортовых блоков статических ОЗУ на ячейках памяти DICE к воздействию импульсов лазерного излучения. «Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру», 2015, Вып. 3, С. 5–12.
- [24] S. Uznanski, G. Gasiot, P. Roche, C. Tavernier, J.-L. Autran. Single event upset and multiple cell upset modeling in commercial bulk 65-nm CMOS SRAMs and flip-flops. «IEEE Transactions on Nuclear Science», vol. 57 (2010), no. 4, pp. 1876–1883.

Транзисторная гонка в космосе

М.С. Горбунов

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: gorbunov@cs.niisi.ras.ru

Аннотация: З ноября 1957 года Советский Союз запустил Второй искусственный спутник Земли с первым живым «пассажиром» — собакой Лайкой. Сенсационный успех и секретность проектов до сих пор оставляют «за кадром» выдающиеся достижения специалистов в области радиоэлектронной аппаратуры, чьё участие в космической гонке отечественной литературой практически не рассматривается, что совершенно несправедливо.

Ключевые слова: транзистор, космос, спутник.

1. Введение

Любопытный факт: от начала первых полётов братьев Райт до запуска советского Спутника-1 прошло примерно столько же времени, что и после Спутника-1 до наших дней. Космическая тематика настолько прочно вошла в повседневность, что первоначальный смысл терминов в быту довольно заметно исказился: например, когда говорят «принеси сюда транзистор», часто имеют в виду транзисторный радиоприёмник, а под словами «включай спутник» надо понимать подключение к спутниковой связи [1].



Рис. 1. Российские болельщики на чемпионате мира по регби 2011 года подбадривают свою команду, размахивая плакатом с надписью: "Мы победили в космической гонке". (Mike Hewitt / Getty Images) [2].

Мало кто знает и помнит, что освоение космического пространства — это не только разработка ракетных двигателей, космических аппаратов и оборудования жизнеобеспечения космонавтов (астронавтов, тайконавтов...), но и сложная радиоэлектронная аппаратура, с большим или меньшим интеллектом, на основе более высокотехнологичной ипи менее «элементной базы» (транзисторов,

резисторов, реле...). Аппаратурная гонка в космосе подчас не менее интересна, чем гонка, которую мы привыкли называть космической. И последствия этой гонки не очевидны как для широких масс, так и, надо признать, для специалистов.

В интернете, частности, в в Википедии [3], можно прочесть, что первые транзисторы в космосе использовались в первом американском спутнике Explorer 1. На советских же спутниках они в ограниченном количестве появились не то начиная со Спутника-З (запуск 15 мая 1958 года) [4], не то вовсе с Луны-3, запущенной 20 апреля 1960 года (Рудольф Бакитько, AO «Российские начальник отдела космические системы»: «Это был первый в приемо-передатчик мире для дальней работал космической СВЯЗИ. Он в ультракоротковолновом диапазоне, был сделан на первых транзисторах, которые только создали в НИИ-35 и сразу нам привезли») [5]. Есть, правда, утверждения о сплавно-диффузионные том, что транзисторы П401 появились уже в передатчике первого искусственного спутника Земли [6], [7] и, таким образом, «наши успехи в космосе и в транзисторах явились миру одновременно» [7]. Но есть и скептики, которые считают, что транзисторов на первых советских искусственных спутниках просто не могло быть, поскольку наша страна «сильно отставала» в технологическом отношении от Соединённых Штатов и в аппаратуре специального назначения, как минимум, вплоть до конца 1970-х годов у нас использовались лампы. В качестве аргумента сторонники этой версии приводят ламповый бортовой вычислитель АВМ-25 истребителя МиГ-25, который в 1976 году угнал в Японию В.И. Беленко. Убеждённость в том, отечественная электроника что И микроэлектроника значительно отставали от западной, а сейчас и вовсе мертвы, —

довольно распространена. Чего стоят анекдоты на тему «самой большой микроэлектроники в мире», «микросхем с четырьмя ножками и двумя ручками для переноски», «отечественного микропроцесссора на лампах» и др.

Попробуем разобраться с аспектом космической гонки, связанным с использованием транзисторов, т.е., по сути, с началом использования полупроводниковой электроники в космосе. Мы постараемся найти источники возникших мифов и, по возможности, их развеять – по крайней мере, в части, касающейся аппаратуры первых спутников.

2. Первые транзисторы

Аппаратура, предназначенная для удовлетворять спутников, должна повышенным требованиям к габаритам, потребляемой мощности массе, и надёжности, поэтому неудивительно, что в качестве активных элементов электронных передающих устройств как в СССР, так и в США рассматривали именно полупроводниковые транзисторы (в СССР их называли в то время кристаллическими триодами). В книге Е.Я. Пумпера «Кристаллические диоды и триоды» 1953 года [8] (любопытный факт: книга сдана в набор 11 июля 1953 года, т.е. в год смерти Сталина и менее чем через неделю после Июльского пленума ЦК КПСС, где была «разоблачена» деятельность Л.П.Берии) приводится фотография, наглядно демонстрирующая сравнительные размеры электронной лампы и транзистора.



Рис. 2. Сравнение лампы и полупроводникового транзистора из [8].

За время, прошедшее после изобретения транзистора Шокли, Бардином и Браттейном в конце 1940-х и до начала

космической эры, транзисторы изменились довольно заметно. Точечные транзисторы были вытеснены плоскостными, плоскостные — сплавными, и так далее, пока их все не вытеснили планарные [9]. Кремниевые транзисторы вытеснили германиевые, хотя и далеко не сразу. Первый кремниевый транзистор сделала в 1954 году компания Texas Instruments [10] (B литературе можно встретить утверждение о том, что первые кремниевые транзисторы сделали в 1958 году в Fairchild Semiconductor [11], но на самом деле, в 1954 году Техаз Instruments сделали первый кремниевый транзистор плоскостного типа (grownjunction), a Fairchild в 1958 году разработали кремниевый меза-транзистор 2N697, после чего в 1959 году — планарный 2N1613), и, забегая вперёд, транзисторы именно этой компании использовали в первых американских спутниках [12].



Рис. 3. Бардин, Шокли и Браттейн в лаборатории Bell.



Рис. 4. Сплавной транзистор. Квадратная пластина — база, с одной стороны к ней приварена бусина эмиттера, с другой — бусина коллектора (из Википедии).

Полупроводниковое производство в СССР началось в 1947 году с линии по производству германиевых детекторов для радиолокации, вывезенной из Германии. Разработками занималась группа под руководством А. В. Красилова в НИИ-160 (ныне — АО «НПП «Исток» им. Шокина). С. Г. Мадоян — выпускница Московского химико-технологического института — в 1948-1949 гг. разработала макет первого точечного германиевого транзистора в СССР [13], [14]. Первый лабораторный образец работал не больше часа, а затем требовал новой настройки [13].



Рис. 5. Александр Викторович Красилов.



Рис. 6. Сусанна Гукасовна Мадоян. 1950 г.



Рис. 7. Вадим Евгеньевич Лашкарёв.



Рис. 8. Академик Аксель Иванович Берг.

В 1950 году транзисторная тематика появилась в ЦНИИ-108 МО (ныне АО «Центральный научно-исследовательский радиотехнический институт имени академика А. И. Берга»), Физическом институте Академии наук, Ленинградском физико-техническом институте и других организациях.

Первые точечные транзисторы изготовлены В.Е. Лашкарёвым в лаборатории при Институте физики АН Украинской ССР.

Из-за секретности исследований часто в тот период разные научные группы делали практически одно и то же, получали схожие результаты и делали открытия независимо друг от друга.

Такая ситуация продолжалась до ноября 1952 года, когда вышел специальный номер американского журнала «Труды института радиоинженеров» (Proceedings of IRE, ныне Proceedings of IEEE), полностью посвященный транзисторам [13].

В начале 1953 года заместитель министра обороны академик А. И. Берг подготовил письмо в ЦК КПСС о развитии работ по транзисторам, и в мае министр промышленности средств связи М. Г. Первухин провёл в Кремле совещание, посвященное полупроводникам, на котором приняли решение об организации специализированного НИИ полупроводниковой электроники (НИИ-35, ныне НПП «Пульсар»).

В «Пульсар» перевели лабораторию А.В. Красилова, в которой создали первый в СССР опытный образец германиевого плоскостного («слоистого») транзистора.

Эта разработка легла в основу серийных приборов П1-П3 (1955 г.) и их модификаций [13].



Рис. 9. Первые германиевые и кремниевые советские транзисторы.

Первые кремниевые сплавные транзисторы появились в СССР в 1956 году (П104-П106), затем в 1956-1957 гг. германиевые П401-П-403 (30-120 МГц), а также П418 (500 МГц). Как видим, к запуску первого искусственного спутника Земли в СССР было производство как германиевых, так и кремниевых транзисторов, хотя даже 1960-е годы процент выхода годных кремниевых транзисторов составлял всего 19,3% [13]. По данным [13], в 1957 году советская промышленность выпустила 2,7 миллионов транзисторов (для сравнения, в США выпуск транзисторов в этом году составил 28 миллионов штук, а число различных типов достигло 600). Первые германиевые транзисторы работали в диапазоне температур до +85 °C [9] («военный» температурный диапазон в СССР и России — от -60 °С до +125 °С. В США – -55 °С...+125 °С.) и их характеристики были нестабильны, что отвращало от транзисторов как военных, так и политическое руководство СССР.

3. Транзисторы и военные

В среде «транзисторостроителей» популярна история, согласно которой транзисторы получили широкое распространение, благодаря находчивости изобретателей, заявивших, что транзистор нельзя использовать для «спецприменений», и недальновидности военных [15]. По всей видимости, эта история имеет под собой реальное основание.

Создатели первого транзистора не могли знать всё, на что он окажется способен, но администрация Bell Labs понимала, что значение этого открытия огромно, и делала всё от неё зависящее, чтобы об открытии узнали в научных кругах [16]. На 30 июня 1948 года назначили большую пресс-конференцию для того, чтобы объявить об открытии. Но перед тем, как показать транзистор публике, его нужно было показать военным.

Была надежда на то, что военные не станут засекречивать эту разработку, но было понятно, что они могут это сделать. 23 июня пионер радиосвязи, в годы Первой Мировой войны занимавшийся разработкой вакуумных ламп во главе технического департамента радиолабораторий (Награждён медалью почёта IEEE (IEEE Medal of Honor) «За обширный вклад в область радио и за его ведущую роль в делах Института») Ральф Боун (Ralph Bown) показывал транзистор группе офицеров. Он показал кристалл с проводами и то, что он может усиливать электрический сигнал эффективнее, чем массивная вакуумная лампа. Он также ИМ, что ровно такую рассказал же демонстрацию собираются провести через неделю, при этом формально не спросив у них на это разрешения. Военные обсудили этот вопрос между собой после демонстрации, но, в конце концов, никто из них не высказался в пользу засекречивания этой темы. То ли уже из-за собственной недальновидности, то ЛИ в виде дополнительной защиты от посягательств военных было заявлено, что "the transistor is expected to be used primarily in hearing aids for the deaf" («ожидается, что транзистор будет использоваться, главным образом, в слуховых аппаратах для глухих») [17]. В результате пресс-конференция прошла без помех [18]. Журнал New York Times поместил заметку о транзисторе на странице 46 в разделе «Новости радио» после «пространной заметки о возобновлении репортажей некой несравненной мисс Брукс» [15].

В начале сентября 1951 года Bell Labs провели симпозиумы в Мюррей Хилл, штат Нью-Джерси, в ходе которых инженеры в довольно общих чертах объясняли, как точечные транзисторы, сделать И рассказывали о текущем прогрессе со сплавными транзисторами. При этом ничего говорили о конкретном процессе не изготовления и о военных применениях. Первый симпозиум посетили свыше 300 человек (в основном, военные), каждый из которых заплатил взнос \$25000 (двадцать пять тысяч долларов 1951 года) [19] (так в источнике: другой источник не упоминает о размере взноса сентябрьского симпозиума, а говорит лишь о том, что за сумму \$25000 компании получили лицензии и доступ к симпозиуму 1952 года [20]). Многие фирмы хотели производить транзисторы самостоятельно, а не покупать их, и многие в этом преуспели. Фирма Philips и вовсе изготовила транзистор без посещения этих семинаров, пользуясь только информацией из американских газет. Надо отметить, что AT&T не способствовала, но и не препятствовала тому, чтобы другие фирмы производили транзисторы [18].

В 1951 году было всего лишь четыре американских компании, изготавливающих транзисторы для коммерческих применений: Texas Instruments, International Business Machines (IBM), Hewlett-Packard и Motorola. Они получили лицензии за те самые \$25000 с низким роялти. Их пригласили на второй симпозиум в апреле 1952 года, где секреты изготовления транзисторов были полностью раскрыты. К 1952 году фирм-производителей стало восемь, к 1953 — пятнадцать, а к 1956 году было, по крайней мере, двадцать шесть производящих компаний. германиевые транзисторы, с доходом более 14 миллионов долларов в год. При этом американские военные были основным потребителем транзисторов. В 1952 году производители полупроводников из Bell Labs подписали военных контрактов на сумму свыше 5 [19]. миллионов долларов Доля финансирования исследований (R&D, Research and Development) со стороны военных с 1953 по 1955 гг выросла до 50% [20].

При всём этом, будущее полупроводников для военных оставалось неясным, т.к. транзистор был «шумным», по сравнению с лампами, он выдерживал меньшие нагрузки, мог быть повреждён от внезапных скачков напряжений, его характеристики были нестабильны в температурном диапазоне, а частотный диапазон был относительно узок. Усугублял ситуацию большой разброс параметров транзисторами. между ДВУМЯ Цена транзисторов также была высока: первые образцы стоили \$20, к 1953 году они подешевели до \$8, в то время как лампы стоили около \$1 [19]. Кремниевые мезатранзисторы компании Fairchild Semiconductor были проданы IBM количестве 100 штук по цене \$150 (каждый) в 1958 году — в то время как германиевые транзисторы стоили тогда менее \$5 [21]. В середине 1960-х эти же транзисторы стали стоить менее 10 центов за штуку [22].

А что со слуховыми аппаратами? Они действительно появились в США в 1952-1953 годах [23], [19], и это стало первым невоенным использованием транзистора. AT&T выдала бесплатные лицензии на использование в слуховых аппаратах в память о работе Александра Белла с глухими [19].

К сожалению, у этой истории есть малоизвестное печальное продолжение, которое касается уже Советского Союза. Профессор Я.А. Федотов (автор одной из первых монографий по транзисторам 1955 года [24]) в 1994 году в статье «Электроника шлёт SOS!» [25] упоминает «убийственный» приговор, который вынесли на одном из заседаний Совмина СССР в 1956 году: «Транзистор никогда не войдёт в серьёзную аппаратуру. Единственно перспективная для него область применения — это аппараты для тугоухих...». Знакомые выражения, не правда ли? Федотов пишет: «Это недоверие к транзистору и тяга к старой ламповой технике объяснялись непониманием новой ситуации в электронике». И это за год до запуска первого спутника! Таким образом, всё то, чего избегали и успешно избежали американские «транзисторостроители», навалилось на отечественных: секретность, централизации, непонимание отсутствие перспектив высшим политическим руководством СССР. Очевидно, в таких условиях у транзисторов было мало шансов попасть на борт.

4. Если не транзистор, то что?

Была ли альтернатива транзисторам? Ведь, повторимся, «на борт» можно поставить не любой прибор, а только с требуемыми характеристиками по налёжности. Альтернатива появилась в конце 1940-х годов, т.е. практически одновременно транзисторами, в виде стержневых с секретности Ввиду радиоламп. темы, отследить историю изобретения и развития этого типа радиоламп довольно сложно, и часто приходится довольствоваться информацией с интернет-форумов [26].

Июнь 1946 года. Совмин СССР поручает Заводу 617 (в скором будущем научно-исследовательский Союзному институт № 617 (НИИ-617) с опытным заводом Госкомитета Совета Министров СССР по радиоэлектронике) в Новосибирске сверхминиатюрных разработку и для особопрочных ламп бортовых вычислительных комплексов авиационной техники. Руководить работами назначили В.Н. Авлеева.



Рис. 10. Валентин Николаевич Авдеев.

Валентин Николаевич Авдеев родился 16 мая 1915 года в г. Котельниче Вятской губернии. После получения начального образования работал на заводе «Светлана» (ныне ПАО «Светлана») в Ленинграде. Окончил заводской техникум, затем учился BO Всесоюзном заочном институте технического образования в 1934-1938 гг. В 1941 году на полгода был отправлен на стажировку в США (на заводы Radio Corporation of America, RCA) для изучения производства радиоламп. Когда началась Великая Отечественная война, вместе с коллективом завода был эвакуирован в Новосибирск. Там работал сначала мастером участка, с 1942 года — главным инженером завода, с 1943 — заместителем начальника лаборатории. Сверхминиатюрные радиолампы были разработаны ОКБ завода 617 к 1947 году, а с 1948 года началось секретное производство. С 1949 года открыта работа «Молекула» по созданию сверхминиатюрных ламп повышенной виброустойчивости. На базе лаборатории № 1 создаётся НИИ-617, директором которого назначается Авлеев.

Стержневые радиолампы были практически свободны от недостатков, присущих «обычным» радиолампам и, в отличие от транзисторов того времени, могли работать в полном температурном диапазоне. Создана серия радиоламп: 1Ж17Б, 1Ж18Б, 1Ж24Б, 1Ж29Б и 1П24Б. В 1960 году в журнале «Радио» опубликована статья [27], посвящённая принципам работы стержневых радиоламп, в которой отмечены преимущества этого типа, а также заявлена граничная частота — более 200 МГц, что более чем соответствовало требованиям по частоте приёма радиосигналов с первого искусственного спутника Земли (см. [28]).



Рис. 7. Сравнительная величина ламп стержневой конструкции и ламп с навитыми сетками 1—2Ж27Л; 2— 2Ж27П; 3—1П24Б; 4—1Ж29Б 1Ж17Б, 1Ж18Б, 1Ж24Б.

Рис. 11. Сравнение «обычных» и стержневых радиоламп из статьи в журнале «Радио» [27].

За создание стержневых радиоламп В.Н. Авдеев был избран членомкорреспондентом АН СССР в 1958 году (в тот же год, когда С.П. Королёва избрали действительным членом). Это при том, что В.Н. Авдеев никогда не защищал диссертаций — ни кандидатской, ни тем более докторской.

Авторы статьи в журнале «Радио» сетуют: «Несколько лет назад, когда появились полупроводниковые приборы, некоторые радиоспециалисты склонны были сразу же «похоронить» электронную лампу. У лампы, которая на протяжении десятков лет приносила радиоэлектронике один триумф за другим, вдруг обнаружилось множество недостатков...

Электронная лампа по сравнению с полупроводниковым триодом несомненно недостатков, имеет ряд но вель общеизвестны и замечательные достоинства лампы...». И добавляют: «К сожалению, приходится отметить, что вопрос 0 масштабах применения, а следовательно, и производства стержневых ламп решается недостаточно оперативно, несмотря на то, что эти лампы существуют уже много лет и получили высокую оценку». В этих словах — явное недоверие к «новомодным» транзисторам.

Стержневые радиолампы использовались не только в космосе и авиации — на их основе созданы радиостанции для спецназа ГРУ и КГБ СССР (Р-353 «Протон»), переносная УКВрадиостанция Р-126, комплекс радиостанций «МАРС» для МВД и др. [29].

5. Транзисторы в первых спутниках

Soviet Army's RED STAR: Uncle Sam thought of launching a Sputnik into the sky. He announced it to the whole world, not two days but two years in advance. The boastful and rich uncle called his Sputnik Vanguard. The name was beautiful and quite chic, But it turned out to be pshik.

(Из подборки журнала Time о реакции мировых СМИ на неудачный запуск американского спутника «Авангард» 16 декабря 1957 года. VANGUARD'S AFTERMATH: JEERS AND TEARS Monday, Dec. 16, 1957 [30])

Наша страна запустила не просто первый искусственный спутник Земли (а потом и вывела первого человека в космос), но после первого спутника в течение 7 месяцев были запущены 2 полноценных космических лаборатории — Спутник-2 с Лайкой и Спутник-3, с помощью аппаратуры которого, в частности, были открыты естественные радиационные пояса Земли (В зарубежной литературе они называются поясами Ван Аллена (Van Allen belts), а в СССР одно время использовали термин «пояса Ван Аллена-Вернова». [31]). Американский первый спутник Explorer 1 на 3 месяца опередил Спутник-3, однако по своим «функциональным» характеристикам был ближе к Спутнику-1, а по весу был меньше его почти в 4 раза. Запуск Спутника-1 вызвал заслуженное уважение учёных, недоумение и даже страх обывателей на Западе, всеобщую радость и торжество в СССР и бурю эмоций политиков. Приведу лишь два характерных высказывания советских И американских политиков (цитирую по [32]). Первый секретарь ЦК КПСС Н.С. Хрущёв: «Кажется, название "Авангард" отражало уверенность американцев в том, что именно их спутник будет первым в мире. Но... наш советский спутник стал первым, именно он оказался в авангарде...». Сенатор и будущий президент США Линдон Джонсон: «Я не верю, что это поколение американцев желает примириться положением, когда каждую с ночь приходится засыпать при свете коммунистической луны». Неудивительно, что космическая гонка стала ожесточённой.

Для наглядности, в таблице ниже представлены даты запуска и основные массо-габаритные характеристики первых искусственных спутников Земли.

Таблица 1. Характеристики первых ИСЗ

Дата	Название	Страна	Габариты	Масса, кг
04.10. 1957	Спутник-1	СССР	~58 см (без антенн)	83,6
03.11. 1957	Спутник-2	СССР	2 м х 4 м	508
01.02. 1958	Explorer 1	США	около 1 м в длину	21,5
17.03. 1958	Vanguard-I	США	16,3 см (без антенн)	1,474
26.03. 1958	Explorer 3	США	около 2 м в длину	13,97
15.05. 1958	Спутник-3	СССР	1,73 м х 3,57 м	1327

Отголоски ожесточённости гонки слышны и сейчас.

Так, в 2015 году (№138) журнал National Geographic Россия напечатал короткую, но весьма примечательную своей непрофессиональной ангажированностью заметку «Спутник «Авангард-1»: всё ещё в авангарде». Привожу её полностью: «Размером с дыню и весом около килограмма, «Авангард-1» стал первым спутником на солнечных батареях и важным шагом США в космической гонке.



Рис. 12. Схема основного передатчика «Спутника-1» на 20 МГц.

Пытаясь догнать Советский Союз, запустивший в 1957 году "Спутник-1" и "Спутник-2", США отправили на орбиту "Авангард-1" 17 марта 1958 года. Хрущев уничижительно называл его "грейпфрутом". Однако более крупные "Спутники" сошли с орбиты и сгорели при вхождении в атмосферу в 1958 году, а "Авангард-1" летает до сих пор. Он прекратил передачу данных в 1964 году, когда отказали последние фотоэлементы. Но устройство старейшего удерживает титул искусственного спутника на орбите и, по прогнозам, продержится там еще около 240 лет» (конец цитаты) [33]. При всём уважении к National Geographic и американским разработчикам «Авангарда-І», думаю, что здесь комментарии излишни.

Вернёмся к транзисторам. Как мы уже отмечали, некоторые авторы утверждали, транзисторы появились уже что на Спутнике-1, причём приводили даже тип транзистора — П401 [6], [7]. Сайт [13] тоже приводит это утверждение, хотя и делает оговорку, что более вероятно применение стержневых радиоламп. Долгое время на разных форумах разные энтузиасты пытались понять, что к чему, но разобраться было практически невозможно вплоть до появления публикации ОАО «Российские космические системы» (ранее НИИ-885) по Спутнику-1. Текста этой отчёта публикации у меня нет, но её цитируют в журнале «Радио» (№ 4, 2013) [34], там же приводят схему передатчика первого искусственного спутника Земли (рис. 12).

На схеме нет ни одного транзистора, зато есть стержневые радиолампы 2П19Б. Получается, правы те, кто считает, что первые транзисторы появились только в американском Explorer 1?



Рис. 13. Уильям Пикеринг, Джеймс Ван Аллен и Вернер фон Браун демонстрируют полномасштабную модель спутника Explorer 1 на пресс-конференции в Вашингтоне после подтверждения вывода спутника на орбиту.



Рис. 14. Джордж Людвиг с резервной копией Explorer 1.

Этот вопрос напрямую задали Джорджу Людвигу, руководителю группы разработчиков электронной аппаратуры первых американских спутников Explorer I, II, III и др. и соавтору открытия естественных радиационных поясов Земли (поясов Ван Аллена). [35]. Он ответил, что раньше действительно так считал, но затем исследовал этот вопрос подробнее и выяснил, что хотя Советы не использовали транзисторов Спутнике-1, в они использовали их в одном из приборов Спутника-2, запущенного в ноябре 1957 года. Людвиг сетует: «Конечно, у них (у Советов) была намного больше вместимость и их носители могли выводить вакуумные лампы и нужные им батареи». При этом он подчёркивает, что Explorer 1 стал первым спутником, аппаратура которого была полностью на транзисторах (напомним, что устройств типа стержневых радиоламп в США в то время не было). Куратор интервью даёт ссылку на публикацию 2001 года [36], где утверждается следующее: "Спутник-2 был настоящей научной платформой, содержавшей различные электронные компоненты. В дополнение к радиопередатчику и кабине для Лайки, в нём были детекторы солнечного ультрафиолета и рентгеновских лучей, а на корпусе ракеты смонтированы приборы были для исследования космических лучей". И далее: "Два идентичных детектора в эксперименте с работали космическими лучами как регистраторы сцинтилляций, обусловленных заряженными частицами. Импульсы подсчитывались полупроводниковой (на основе триодов) схемой...". К сожалению, в статье нет ссылки на источник этой информации. Увы, в зарубежной литературе, случается, путают Спутник-2 и Спутник-3 (например, это произошло в [37], хотя в более ранней статье одного из соавторов путаницы нет [38]).

Так в каком же советском аппарате впервые использовали транзисторы? Достоверно известно только о Спутнике-3 [4]: в бывшем НИИ-885 (ныне АО «РКС») разработали для спутника радиопередатчики «Маяк» выходной мощностью 0,2 Вт, работавшие на частоте 20 МГц и имевшие в своём составе германиевые транзисторы П-403 [39]. Спутник-2 запущен всего лишь через месяц после Спутника-1 — какова вероятность попалания борт на транзисторов, в любом качестве? Честно говоря, мала, учитывая не только отношение к транзисторам в руководстве СССР, но и другие соображения. Как уже отмечалось ранее, германиевые транзисторы (а именно

основном выпускала советская их в промышленность и о них было известно достаточно, чтобы судить о надёжности) нестабильны в диапазоне температур, и там, где нужна температуры выше +85 °C, их не применяли. С другой стороны, американские германиевые транзисторы страдали от тех же болезней [35], но их в Explorer 1, по свидетельству Людвига, применяли наряду с кремниевыми, поскольку германиевые имели меньшее напряжение база-эмиттер (0,2 В против 0,5 В у кремниевых), поэтому в ряде схем с напряжением питания 2,8 В применяли именно их (всего в Explorer 1 использовали 29 транзисторов, не считая транзисторов в одном усилителе. Это были транзисторы Western Electric WE 53194, 2N64, 2N328, 1N496 и 2N335. Подробнее см. в [35]).

6. Первые транзисторные приёмники

Позвольте, но откуда тогда упоминание транзистора П401 рядом со Спутником? На самом деле, учитывая рекомендованную частоту Спутника 40 МГц [28] и тот факт, что граничная частота П401 составляла 30 МГц, трудно себе представить этот транзистор в качестве кандидата для установки на борт. Причина, по которой этот транзистор упоминается в контексте Спутника, может быть комичной. Помните ремарку о том, что в быту путают транзистор и транзисторный радиоприёмник? Так вот, в 1957 году на Воронежском радиозаводе стали выпускать радиоприёмник «Спутник», схема которого представлена на рис. 16 [40].



Рис. 15. Транзисторный радиоприёмник «Спутник».

В схеме без труда можно найти и П401, и П402, и другие транзисторы. Первые образцы были произведены в апреле 1957 года, за 5 месяцев до запуска Спутника-1. Корпус был выполнен из высушенной сосны, пропитанной спиртовым раствором целлюлозы, и обтянут декоративным пластиком. Габариты — 185х125х49 мм, вес с аккумуляторами — 950 г. На верхней грани корпуса находилась солнечная батарея! Стоимость аппарата составляла 514 рублей — это была примерно средняя зарплата рабочего в то время.



Рис. 16. Схема радиоприёмника «Спутник» (1957 г.).

Так из-за недостатка данных по Спутникам произошла путаница по «Спутникам».

7. Выводы

В 2017 году мы (Россия и весь мир) будем отмечать 60-летие запуска Первого и Второго искусственных спутников Земли. Хотелось бы обратиться к руководству АО «Российские Космические Системы» и АО «ОКБ МЭИ» с предложением опубликовать времени отчёт о системах к этому «Спутника-2» и «Спутника-3», поскольку очевидно, что это имеет огромное историческое значение не только для космической отрасли, но и для электронной промышленности России, которая жива, несмотря ни на что.

Превосходство советской космической техники над американской сыграло невольно против развития отечественных транзисторов, поскольку подходящие радиолампы, были позволяющие решать имеющиеся задачи, не заботясь об экономии габаритов и массы так, как это приходилось делать американцам. В результате, оглядываясь назад, мы видим, насколько ушли вперёд автоматические космические системы НАСА, в настоящее время активно занимающиеся исследованием Солнечной системы (Марс, Юпитер, Сатурн, Плутон...).

He отстаёт И Европейское космическое агентство ЕКА, активно занимающееся малогабаритными спутниками (микро- и наноспутниками). Едва ли человек в ближайшие десятилетия освоит Солнечную систему, но это сможет сделать человеческий разум «руками» автоматических аппаратов, обладающих необходимым «интеллектом». После упадка 1990-2000 годов, несмотря на определённые успехи отечественных разработчиков, России остро не хватает собственных микросхем, способных решать вычислительные залачи современного уровня или даже уровня завтрашнего дня (ведь космические проекты планируются несколько лет) и обладающих при этом необходимой радиационной стойкостью и сбоеустойчивостью. И проблема здесь не столько в имеющемся технологическом отставании, сколько в отсутствии единого понимания облика таких вычислительных систем и, следовательно, в недостатке не только электронной компонентной базы, но и надёжного и эффективного программного обеспечения. Нельзя повторять ошибок прошлого — нужно учиться на них.

Transistor race in space

M.S. Gorbunov

Abstract: USSR launched the Second Sputnik (Sputnik-2) with the first alive "passenger", Laika the dog, on November 3, 1957. The sensational success and the utmost secrecy of the space projects still leave the outstanding achievements of radio-electronic specialists behind the scenes. In fact, the participation of these specialists in the "space race" is almost not considered by Russian sources, which is completely unfair.

Keywords: transistor, space, sputnik.

Литература

1. G. Ludwig, Opening Space Research: Dreams, Technology, and Scientific Discovery, ser. Special Publications. Wiley, 2013. [Online]. Available: books.google.ru/books?id=KjxofdQNdVoC, Доступ: 19.10.2016

2. Bigpicture, bigpicture.ru/?p=202699, 2011, Доступ: 19.10.2016

3. Wikipedia, en.wikipedia.org/wiki/Explorer_1, Доступ: 19.10.2016

4. space-vanguard.narod.ru/apparaty-sputniki.html, accessed: 19 October 2016.

5. Владимир Корягин: «А у нас туалет горит — ужас!». С чем СССР столкнулся на темной стороне Луны. 2016. Accessed: 19 October 2016.

6. Ю.А. Кузнецов, А.Г. Васильев: "Полупроводниковая электроника", Динамика радиоэлектроники, pp. 123-144, 2007.

7. Ю.Р. Носов: "К 60-летию изобретения транзистора", Электросвязь: история и современность, pp. 30-32, 2008.

8. Е.Я. Пумпер: Кристаллические диоды и триоды. Госэнергоиздат, 1953. URL

gen.lib.rus.ec/book/index.php?md5=0C726CE8BADDC5FF9AE683A8A69DCB3A.

9. А. В. Нефедов, В.И. Гордеева: Отечественные полупроводниковые приборы и их зарубежные аналоги. Справочник. М.: Радио и связь, 1990.

10. Texas Instruments, www.ti.com/ww/eu/shapinginnovation, accessed: 19 October 2016.

11. А. Кощеев: Как Хрущев удушил метод повышения эффективности экономики (МПЭ).

www.koshcheev.ru/2016/06/13/hrushchev-mpe.

12. Texas Instruments, www.ti.com/corp/docs/company/history/timelinesemicon/1950/docs/58orbit.htm, accessed: 19 October 2016.

13. "Музей электронных раритетов," www.155la3.ru.

14. "Разработка первых транзисторов в СССР," statehistory.ru/1320/Razrabotka-pervykh-tranzistorovv-SSSR/.

15. Ю. Р. Носов: "Парадоксы транзистора", Квант, pp. 4-8, 2006. 16. W. F. Brinkman, D. E. Haggan, and W. W. Troutman, "A history of the invention of the transistor and where it will lead us," IEEE Journal of Solid-State Circuits, vol. 32, no. 12, pp. 1858–1865, Dec 1997. 17. L. B. Ebert, "What the story of the invention of the transistor teaches us. About 21st century patent

practice," in J. Marshall Rev. Intell. Prop., 2008, pp. 80-89.

18. M. Riordan and L. Hoddeson, Crystal Fire. The Invention of the Transistor and the Birth of the Information Age. W. W. Norton & Company, 1998.

19. D. Morton and J. Gabriel, Electronics: the life story of a technology. Johns Hopkins University Press, 2007.

20. T. J. Misa, Leonardo to the Internet: Technology and Culture from the Renaissance to the Present. JHU Press, 2013.

21. L. Berlin, The Man Behind the Microchip: Robert Noyce and the Invention of Silicon Valley. Oxford University Press, 2006

22. R. K. Bassett, To the Digital Age: Research Labs, Start-up Companies, and the Rise of MOS Technology. JHU Press, 2007.

23. MED-EL, "Learn about the history of hearing aids," www.medel.com/blog/learn-about-the-history-ofhearing-loss-part-1/, December 2015, accessed: 19 October 2016.

24. Я.А. Федотов: Кристаллические триоды. М.: Государственное Энергетическое издательство, 1955.

25. Я.А. Федотов: "Электроника шлёт "SOS"!", Радио, 1994.

26. "Форум сайта retrotexnika.ru," www.retrotexnika-

forum.ru/talk/viewtopic.php?f=1&t=513&start=150, accessed: 19 October 2016.

27. В. Суханов, А. Киреев: "Стержневые лампы. Принцип работы и конструкция", Радио, pp. 34-38, 1960.

28. "Наблюдения за сигналами искусственых спутников Земли," Радио, по. 7, р. 17, 1957.

29. М. Антонов, "Тайна русских тандемов," sosnovka41.narod.ru/antonov/antonov.files/tandems.htm. 30. content.time.com/time/magazine/article/0,9171,893768,00.html, accessed: 19 October 2016.

31. Б.Е. Черток: Ракеты и люди. Фили-Подлипки-Тюратам. М.: Машиностроение, 1999.

А. Лавренов, И. Афанасьев: Большой космический клуб. М.: РТСофт, 2006.

33. National Geographic Россия, "Спутник «Авангард-1»: все еще в авангарде," www.natgeo.ru/science/154124-sputnik-avangard-1-vse-eshche-v-avangarde, 2015.

34. Степанов, "Передатчик первого ИСЗ," Радио, по. 4, pp. 55-56, 2013.

35. "A transistor museum interview with dr. george ludwig,"

www.semiconductormuseum.com/Transistors/LectureHall/Ludwig/Ludwig Page5.htm.

36. M. Williamson, "The early development of spacecraft electronics," Engineering Science and Education Journal, vol. 10, no. 2, pp. 68–74, Apr 2001.

37. S. Gerardin and R. Ecoffet, "Radiation effects in advanced components," in RADECS 2015 Short Course, 2015.

38. R. Ecoffet, "Overview of in-orbit radiation induced spacecraft anomalies," IEEE Transactions on Nuclear Science, vol. 60, no. 3, pp. 1791–1815, June 2013.

39. Письмо от 22.02.2017 № 57-2598-ОГ.

40. В. Пестриков: "Первые советские транзисторные радиоприёмники", Радиохобби, 2008.

Способы фильтрации SNOOP-запросов в многоядерных микропроцессорах

А.М. Антонова¹, М.Е. Барских², П.С. Зубковский³

¹ НИЯУ МИФИ и ФГУ ФНЦ НИИСИ РАН, Москва, Росси, E-mail: amantonova@cs.niisi.ras.ru, ^{2,3} ФГУ ФНЦ НИИСИ РАН, Москва, Росси, E-mail's: ² barskyh@cs.niisi.ras.ru, ³ zubkovsky@cs.niisi.ras.ru

Аннотация: Статья посвящена описанию способов построения фильтров для запросов когерентности (snoop-запросов), применяемых в многопроцессорных системах с общей памятью, построенных по архитектуре SMP. Описаны причины возникновения проблем с когерентностью и нарушением целостности данных, а также наиболее распространенные способы обеспечения когерентности в многопроцессорных системах. Недостатком этих методов обеспечения когерентности является увеличение энергопотребления и снижение производительности. В качестве решения указанных проблем предложено использование фильтров запросов когерентности. Представлена классификация таких фильтров и рассмотрены несколько вариантов их реализации.

Ключевые слова: snooping, целостность памяти, когерентность кэш-памяти.

1. Введение

Основной проблемой, с которой сталкиваются разработчики многоядерной микропроцессорной системы, является сохранение целостности данных. Эта проблема возникает в том случае, если в кэш-памяти одного из ядер содержится более актуальная версия данных по отношению к общей памяти и кэшам других ядер. Для сохранения целостности данных различные используются подходы обеспечения когерентности кэш-памяти процессорных ядер. Простейшим вариантом является программная очистка кэш-памяти ядра при обращении к содержащимся в ней данным со стороны другого ядра или периферийного устройства. Этот способ требует больших энергетических и временных затрат, кроме того это приводит к существенному снижению эффективности работы кэшей.

2. Нарушение когерентности

Рассмотрим более подробно нарушение когерентности в кэшах на примере двухядерной процессорной системы [1].

В начале пусть в общей памяти находится некоторое число А. Оба ядра подтягивают это число в соответствующие им кэши (рис.1а).

Затем через некоторое время одно из ядер изменяет это значение числа, например, инкрементирует его, получая значение A+1, при этом в кэше второго ядра все еще находится старое значение A (рис. 1б).



Рис.1. Нарушение когерентности системы: а) один и тот же адрес записан в оба ядра; б) одно из ядер изменяет значение данных по этому адресу.

В данном случае протокол когерентности должен регламентировать действия ядер, т. к. теперь ядро 2 не может работать с устаревшим значением А, когда ядро 1 уже работает с новым числом по тому же адресу.

Данный пример показывает, что в один и тот же момент в кэшах различных ядер могут находиться различные данные по одному адресу. При этом в одном из ядер может находиться копия данных после последних изменений, когда в другом находится устаревшая копия данных, потому что второе ядро ничего не знает о действиях первого ядра.

3. Протоколы когерентности и проблема широковещательных запросов

Проблема нарушения когерентности решается с помощью протоколов когерентности. Простейшим протоколом является MSI, где M, S, I — базовые состояния блока памяти. Для уменьшения количества транзакций к существующим добавлены состояниям могут быть дополнительные: Е и О. Наиболее общим протоколом является протокол MOESI, реализующий все пять возможных состояний. Такие протоколы реализуются несколькими способами: основанным на обработке snoop-запросов, использующим директорию для хранения запросов в кэш, основанный на маскировании запросов в кэш и т.д.

Snoop-протоколы одни из самых популярных благодаря своей простоте реализации. Этот метод проверяет наличие адреса обращения в кэш-памяти ядер для каждого обращения за данными, называемый реализую так snooping. Достоинством этого метода является простота реализации, основная же проблема такого метода заключается в том, что энергопотребление возрастает из-за увеличившегося количества запросов в кэш, а также снижается производительность системы из-за необходимости каждому ядру обслуживать snoop-запросы параллельно с выполнением запросов от основного программного кода.

Количество взаимных действий между ядрами ограниченно, только 10% из них нуждаются в когерентности. На рис. 2 представлены задействованные блоки двухъядерной системы при обработке snoopзапросов для обеспечения когерентности системы без использования snoop-фильтров. Выделенные части потребляют энергию при обеспечении когерентности при любом запросе.

Для уменьшения количества просматривающих запросов в кэш используют snoop-фильтр. Snoop-фильтр должен хранить в себе информацию об адресах, которые были подтянуты в кэшпамять.

В случае работы ядер по непересекающимся адресам фильтр не должен пропускать запросы от других ядер, и производительность остается как V одноядерной процессорной системы. В простейшем случае snoop-фильтр может содержать полную копию памяти тэгов каждого из ядер, что требует больших аппаратных затрат.



ис.2. Энергопотреоление для обеспечения когерентности системы.

4. Варианты реализации snoopфильтров

Появляется проблема уменьшения размера snoop-фильтра, а также уменьшения его энергопотребления, чтобы в итоговой системе снижение производительности и увеличение энергопотребления не принимали драматических форм [2]. Это достигается за счет уменьшения объема хранимых адресов. Есть два варианта реализации таких фильтров: инклюзивный и эксклюзивный фильтр [3,4]. Инклюзивный просматривающий фильтр может точно сказать, что данный адрес находится в кэше. Эксклюзивный просматривающий фильтр говорит о том, что данного адреса точно нет в кэш. Однако из-за уменьшения размера фильтра ухудшается точность ответов snoopфильтра [5].

Одним из первых видов реализации snoop-фильтра является фильтр под названием JETTY. JETTY находится между шиной данных и ядром, у каждого ядра свой snoop-фильтр (рис.3).

При возникновении snoop-запроса, сначала происходит обращение в локальный snoop-фильтр. JETTY каждому запросу отвечает и гарантирует, что либо копий нет, либо копии могут находиться в кэше. JETTY может быть как инклюзивным, так и эксклюзивным фильтром, а также гибридным фильтром, сочетающим в себе и эксклюзивность, и инклюзивность.



Рис.3. Архитектура многопроцессорной системы со snoop-фильтром

Еще одним методом реализации snoop-фильтра является использование 2x регистров, один из которых сохраняет адрес текущего запроса, а второй является маскирующим. Такой фильтр называется Stream Register. Когда приходит следующий запрос, номера отличающихся битов адресов предыдущего И текущего запроса обращаются в ноль в маске. При этом маска инициализируется для каждого первого запроса в кэш, когда бит достоверности становится равным единице. В итоге с помощью получающегося массива адресов появляется возможность контролировать блоки, записываемые в кэш. Такой фильтр является только инклюзивным. Однако отсутствует возможность контролировать удаляемые ИЗ кэша строки. Другим недостатком является деградация точности при дальнейшем заполнении кэша: маска портится, полностью обнуляясь.

Логические формулы базового регистра и регистра маски представлены ниже:

Mask = MaskAND (NewAddrXORBase)

Base = NewAddr.

Деградация маскирующего регистра решается добавление счетчика, который инкриминируется, когда кэш подтягивает ИЗ оперативной данные памяти, И декрементируется, когда из кэш-памяти удаляются строки. Такой фильтр называется Counting Stream Register [5]. Маска, которая со временем также портится, при обнулении инициализируется счетчика заново Например, это происходит в случае, если все уже использующие маску адреса были удалены из кэш-памяти. Использование такого фильтра обеспечивает более высокую точность попаданий, чем в предыдущем случае. Этот фильтр также является только инклюзивным, принцип его работы показан на рис.4.



Рис.4. Архитектура многопроцессорной системы со snoop-фильтром

Выбор варианта фильтра для применения должен быть основан на балансе сложности его реализации, оценке его влияния на производительность и энергопотребление, а также на основании требований и приоритетов проекта.

SNOOP filtering in multicore microprocessors

A.M. Antonova, M.E. Barskyh, P.S. Zubkovsky

Abstract: In this paper, a description is given of the methods used to design snoop filters for requests of coherency. Snoop filters are applied in multicore SoC with shared memory. Causes of the coherence problem and impaired memory consistency and in addition the most common methods to ensure cache coherence in multicore systems are described. The main issues of snoop based cache coherency protocols, such as high energy consumption and performance decreasing have been presented. A proposed solution of those problems is the use of snoop filters. Types of such filters and several ways of implementation have been shown.

Keywords: snooping, memory consistency, cache coherence.

Литература

1. A Primer on Memory Consistency and Cache Coherence / Daniel J. Sorin, Mark D. Hill, David A. Wood // Morgan & Claypool Publishers, 2011, 197p.

2. Design of a Snoop Filter for Snoop Based Cache Coherency Protocols / RasmusUlfsnes // Norwegian University of Science and Technology, 2013, 103p.

3. JETTY: Filtering Snoops for Reduced Energy Consumption in SMP Servers / Andreas Moshovos, GokhanMemik, BabakFalsafi, AlokChoudhary //The proceeding of the 7th international symposium on high-performance computer architecture, 2001, pp. 85-96.

4. JETTY: Reducing Snoop-Induced Power Consumption in Small-Scale, Bus-Based SMP Systems / Andreas Moshovos, GokhanMemik, Gaurav Mittal, AmiraliBaniasadi et al. // Center for Parallel and Distributed Computing, Technical Report No. CPDC-TR-2000-05-007, 2000, 13 p.

5. Counting Stream Registers: An Efficient and Effective Snoop Filter Architecture /

AanjhanRanganathan, Ali GalipBayrak, Theo Kluter, Philip Brisk et al. // 2012 International Conference on Embedded Computer Systems (SAMOS), 2012, pp. 120-127.

Исследование возможности использования технологии 05КНИ с вольфрамовой металлизацией для создания высокотемпературных интегральных схем

С.И. Бабкин¹, С.И. Волков², А.С. Новосёлов³

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹ Sergey Babkin@srisa.ru, ² Sviatoslav Volkov@srisa.ru, ³ Anton Novoselov@srisa.ru

Аннотация: Работа посвящена исследованию возможности использования технологии 05КНИ с вольфрамовой многоуровневой металлизацией для создания высокотемпературных микросхем. Исследованы параметры транзисторов А-типа и кольцевых генераторов, составленных из инверторов на транзисторах Атипа при работе в условиях высокой температуры. Исследованы характеристики надежности трехуровневой металлизации при работе в условиях большой плотности тока и высокой температуры.

Ключевые слова: высокотемпературная электроника, КМОП КНИ, вольфрамовая металлизация.

1. Введение

Высокотемпературная микроэлектроника в настоящее время является одним из самых быстроразвивающихся направлений электроники, что обусловлено потребностями промышленной электроники, геологоразведки, автомобиле- и авиастроения, ракетно-космической техники. Основными производителями изделий высокотемпературной электроники на мировом рынке являются такие фирмы, как Honeywell, Texas Instruments, Analog Devices [1].

Основные задачи при создании высокотемпературных микросхем:

1) Сохранение работоспособности интегральных схем при высоких температурах.

2) Обеспечение надежности, из-за активирования механизмов деградации при высоких температурах

Мировой опыт показывает, что для решения данных задач при формировании активных элементов (транзисторов, диодов) можно использовать материалы с большой величиной запрещенной зоны (SiC, GaAs) или технологию кремний на изоляторе [2].

Основные механизмы, определяющие зависимость характеристик транзисторов и других элементов интегральных схем от температуры представлены в таблице 1 [3]. Задача сохранения работоспособности интегральных схем при высоких температурах состоит в основном в обеспечении приемлемых для работы токов утечки, связанных с генерационно-рекомбинационными процессами в p-n-переходах. Применимость ипи того иного конструктивно-технологического базиса для производства изделий высокотемпературной электроники определяется возможностью сохранения при высоких температурах (выше 200°С) основных электрических параметров элементов на приемлемом уровне. Поскольку при повышении температуры генерационно-рекомбинационные токи в p-n-переходах экспоненциально возрастают, то очевидно, что выбираемый базис должен обеспечивать минимизацию площадей паразитных p-n-переходов.

части В многоуровневой металлизации БИС рассматриваются различные варианты алюминиевой или медной разводки, традиционной лля технологии БИС [4-5]. При этом с точки належности зрения очевилным преимуществом обладают системы. использующие тугоплавкие металлы, прежде всего, вольфрам. В сравнении с алюминием характеризуется вольфрам высокой температурой взаимодействия с кремнием и низким значением коэффициента линейного расширения. Эти факторы создают предпосылки для более высокой надежности многоуровневой металлизации, работающей в условиях температурных циклов большого диапазона. Недостатком вольфрама является высокое (относительно алюминия) удельное

сопротивление, большие значения механических напряжений, необходимость использования специфичных процессов плазмохимического травления при формировании шин металлизации, а также необходимость формирования дополнительных контактных площадок из алюминия или золота для сборки.

1 11

В то же время, такие компании как Fraunhofer и Tekmos, гарантирующие долговременную работоспособность своих изделий при температуре 250°С, используют вольфрамовую металлизацию.

N⁰	Параметр	Теоретические зависимости
1.	Величина запрещенной зоны	$E_g(T) = E_g(0) - \frac{\alpha_E T^2}{T + \beta_E}$
2.	Подвижность	$\frac{1}{\mu_{eff}(T, E_{eff})} \propto \frac{1}{\mu_{ph}(T, E_{eff})} + \frac{1}{\mu_{sr}(T, E_{eff})} + \frac{1}{\mu_{cb}(T, E_{eff})} + \frac{1}{\mu_{int}(T, E_{eff})}$
3.	Пороговое напряжение	$\frac{\partial V_T}{\partial T} = \frac{\partial \varphi_{gs}}{\partial T} + 2\frac{\partial \overline{\varphi_F}}{\partial T} + \frac{\gamma}{\sqrt{2\varphi_F}}\frac{\partial \varphi_F}{\partial T}$
4.	Скорость насыщения	$v_{sat} = v_{sat0} \cdot \left[1 - \alpha_{v_{sat}} \left(T - T_0 \right) \right]$
5.	Токи утечки	$I_{sub} = I_0 \left(e^{\frac{V_{DS}}{\varphi_T}} - 1 \right)$
6.	Сопротивление межсоединений	$R(T) = R_0 \left[1 + \alpha_R (T - T_0) \right]$
7.	Долговечность металлизации	$MTTF = A_j \cdot J^{-n_j} \cdot e^{\frac{E_a}{kT}}$

2. Методика подготовки образцов и проведения экспериментов

исследования Для возможности создания высокотемпературных интегральных схем в НИИСИ РАН был разработан тестовый кристалл и изготовлены пластины по технологии 05КНИ, в качестве материала для многоуровневой металлизации использовался как алюминий, так и вольфрам.

Основной задачей по внедрению вольфрамовой металлизации в базовый технологический процесс была максимальная унификация с традиционным формирования процессом алюминиевой металлизации. В связи с этим процесс осаждения вольфрама проходил из газовой фазы $WF_6+3H_2 \rightarrow W + 6HF$, использовались пленки титана и нитрида титана для адгезии к окислу И для защиты его OT взаимодействия с HF, для сохранения процессов осаждения межуровнего диэлектрика и травления переходных отверстий сохранялась суммарная толщина шины металлизации в 600 нм.

Основной проблемой при формировании вольфрамовой металлизации стало отслаивание широких шин при одновременном заполнении переходных отверстий осаждении И структуры предназначенной для формирования шин металлизации (рис.1).



Рисунок 1. Отслаивание широких шин металлизации.

Для решения этой проблемы режимы использовались различные осаждения для переходных контактов и шин. Для формирования переходных контактов осаждалась структура ВО:

Ті (20 нм) - ТіN (70 нм) - W (500 нм). формирования шин вольфрамовой Для металлизации осаждалась структура В01:

B01 Структура травилась последовательно в смеси Cl₂+Ar затем в SF₆+Ar+O2 и снова в смеси Cl₂+Ar в установке плазмохимического травления STS VPX с модулями травления металлов ICP, предусматривающую возможность охлаждения катода до температуры минус 10 °C. этом случае обеспечивалась В достаточно высокая скорость и анизотропия травления вольфрама и селективность травления к окислу и фоторезисту.

Описание исследуемых образцов металлизации на основе алюминия и вольфрама представлено в таблице 2.

Для измерения параметров активных элементов использовались следующие структуры:

1) п-канальные транзисторы А-типа с W=5 мкм, L=0,5 мкм

2) р-канальные транзисторы А-типа с W=5 мкм, L=0,5 мкм

 Кольцевые генераторы, построенные из 301 инвертора на транзисторах А-типа.

Для измерения параметров многоуровневой металлизации использовались следующие структуры:

 Резистор в форме меандра на основе шин металлизации

2) Цепочка контактов между двумя уровнями металлизации

3) Резистор мостового типа на основе шин металлизации.

Параметры транзисторов, кольцевых генераторов, многоуровневой металлизации исследовались с использованием тестовых элементов на измерительном комплексе Agilent Technologies B1500, имеющем возможность подогрева столика до температуры 200 °C.

Таблица 2	Описание исследуем	лых образиов	метаплизации
$1 aoлица \Delta$.	Описание исследуем	adia UUUdaluud	моталлизации.

		10			
Вариант	Ti	Al	Ti	TiN	-
	Н, нм	Н, нм	Н, нм	Н, нм	
На основе	20	500	20	70	-
алюминия					
Вариант	Ti	TiN	W	Ti	TiN
-	Н, нм				
На основе	10	10	500	10	70
вольфрама					

3. Основные результаты

Проведенные экспериментальные исследования параметров активных элементов и структур, формируемых в КМОП КНИ технологии с вольфрамовой металлизацией, в диапазоне температур 25-200°C показали, что токи утечки транзисторов и обратные токи диодов повысились на три порядка до 0,5 нА/мкм (рис. 2), токи насыщения п-канальных

транзисторов А–типа уменьшились на 25-30% до 200 мкА/мкм, р-канальных транзисторов - на 20-25% до 100 мкА/мкм. Пороговые напряжения транзисторов уменьшились на 0.25-0.3B. Частота генерации кольцевых генераторов, 301 составленных ИЗ инвертора на транзисторах А-типа, снизилась на 30% (рис.3), статический ток потребления возрос на три порядка величины (до 0,5 мкА), а динамический ток потребления возрос на 30%.



Рисунок 2. Зависимости тока стока n- и p-канальных транзисторов А-типа от напряжения на затворе при 25, 125 и 200°С

Результаты измерения параметров трехуровневой металлизации представлены в таблице 3. Результаты показывают, что поверхностное сопротивление шин на основе вольфрама в 3 раза выше сопротивления шин на основе алюминия, что соответствует соотношению удельного объемного сопротивления для этих материалов. Значения переходных сопротивлений для вольфрамовой металлизации также несколько выше, что объясняется влиянием тонкого слоя нитрида титана. При этом значения ТКС вольфрамовых шин существенно меньше алюминиевых, что предполагает более высокую стабильность сопротивления при изменении температурных условий эксплуатации.



Рисунок 3. Зависимость частоты кольцевого генератора на транзисторах А-типа от температуры.

Таблица 3. Параметры металлизации на основе пленок вольфрама и алюминия.					
Параметр, единица измерения	Алюминиевые шины	Вольфрамовые шины			
rosM, Ом/квадрат	0,07	0,21			
госМ1-М2, Ом/контакт	0,9	1,1			
госМ2-М3, Ом/контакт	1,0	1,2			
ТКС_шина, 1/град К	0,0035	0,0024			
ТКС_контакт, 1/град К	0,0012	0,0012			
МТТF_шина, ч	2,5	>20			
МТТF_контакт, ч	0,25	>10			

Сравнительная оценка надежности изготовленных вариантов алюминиевой и вольфрамовой многоуровневой металлизации проводилась на основе методики ускоренных испытаний, характеризующихся большей, по сравнению с значительно условиями эксплуатации, величиной плотности тока, проходящего через шину и межуровневое соединение. Задача заключалась в нахождении одинаковых условий испытаний, определяемых эффективной температурой одинаковой плотностью элемента тестового И Температура проходящего тока. рассчитывалась по результатам измерения сопротивления тестового элемента с учетом измеренного ранее ТКС в диапазоне 25-200°C температур и плотности тока 10^5 A/cm^2 .

Ненадежность алюминиевой металлизации чаще всего определяется дефектами, возникающими в области

алюминиевой шины, прилегающей к вольфрамовому соединению. Это связано с локальными механическими напряжениями, дивергенцией температурными полями, потока электронов [6]. На рис. 4 представлены эффективной зависимости тестового элемента температуры RM1 (резистор на основе шины металлизации) и LK M1 M3 (цепочка контактов) от плотности проходящего через них тока для вольфрамовых и алюминиевых шин. При этом температура столика составила 25 и 200°С(а), и 25 и 100°С (б) соответственно. Точка пересечения указанных зависимостей определяет общие условия ускоренных испытаний, а именно плотность тока через эффективной шины $1,0 \times 10^{7} \text{A/cm}^{2}$ при температуре 500 °К, плотность тока через межуровневое соединение $2,1 \times 10^7$ А/см² при эффективной температуре 640°K. Фиксировалось время наступления отказа Тотк. Для алюминиевой шины среднее

значение времени составило 2,5 ч. Для вольфрамовой шины отказы отсутствовали в течение всего времени испытаний – 20 ч. Для структуры LK_M1_M3 с алюминиевыми шинами среднее значение времени наступления отказа составило 0,25 ч Для варианта LK_M1_M3 с вольфрамовыми шинами отказ не был достигнут в течение всего времени испытаний -10 ч.



Рисунок 4. Зависимость эффективной температуры тестового элемента RM1(a) и LK_M1_M3(б) от плотности протекающего тока через вольфрамовые (1) и алюминиевые шины (2)

4. Выводы

Проведенные исследования И испытания элементов и структур показали увеличение долговечности вольфрамовой металлизированной разводки по сравнению с алюминиевой (как шин, так и контактных межсоединений) на несколько порядков, при повышении удельного сопротивления металлизации всего раза в три (0.21)Ом/квадрат у против вольфрама 0,07 Ом/квадрат алюминия), пороговые у напряжения транзисторов уменьшились на 0,25-0,3 В, соотношение тока насыщения к

р-канальных току утечки для n-И транзисторов для 200°С при напряжении Vdd=3,3В Ion/Ioff~10⁶, изменение динамических параметров цифровых элементов не превышает 30%. Полученные результаты позволяют сделать заключение о использования возможности технологического процесса НИИСИ РАН КПОМ 05КНИ с применением вольфрамовой металлизации для изготовления высокотемпературных СБИС рабочими с температурами не менее 200 °С.

Analysis of possibility of using the 05SOI technology with tungsten metallization to create high-temperature integrated circuits

S.I. Babkin, S.I. Volkov, A.S. Novoselov

Abstract: The research examines the possibility of using the technology 05SOI with tungsten multilevel metallization for creation high-temperature IC's. The parameters of A-type transistors and ring oscillators made up of A-type inverters operating under high temperature conditions are investigated. The reliability characteristics of three-level metallization under conditions of high current density and high temperature are investigated.

Keywords: High-temperature electronics, CMOS SOI, tungsten metallization

Литература

1. Jeff Watson and Gustavo Castro High-temperature electronics pose design and reliability challenges // Analog Dialogue 46-04, April (2012), pp. 1-7

2. D.Vanhoenacker-Janvier, M. El Kaamouchi and M. Si Moussa Silicon-on-insulator for high-temperature applications // IET Circuits Devices Syst., February 2008, vol. 2, no. 1.

3. D. Wolpert, P. Ampadu. Managing Temperature Effects in Nanoscale Adaptive Systems. Springer-Verlag New York, 2012 4. A.G.Domenicucci et al. Effect of copper on the microstructure and electromigration lifetime of Ti-AlCu-Ti fine lines in the presence of tungsten diffusion barriers // J.Appl. Phys. 80 (9), November 1996, pp. 4952-4959.

5. P.L.Ilreike. An Overview of high-temperature electronic device. Technologies and potential applications // IEEE Transactions on components. Packaging and manufacturing technology-part A, December 1994, vol. 17, no. 4, pp. 594-609.

6. Jiang Tao et al. Electromigration reliability of tungsten and aluminum vias and improvements under AC current stress // IEEE transactions on electron devices, August 1993, vol 40, no. 8, pp. 1398-1405
Цифровая ФАПЧ для технологического процесса с нормами 65 нм

¹ В.В. Мастеров, ² Ю.Б. Рогаткин

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail's: ¹ masterov@cs.niisi.ras.ru ² ryb@cs.niisi.ras.ru

Аннотация: Представлены результаты практической разработки сложно-функционального блока цифрового устройства фазовой автоподстройки частоты с использованием базовой технологии КМОП с проектными нормами 65 нанометров. Рассчитаны основные характеристики: центральная частота осцилляции, полоса пропускания и джиттер.

Ключевые слова: КМОП технология, фазовая автоподстройка частоты.

Введение

В современных системах коммуникации устройства фазовой автоподстройки частоты (ФАПЧ) являются незаменимым элементом. Их применяют для демодуляции сигнала, восстановления сигнала из шумного канала, генерации тактового сигнала и т.д. Широкое распространение получили аналоговые ФАПЧ. Аналоговые системы обеспечивают высокую помехоустойчивость при низком соотношении сигнал/шум на их входе, но их недостатком является узкая полоса захвата. Время захвата, определяемое параметрами петлевого фильтра, реализация которого связана с существенным увеличением площади на кристалле интегральной схемы, довольно велико. Цифровые ФАПЧ имеют более широкую полосу захвата и потенциально меньшее время захвата. Существуют различные варианты реализации цифровых ФАПЧ (ЦФАПЧ). В работе [1] аналоговый частотнофазовый детектор заменен на двух-тактовый частотный компаратор, фильтр нижних частот выполнен в цифровом виде. Позднее, был предложен новый тип ЦФАПЧ, в которой частотный компаратор заменен преобразователем «временной интервал-код» [2]. Этот тип ЦФАПЧ имеет улучшенные шумовые характеристики, в частности, в спектре фазового шума отсутствует гармоника опорного сигнала. ЦФАПЧ этого типа уже нашли себе применение в таких коммуникационных системах, как сотовая связь [3], Bluetooth [4], WiMAX [5].

Предметом данной работы является ЦФАПЧ, предназначенная для реализации по технологии с нормами 65нм, выходной частотой 10ГГц и полосой пропускания 1МГц. В качестве аналога для данной разработки использована цифровая ФАПЧ, описанная в работе [2]. Ее основные достоинства следующие:

- высокая устойчивость к шумам;
- возможность управления полосой пропускания для уменьшения времени;
- установки в рабочий режим;
- возможность регулирования частотой обновления управляющего кода с целью увеличе-

ния надёжности схемы;

- отсутствие «выбросов» на графике фазового шума, которые можно наблюдать в случае с аналоговой ФАПЧ;
- возможность уменьшения площади, занимаемой на кристалле при переходе на технологию с меньшей топологической нормой.

1. Принцип работы ЦФАПЧ

Структурная схема ЦФАПЧ представлена на рис. 1.

В ЦФАПЧ используются 32-разрядные двоичные коды, которые представляют вещественное число с фиксированной точкой. Вещественная часть представлена 20 младшими битами. Назначение сигналов следующее: FREF – опорный сигнал; CKV - прямой или поделенный сигнал осциллятора; FCW (Frequency-Command-Word) – цифровой код, вес которого определяет отношение частоты опорного сигнала FREF к частоте сигнала CKV.



код нормализованного периода сигнала осциллятора (normalized DCO period code)

Рисунок 1. Структурная схема ЦФАПЧ (темным цветом выделены аналоговые компоненты); 1 – осциллятор, управляемый кодом; 2- цифровой фильтр; 3 – преобразователь кода фазовой ошибки в код управления осциллятором; 4 – фазовый аккумулятор опорного сигнала; 5 – фазовый аккумулятор сигнала осциллятора; 6 – сэмплер; 7 – синхронизатор; 8 – преобразователь «временной интервал – цифра».

С другой стороны, FCW равен количеству тактов сигнала CKV за один такт сигнала FREF. Фазовый аккумулятор опорного сигнала осуществляет операцию сложения его текущего значения со значением FCW и таким образом полученный результат PHR выражает текущую фазу требуемого сигнала. Для того, чтобы получить фазу осциллятора PHV, используются аккумулятор преобразователь фазовый И «временной интервал-код». Необходимость преобразователя обусловлена тем, что фазовый аккумулятор срабатывает только по положительному фронту сигнала СКУ, т. е. регистрирует только целое значение фазы. «временной Преобразователь интервал-код» измеряет время є между фронтами последнего цикла сигнала CKV и FREF (рис.2).



Цифровая часть(см.рис.1)тактируется сигналом СКR, который генерируется блоком синхронизатора. Подробное описание этого блока дано ниже. Переменная і значит, что данный код является функцией в домене сигнала СКV, а k – функцией в домене сигнала СКR.

PHE[k] – код фазовой ошибки, который получен следующим образом:

$$PHE[k] = PHR[k] - PHV[k].$$
(1)

Далее этот код проходит обработку в цифровом фильтре, который уменьшает значение фазовой ошибки:

$$PHE\alpha[k] = PHE[k] \cdot \alpha .$$
⁽²⁾

Для упрощения реализации можно использовать значения $\alpha = 1/2, 1/4, 1/8, 1/16...,$ т. к. при таких значениях цифровой фильтр может быть выполнен в виде регистра сдвига вправо. Значение коэффициента α определяет полосу пропускания f_{BW} ЦФАПЧ:

$$f_{BW} = \frac{\alpha}{2\pi} \cdot f_{FREF} , \qquad (3)$$

где f_{FREF} – частота опорного сигнала FREF.

Далее полученное значение необходимо нормализовать в вид кода управления осциллятором OTW (Oscillator Tuning Word):

$$OTW[k] = PHE[k] \cdot \frac{f_{FREF}}{K_{DCO}} , \qquad (4)$$

где *К_{DCO}* — коэффициент передачи осциллятора.

Конечный результат умножения проходит преобразование в термокод. Процесс настройки ЦФАПЧ делится на три режима, которые определяют плавностью настройки. Первый режим соответствует грубой настройке, второй – промежуточной, третий, рабочий режим – плавной. Для каждого режима существуют свои коэффициенты α и K_{DCO} . Переключение режимов осуществляется с помошью контрольного блока, который меняет режим в зависимости от состояния счетчика, тактируемого K_{DCO} сигналом FREF. Коэффициенты определяются еще на стадии проектирования и допускается сравнительно небольшое различие с их реальными значениями. Для достижения пропускания требуемой полосы может потребоваться очень малое значение α, что, в свою очередь, может сказаться на значительном увеличении времени установления в рабочий режим. Для того, чтобы удовлетворить требования для скорости установления в рабочий режим и для ширины полосы пропускания, реализуется механизм переключения α (рис. 3). начальном этапе третьего режима Ha используется большой относительно коэффициент α И через определенный промежуток времени контрольным сигналом «gear» происходит переход меньшему к значению. Переключение осуществляется также внешним контрольным блоком, который является счетчиком сигнала FREF. Условием переключения а является достижение счетчика заданного извне значения.



Рисунок 3. Принципиальная схема переключателя коэффициента α

2. Аналоговые компоненты ЦФАПЧ

Аналоговая часть ЦФАПЧ содержит следующие блоки: осциллятор с подключенными к нему делителями частоты, синхронизатор и преобразователь «временной интервал-код» (ПВИК).

В ланной работе используется LC-осциллятор, центральная частота которого равна 10 ГГц. Он содержит три набора конденсаторов, соответствующие трем режимам настройки. Первому, грубому режиму настройки, соответствует набор ячеек из конденсаторов с относительно большой емкостью. Для второго и третьего режимов емкости меньше. В результате, для первого, второго и третьего режимов коэффициенты передачи равны значениям 44 МГц, 2,5 МГц и 290 КГц соответственно. Основными функциями блока синхронизатора являются генерация тактового сигнала для цифровой части ЦФАПЧ и подсчет импульсов сигнала CKV. Ситуации, в которых положительные фронты сигналов FREF и CKV слишком близки, крайне нежелательны, так как могут спровоцировать сбой в подсчете тактов. Именно поэтому используется структура, приведенная на рис. 4. Сигнал SEL_EDGE формируется блоком обработки данных ПВИК и сигнализирует о необходимости пропуска текущего импульса на выходе осциллятора, чтобы избежать сбоя в подсчете тактов. Код PHV[2:0] младшие биты целой составляющей кода PHV. Старшие биты формируются обычным счетчиком, на тактовый вход которого поступает деленный сигнал осциллятора СКVD8. Кроме того временной диапазон между положительными фронтами сигналов FREF и CKR должен быть достаточно велик, чтобы за это время анализатор успел обработать данные ПВИК.



Рисунок 4. Схема синхронизатора

Конечной задачей этого блока является преобразование временного промежутка между ближайшими положительными фронтами сигналов FREF и CKV в цифровой код. Без него фаза выходного сигнала ЦФАПЧ лишь локализована в диапазоне от 0 до 2π. В данной работе использован преобразователь на основе линии задержки. Он содержит инверторы в качестве элементов задержки и триггеры, на тактовый вход которых подается сигнал FREF. Разрешающая способность такого преобразователя равна времени задержки одного инвертора. Для технологии 65 нм этот промежуток равен около 20 пс. Требуемая полная шкала преобразователя должна составлять 800 пс при коэффициент передачи около 14 бит/пс.

Формирование вещественной составляющей кода PHV определяется следующим выражением:

$$PHV_f = \frac{\mathcal{E}}{T_{CKV}},\tag{5}$$

где \mathcal{E} – разница во времени между фронтами, T_{CKV} — идеальное значение периода сигнала CKV в рабочем режиме. Так как идеальное

значение не может быть известно заранее, блок обработки должен определять его из состояний преобразователя. Управление задержкой происходит изменения напряжения путем питания инверторов - элементов задержки. При изменении напряжения питания на ±10% изменение задержки составляет около 30%. Наличие дифференциальных линий задержки смягчает эффект разброса технологических параметров и в таком преобразователе можно обойтись без калибровки. Ha рис. 5 показаны результаты расчетной зависимости дифференциальной интегральной И нелинейностей (DNL и INL) от временного промежутка между фронтами СКV и FREF.



Рисунок 5. Результаты расчетов дифференциальной (сплошная линия) и интегральной (пунктирная линия) нелинейностей ПВИК

3. Основные характеристики ЦФАПЧ

Результаты моделирования в среде САПР САDENCE приведены на рис. 6 и 7. Использовался типовой процесс 65 нм, при температуре 27°С, джиттер входного сигнала равен 60 пс. Частота опорного сигнала равна 100 МГц. Полоса пропускания составляет 2 МГц.



настройки, I,II,III – режимы настройки

На рис. 6 показано изменение частоты в процессе настройки. Первый режим работы длился 2 мкс, второй – 10 мкс. Суммарное время настройки составило ~20 мкс. На рис. 7 показана глазковая диаграмма сигнала генератора. Детерминированный джиттер выходного сигнала равен 5,9 пс.



Рисунок 7. Глазковая диаграмма сигнала генератора

Заключение

В данной работе представлена реализация ЦФАПЧ с использованием базовой технологии КМОП с проектными нормами 65 нанометров. При центральной частоте осциллятора 10 ГГц и полосе пропускания 2 МГц, детерминированный джиттер сигнала ЦФАПЧ составляет 5,9 пс.

Данная реализация ЦФАПЧ может быть использована как синтезатор частоты для высокоскоростных каналов связи в микропроцессорных и коммуникационных СБИС.

ADPLL design in 65 nm CMOS

V.V.Masterov, Yu.B.Rogatkin

Abstract: This paper presents the result of practical development of all-digital phase-locked loop (ADPLL) in 65nm. The analog PLLs are widespread but advanced CMOS technologies are becoming less friendly for analog design, therefore digital solutions adaptation for analog applications issue is of great interest. The structure of implemented ADPLL is the same as one of WiMAX and Bluetooth receivers ADPLL. The main advantages of this structure is higher noise immunity in comparison with the analog PLL one, scaling and bandwidth control during calibration. The operations of analog and digital parts are described. For simplicity, the inverter-delay chain is used as the time-to-digital converter. Its main parameters are presented, with differential and integral nonlinearities are obtained using Monte-Carlo analysis. Also, the settling time reducing technique is implemented using gain shifter. The digital part implementation is done with Verilog. The central frequency of oscillation and bandwidth are calculated. The simulation is implemented and the output jitter is obtained.

Keywords: CMOS technology, phase-locked loop.

Литература

1. J.Dunning, G.Garcia, J.Lundberg, E.Nuckolls. An All-Digital Phase-Locked Loop with 50-Cycle Lock Time Suitable for High-Performance Microprocessor // IEEE Journal of Solid-State Circuits, 1995, vol. 30, no 4, p. 412-422;

2. R. Staszewski, T. Balsara Poras. All-Digital Frequency Synthesizer in Deep-Submicron CMOS // Wiley, 2002;

3. R.Staszewski, J.Wallberg et al. All-Digital PLL and Transmitter for Mobile Phones // IEEE Journal of Solid-State Circuits, 2005, vol. 40, no. 12, p.2469-2482;

4. R.Staszewski. M.Khurram et al. All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS, // IEEE Journal of Solid-State Circuits, 2004, vol. 39, no. 12, p. 2278-2291;

5. J.Wenlong. ADPLL design for WiMAX (Msc Thesis) // Delft University of technology, 2011;

6. R.Staszewski, T. Balsara Poras. All-Digital PLL with ultra-fast settling // IEEE Transactions on circuits and systems-II: Express briefs, 2007, vol. 54. No.2, p.181-185;

7. E.Popong. Time-to-Digital converter (TDC) for WiMAX ADPLL in State-of-The-Art 40-nm CMOS (MSc Thesis) // Delft University of Technology, 2011.

Определение параметров SPICE-моделей МОПТ при низких температурах (до минус 200°С)

И. А. Харитонов, И. А. Четвериков, Е. Ю. Кузин, М. Р. Исмаил-Заде

Национальный исследовательский университет «Высшая школа экономики» (Московский институт электроники и математики им. А. Н. Тихонова), Москва, Россия, e-mail: ikharitonov@hse.ru

Аннотация: Показано, что стандартная модель BSIM3 не обеспечивает корректного описания более крутого характера сток-затворной характеристики при низких температурах (до -200°С), вызванного бо́льшим проявлением механизмов рассеяния носителей заряда при общем возрастании подвижности. Представлена улучшенная макромодель МОПТ для низкой температуры с управляемым источником напряжения, подключенным последовательно м затвором, который зависит от температуры и приложенного внешнего напряжения на затворе, направлен встречно по отношению к последнему и снижает эффективное напряжение затвор-исток транзистора по мере увеличения внешнего затворного напряжения. Описана процедура определения параметров улучшенной SPICE-моделей МОПТ. Предлагаемая макромодель имеет ряд преимуществ перед уже существующими аналогами и позволяет с большей точностью описывать характеристики МОПТ при низких температурах.

Ключевые слова: КНИ МОПТ, низкая температура, подвижность носителей, крутизна характеристики, SPICE макромодель, определение параметров модели.

1. Введение

При низких температурах (до минус 200°С) МОПТ приобретают ряд преимуществ по сравнению с работой при нормальных условиях, к которым относятся [1-4]: более высокая крутизна в надпороговом режиме за счет сильного увеличения подвижности носителей заряда, бо́льшая крутизна в предпороговом режиме (рис. 1), и как результат, большая скорость переключения, меньшее потребление мощности.

Интерес к низкотемпературной электронике возрастает вследствие расширения ее применения как для аппаратуры космических аппаратов, так и для наземных применений – приемников сигналов, схем для «высокотемпературной» сверхпроводимости.



Рис. 1 Зависимость тока стока (а) и подвижности в канале (б) от напряжения на затворе при температуре 300 К и 9 К для п-канального LTA-SIMOX МОП-транзистора [8]

Распространенная модель МОПтранзистора на объёмном кремнии BSIM3v3 (и построенная на ее основе модель BSIMSOI для МОПТ на изолирующей подложке) не рассчитана на столь низкие значения температуры, поэтому вопросы ее применимости для столь низких температур являются актуальными. Работы многих авторов и результаты авторов данной статьи показывают, что в области сверхнизких температур:

 – модель BSIM3 достаточно корректно описывает зависимость порогового напряжения и наклона в предпороговом режиме от температуры;

модель недостаточно корректно описывает крутизну сток-затворной ВАХ в надпороговом режиме [1–3] (см. рис. 1.б).

Наши результаты экстракции параметров модели BSIM3v3 по экспериментальным данным [7] подтвердили, что при снижении температуры до минус 200°С модель BSIM3v3 [10] не в состоянии учесть более резкие изменения в характере зависимости крутизны от напряжения на затворе (см. рис. 2, б) [2,5,6] (чем при комнатной температуре).



Рис. 2 Измеренные (точки) [7] и смоделированные (сплошные линии) с помощью стандартной модели BSIM3v3 сток-затворные характеристики р-канального МОП-транзистора (W/L = 10 мкм/ 2 мкм) при температурах 300 K (a) и 77 K (б) с V_{ds} = -0.05B



Рис. 3 Макромодель МОПТ для низкой температуры с дополнительными сопротивлениями R_d u R_s[9]

Для повышения точности моделирования в этих условиях различными авторами были предложены следующие подходы.

Авторы работы [7] для повышения точности моделирования ВАХ при низких температурах встроили в модель полиномиальные аппроксимации для температурно-зависимых коэффициентов модели: порогового напряжения, параметров, описывающих подвижность и др.

В работе [8] авторы переписывают модель BSIM3 на языке AHDL, вводя новые зависимости параметров от температуры. При этом не сказано, как корректируется стандартная зависимость крутизны от напряжения на затворе.

В работе [9] было предложено повысить точность моделирования при низких температурах за счет уменьшения крутизны стокзатворной ВАХ с помощью дополнительных сопротивлений R_d и R_s (см. рис. 3), зависящих от температуры и напряжений на затворе и стоке. Сопротивление R_d учитывает эффект вымораживания примеси в LDD области, а R_s в области канала транзистора. Зависимость R_d от напряжения V_{ds} построена, используя данные измерений при криогенной температуре.

По нашему мнению, последний подход является не совсем корректным решением, так как введение дополнительного сопротивления не объясняет снижения крутизны при увеличении напряжения на затворе. Кроме того, при этом увеличивается суммарное сопротивление транзистора, что, во-первых, приводит к заметной погрешности расчета ВАХ в режиме больших токов и, во-вторых, ухудшает точность моделирования динамических характеристик.

2. Коррекция SPICE-модели МОПТ для низких температур

Авторами данной статьи предлагается корректировать крутизну сток-затворной характеристики другим способом, не внося дополнительных сопротивлений в модель, что лучше (более физично) описывает более резкий характер зависимости подвижности от вертикального поля затвора при низкой температуре [12, 13, 14]. В этих работах показано, что более резкий характер зависимости подвижности от вертикального поля при низких температурах связан с большим проявлением механизмов рассеяния носителей заряда при общем возрастании подвижности в объеме. Как видно из рис. 1, б, при низких температурах увеличивается максимальное значение подвижности (что достаточно корректно отрабатывается моделью BSIM3) и увеличивается крутизна ее спада при увеличении напряжения на затворе, что описывается дополнительно введенной нами схемой.



Рис. 4 Макромодель МОПТ для низкой температуры с дополнительным источником напряжения Vg Cor

Для этого в эквивалентную схему МОПТ (см. рис. 4) подключен управляемый источник напряжения Vg_{Cor} , который зависит от приложенного внешнего напряжения на затворе Vg и температуры, направлен встречно по отношению к Vg и снижает эффективное напряжение затвор-исток транзистора по мере увеличения внешнего напряжения на затворе.

3. Определение параметров модели МОПТ

Определение параметров уточненной модели проводилось следующим образом.

1. Вначале при комнатной температуре определялся полный набор параметров 2. В диапазоне температуры от -200° С до комнатной определялись температурные коэффициенты модели без учета корректирующего источника Vg_{-Cor} .

3. Из сток-затворных ВАХ для низких температур определялись параметры корректирующего источника *Vg* _{Cor}.

На рис. 5 приведены результаты уточненного моделирования ВАХ р-канального транзистора (W/L = 10 мкм/ 2 мкм) при температуре 77 К с использованием данных [4], приведенных на рис. 2 (б).

Видно, что погрешность моделирования характеристик МОПТ при -200°С снизилась с 60% (при использовании стандартной модели BSIM3v3) до 15% с разработанной макромоделью.

4. Заключение

Предложена макромодель МОПТ для низких (до -200°С) температур, которая, лучше описывает более резкий характер зависимости подвижности от поля затвора при низкой температуре; по сравнению с другими решениями, не вносит дополнительных сопротивлений в модель и может использоваться с любой стандартной моделью МОПТ, Модель использует управляемый источник напряжения, который зависит от приложенного внешнего напряжения на затворе и температуры, и снижает эффективное напряжение затвор-исток транзистора по мере увеличения внешнего напряжения на затворе.

Разработанная макромодель позволила снизить погрешность моделирования характеристик МОПТ при низких температурах (до -200°С) с 60% (при использовании стандартной модели BSIM3v3) до 15%.



Рис. 5 Измеренные (точки) [7] и смоделированные (сплошные линии) сток-затворные характеристики р-канального МОП-транзистора (W/L = 10 / 2 мкм) с улучшенной моделью BSIM3v3 при температуре 77 К с V_{ds} = -0.05B

Parameters extraction of MOSFET SPICE models at low temperatures (down to -200°C)

I. A. Kharitonov, I. A. Chetverikov, E. Y. Kuzin, M. R. Ismail-Zade

Abstract: It is shown that BSIM3 standard MOSFET SPICE model does not provide more abrupt MOSFET transconductance dependence on gate voltage at low temperature (up to -200° C) caused by mobility increase. Enhanced MOSFET macro model for low temperature is proposed which accounts for more abrupt MOSFET transconductance dependence on gate voltage. Additional nonlinear voltage-controlled voltage source $Vg__{Cor}=f(Vg, T)$ was connected between MOSFET gate and gate voltage source Vg. This voltage source reduces effective MOSFET gate voltage for large values of Vg and provides necessary transconductance dependence on gate voltage at low temperatures. The macromodel provides reduction of Id=f(Vg) simulation error from 60% (for standard BSIM3v3 model) down to 15% (for the developed macromodel).

Keywords: SOI MOSFET, low temperature, carrier mobility, transconductance, SPICE macro model, model parameters extraction

Литература

- 1. Edmundo Gutierrez-D, Jamael Deen, Cor Claeys. Low temperature electronics: Physics, devices, circuits, and application. London, Academic Press, 2000 964 pages.
- 2. Jin Hu. Low Temperature Effects on CMOS Circuitsto Electrical Engineering and Computer Science. Northwestern University. Evanston, IL 60208, USA
- 3. P.Haldar, H.Ye, H.Efstathiadis, et al. Improving performance of cryogenic power electronics. IEEE Trans Components, Applied Superconductivity, 2005, vol.15(2), p. 2370
- 4. F.Balestra, G.Ghibaudo. Brief review of the MOS device physics for low temperature electronics. Solid State Electron, 1994, vol. 7(12), p. 1967
- 5. F. Balestra, L. Audaire, C. Lucas. Influence of substrate freeze-out on the characteristics of MOS transistors at very low temperatures. Solid-State Electronics, 1987, Vol. 30, No. 3, pp. 321-327
- 6. G. Ghibaudo, F. Balestra. Low temperature characterization of silicon CMOS devices, Microelectron Reliab,1997,1353-66.
- Hongliang Zhao, Xinghui Liu. Modeling of a standard 0.35 um CMOS technology operating from 77 K to 300 K. Cryogenics 59,2014, pp. 49–59.
- A. Akturk, K. Eng, J. Hamlet, S. Potbhare, E. Longoria, R. Young, M. Peckerar, T. Gurrieri, M.S. Carroll, N. Goldsman Compact Modeling of 0.35 μm SOI CMOS Technology Node for 4 K DC Operation using Verilog-A. Journal Microelectronic Engineering, December 2010, Vol. 87, Issue 12, pp. 2518-2524
- Jia Kan, Sun Weifeng, Shi Longxing. A sub-circuit MOSFET model with a wide temperature range including cryogenic temperature. Journal of Semiconductors, June 2011, Vol. 32, No. 6
- 10. BSIM3v3 Manual Copyright © 1995, UC Berkeley ,1996
- 11. G. Ghibaudo, F. Balestra. Modelling of ohmic MOSFET operation at very low temperature. Solid-State Electronics, 1988, Vol. 31, pp. 105-108
- 12. A. Emerani, F. Balestra, G. Ghibaudo. On the understanding of electron and hole mobility models from room to liquid helium temperatures. Solid State Electron, 1994, Vol. 37, No. 10, pp. 1723-1730
- Deok Su Jeon, Dorothea E. Burk. MOSFET electron inversion layer mobilities-A physically based semi-empirical model for a wide temperature range. IEEE transactions on electron devices, August 1989, Vol. 36, No. 8.
- K. Chain, J. Huang, J. Duster, P. KO, C. Hu A MOSFET electron mobility model of wide temperature range (77 - 400 K) for IC simulation. Semiconductor science and technology, 1997, Vol. 12, No. 4

Опыт применения платформы прототипирования на ПЛИС "Protium" для верификации микропроцессоров

А.Ю. Богданов

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: aubogdan@cs.niisi.ras.ru

Аннотация: Рассматриваются вопросы применения платформы Protium для прототипирования микропроцессора. Приводятся полученные характеристики и рассматривается вопрос повышения производительности путём использования конструкций типа BlackBox.

Ключевые слова: прототипирование, микропроцессор, ПЛИС, Protium, Vivado.

1. Введение

В настоящее время для целей прототипирования микропроцессора используются как платы собственной разработки, так и готовые отладочные платы от сторонних производителей (Terasic, Hitechglobal и др.). В большинстве случаев в данных решениях применяется плата с одной ПЛИС.

Разрабатываемый в ФГУП ФНЦ НИИСИ РАН микропроцессор содержит встроенный видеоконтроллер с поддержкой аппаратного ускорения 3D-графики. В связи с большим объемом требуемых ресурсов нет возможности отладки разрабатываемого микропроцессора в рамках отдельной ПЛИС, поэтому необходимо использовать платформу прототипирования, содержащую несколько микросхем ПЛИС и позволяющую проверить встроенный IP-блок 3D графики.

Ввиду того, что в НИИСИ РАН используется маршрут проектирования на САПР от компании Cadence, было принято решение использовать платформу прототипирования Protium от того же производителя, позволяющую в автоматическом режиме разбивать проект на части для загрузки в отдельные ПЛИС. Основные характеристики данной системы показаны ниже:

- 4 ПЛИС Virtex-7 XC7V2000Т;
- Суммарный объем логических элементов до 50М;
- Автоматический маршрут проектирования, заданный по умолчанию, позволяет получить частоту работы прототипа от 3 до 20 МГц;

- Полная интеграция с САПР Vivado при размещении элементов и трассировки соединений (place & route tool);
- Отладочная информация доступна через САПР Vivado Chipscope, максимальный объем до 128К в каждой ПЛИС.

2. Платформа прототипирования Protium

Ргоtium – это платформа для создания прототипов от компании Cadence. Она позволяет использовать имеющиеся описание микпроцессора на языке описания аппаратуры и создавать на его основе прототип на базе ПЛИС. Средства Protium автоматически выполняют перенос структур микропроцессора на ресурсы, доступные на ПЛИС Virtex-7 компании Xilinx.

Основу данной платформы составляет плата с четырьмя ПЛИС, установленная в корпус размером 228х445х673 мм с блоком питания, системой охлаждения, необходимыми для моделирования внутренними интерфейсами между ПЛИС.

На рис. 1 представлена блок-схема платы Protium с 4-мя ПЛИС Virtex-7, соединенные каналами ввода/вывода. Разъемы межсоединений предназначены для подключения плат расширения и увеличение количества сигналов ввода/вывода ПЛИС. К каждой ПЛИС подключено 2 разъема, каждый из которых позволяет соединить до 150 одиночных сигналов ввода/вывода.



Рис. 1. Блок-схема платы Protium с 4-мя ПЛИС

Основные стадии сборки проекта для системы Protium показаны на рис. 2. На вход Protium подается исходное описание на языке Verilog. Также проекта конфигурационный используется файл. содержащий в себе настройку системы для ланного проекта: используемые платы расширение, значение частот синхронизации. список отладочных сигналов, назначение контактов ПЛИС и др. Программное обеспечение платформы Protium осуществляет компиляцию и разбиение проекта на заданное количество ПЛИС. Полученная информация подается программным обеспечением Protium на вход САПР Vivado без участия пользователя, который автоматическом в режиме выполняет размещение элементов, трассировку соединений создание И битовых файлов для конфигурирования выполняется каждой ПЛИС. Это в полностью автоматическом режиме с минимальными изменениями исходного описания проекта.



Рис. 2. Основные стадии сборки проекта для системы Protium

3. Отладочный стенд

Для проверки встроенного IP блока 3D графики используется отладочный стенд (рис. 3), в состав которого входит следующее оборудование:

- Платформа прототипирования Protium;
- Ethernet Speed Bridge (ESB);
- Инструментальная машина.

В системе Protium реализован прототип микропроцессора. Для работы с DDR3 памятью используется плата расширения, объем памяти на которой равен 8 Гбайт.

ESB позволяет подключить полноскоростной порт 100-BaseTX к медленным Ethernet портам прототипа, подключенным по GMII интерфейсу для с связи с NFS и TFTP-серверами (для загрузки OC Linux).

Инструментальная машина служит для взаимодействия с системой через UART интерфейс и получения отладочной информации через JTAG интерфейс, посредством САПР Vivado Chipscope.

4. Полученные результаты

В ходе работы с системой Protium получены следующие результаты:

- Реализован Ethernet интерфейс, получен IP-адрес по DHCP протоколу;
- Осуществлена загрузка ОС Linux;
- Запущен IP блок 3D графики (рис. 4).

Полученные временные характеристики сборки проекта, загрузки системы показаны ниже:

- Время сборки проекта:
 - Размер проекта 1 ПЛИС (без 3D графики) — ~ 3 часа;
 - Размер проекта 4 ПЛИС (с 3D графикой) - ~ 30 часов;
- Загрузка boot ~2 минуты;
- Загрузка Linux ~ 15 20 минут (в зависимости от скорости работы прототипа).

В табл. 1 приведен объем использования логических ресурсов ПЛИС при различных конфигурациях проекта. В случае графики использования IP блока 3D вычислительные ресурсы системы практически исчерпаны: объем использования логических ресурсов ПЛИС 80%. Поэтому более необходимо различные использовать метолы лпя повышения производительности системы.



Рис. 3. Отладочный стенд для системы Protium



Рис. 4. Пример работы встроенного IP блока 3D графики

Таблица 1. Объём использования логических ресурсов ПЛИС

Состав моделируемого/отлажи ваемого проекта	Количество используемых ПЛИС	Объём использования логических ресурсов ПЛИС, %	Частота работы проекта, МГц
Без 3D графики	1	26	12
С 3D графикой	4	80/77/74/79	5-9

5. Повышение производительности

Автоматический маршрут проектирования, заданный по умолчанию, позволяет получить частоту работы прототипа от 3 до 20 МГц.

Одним из способов повышения производительности является использование чёрных ящиков Black Box. Black Box – это части проекта микропроцессора, которые вручную преобразуются в структуры ПЛИС с помощью САПР Vivado.

Это позволяет BlackBox работать на частотах, которые ограничены только архитектурой FPGA, а не архитектурой системы Protium, что позволяет существенно повысить скорость работы прототипа.

В качестве BlackBox был выбран блок процессора CPU. В итоге время загрузки ОС Linux на прототипе сократилось на 2 мин. и составило 12-18 мин.

Заключение

Опыт работ по использованию платформы прототипирования Protium свидетельствует об эффективности применения данного решения в качестве прототипа для отладки МК с поддержкой аппаратного ускорения 3D-графики. К достоинствам системы относится автоматическое разбиение проекта на отдельные ПЛИС.

К недостаткам системы можно отнести длительное время сборки проекта для 4-х ПЛИС (~ 30 часов), невозможность сохранения временных диаграмм во внешней памяти.

В настоящее время проводятся работы по увеличению скорости работы прототипа.

Experience in applying the Protium SOC prototyping platform for verification of microprocessors

A.Y. Bogdanov

Abstract: The use of the Protium SOC prototyping platform is examined for microprocessor verification. The results are presented and the issue of increasing productivity through the use of structures such as Black Box is considered.

Keywords: prototyping, microprocessor, FPGA, Protium, Vivado.

Литература

1. URL: https://forums.xilinx.com/t5/Xcell-Daily-Blog/Cadence-announces-2nd-generation-Protium-SoC-rapid-prototyping/ba-p/493240

2. Protium User Guide. Product Version 15.1. Cadence Design Systems. 2015

Конструктивные и технологические решения, применяемые при разработке и изготовлении современных СБИС

С.А.Кизиев¹, К.К.Смирнов²

¹ВП, Москва, Россия, E-mail: s-kiz@mail.ru,

² ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: Konstantin_Smirnov@srisa.ru,

Аннотация: Рассмотрены конструктивные и технологические решения, используемые в современных СБИС, функционирующих в жестких климатических условиях. Предложено включить в существующие методы испытаний на способность к пайке и прочности крепления дополнительные испытания, ориентированные на BGA (FCBGA) –корпуса и технологию Flip-Chip. Предложена методика построения кроссплатформенных функциональных тестов современных многовыводных СБИС.

Ключевые слова: СБИС, BGA-корпус, Flip-Chip, FCBGA-корпус, функциональный контроль, измерительная оснастка, кроссплатформенный подход.

Современные сложно-функциональные СБИС (высокопроизводительные многоядерные кристалле). процессоры, система на разрабатываемые по технологическим нормам 65 нм и менее, характеризуются наличием большого количества каналов управления, ввода-вывода и межпроцессорного обмена, а также повышенными требованиями к быстродействию [1]. Для применения таких микросхем в радиоэлектронной аппаратуре специального назначения (в жестких климатических условиях и после воздействия специальных факторов) необходимо обеспечить качество их В соответствие с действующими нормативными документами [2].

Развитие микроэлектроники с широкой миниатюризацией решений усложняет контроль качества разработки, измерения, испытания СБИС и требует постоянного совершенствования технологического процесса изготовления, разработки и применения новых конструкторскотехнологических решений, создания новых инструментов контроля (оснастки) и оценки параметров, ужесточения цеховых норм.

Важную роль в реализации всё возрастающих функциональных требований к СБИС играет тип корпуса, применяемого при сборке микросхемы. Традиционные корпуса с планарными выводами, расположенными по периметру кристалла, не всегда позволяют решить стоящие задачи. В этих условиях разработчики всё чаще используют новые конструктивные решения микросхем в части применяемых корпусов и методов монтажа кристаллов. Рассмотрим некоторые из них.

Монтаж методом «перевернутого кристалла» (англ. Flip-Chip) состоит в формировании контактных на площадках кристалла СБИС небольшого по высоте и размером с саму контактную плошалку проводника из припоя. На корпусе ответные контактные площадки располагаются зеркальным

образом. Кристалл переворачивается и после совмещения контактных площадок кристалла и корпуса монтируется в корпус. Затем методом оплавления осуществляется электрическое соединение контактных площадок кристаллкорпус. После монтажа перевернутого кристалла на подложку и оплавления межсоединений, между кристаллом и поверхностью корпуса пространство, образуется высота которого определяется величиной выступа контактов на кристалле СБИС (бампов). Это пространство по технологии Flip-Chip заполняется специализированным компаундом (underfill), который вытесняет воздух из подкристальной области и одновременно герметизирует все электрические соединения кристалл-корпус и, того, осуществляет механическую кроме фиксацию кристалла СБИС.

полкристальной После заполнения области компаундом, электрические соединения кристалл-корпус становятся защищенными от внешнего воздействия. Теперь при внешнем механическом воздействии на кристалл компаунд underfill принимает на себя основную механическую нагрузку, предотвращая перенос нагрузки на паяные соединения кристалл-корпус. При воздействии климатических факторов underfill предохраняет компаунд паяные соединения кристалл-корпус от разрушения. По данным NASA [3] для микросхем Flip-Chip нарушение электрического контакта кристаллкорпус под действием внешних факторов может возникнуть сразу после того, как разрушится сам компаунд.

Было проведено моделирование поведения паразитной индуктивности (рисунки 1 и 2) и сопротивления (рисунки 3 и 4) в зависимости от частоты сигнала для проволочной разварки и для Flip-Chip соединения между контактной площадкой кристалла и контактной площадкой корпуса.



Рисунок 2. Зависимость индуктивности проводника кристалл-корпус от частоты сигнала для Flip-Chip соединения.

Freq [GHz]







для Flip-Chip соединения.

Моделирование показывает, что на частоте 3 ГГц проволочное соединение имеет превышение паразитной индуктивности по сравнению с Flip-Chip соединением более чем в 20 раз.

Кроме того, моделирование показало, что на частоте 3 ГГц проволочное соединение имеет примерно в 20 раз большее сопротивление по сравнению с Flip-Chip соединением.

Результаты моделирования позволили сделать вывод, что при наличии в кристалле высокоскоростных интерфейсов применение технологии Flip-Chip обеспечивает максимально возможную скорость передачи сигналов, сводя к минимуму величины паразитных индуктивностей и сопротивлений.

Другим преимуществом метода Flip-Chip является возможность располагать контактные площадки кристалла СБИС не по его периметру кристалла, а матричным способом, в результате чего число самих контактных площадок может быть резко увеличено. Это позволяет реализовать на кристалле все необходимые интерфейсы. Кроме того, это дает возможность равномерно распределить по площади кристалла контактные площадки земли и питания, снизив тем самым по сравнению с проволочными соединениями в 2-3 раза падение напряжения на сетке земли/питания, позволяет дополнительного увеличить что частоту микросхемы. рабочую Результаты моделирования представлены в таблице 1.

Таблица 1. Результаты моделирования падения напряжения при различных типах монтажа кристалла в

корпус.					
Тип монтажа кристалла в	Напряжение	Максимальное падение САПР			
корпус	питания, В	ания, В напряжения на кристалле, мВ			
Проволочное соединение	1,8	367 (22,6%)	Encounter		
Flip-Chip	1	76 (7,6 %)	INNOVUS		

Также к особенностям технологии монтажа кристалла на корпус по методу Flip-Chip можно отнести обязательное соответствие корпуса (подложки) монтируемому в него кристаллу. Для минимизации просадок по питанию контактные площадки распределяются по площади кристалла матричным способом, в результате чего их число, в зависимости от сложности разрабатываемой микросхемы, может нескольких тысяч. Ответные лостигать контактные площадки на корпусе (подложке) зеркально повторять должны контактные площадки кристалла, следовательно, разработку топологии кристалла необходимо осуществлять одновременно и в тесном взаимодействии топологов и специалистов по корпусу. В результате разработанному кристаллу полностью будет соответствовать только данный корпус, и наоборот, данному корпусу однозначно будет соответствовать только тот кристалл, для которого и был разработан этот корпус.

С учётом вышеизложенного, к преимуществам метода Flip-Chip можно отнести:

 минимальная длина электрического соединения между кристаллом и корпусом;

 возможность расположения контактных площадок на кристалле матричным способом;

 возможность использования большого количества (до нескольких тысяч) контактных площадок;

 возможность распределения выводов земля/питание равномерно по площади кристалла. Перечисленные преимущества позволяют обеспечить высокую скорость передачи сигналов, благодаря минимальным значениям паразитных индуктивностей и сопротивлений, и снижает падение напряжения на шинах, что ведет к существенному повышению быстродействия СБИС. Кроме того большое число контактных площадок позволяет реализовать на кристалле необходимый набор интерфейсов.

Корпуса типа BGA (от английского Ball Grid Array – массив шариковых выводов) представляют собой матричный корпус, внешние выводы которого представляют собой шарики, изготовленные на основе легкоплавкого припоя. Как правило - это сплава «олово-свинец». Во время пайки на печатную плату микросхемы в корпусе типа BGA шариковые выводы "плавают" фактически И автоматически центрируются благодаря силам поверхностного натяжения расплавленного припоя. Все выводы находятся на одной плоскости с нижней стороны корпуса, поэтому их длина получается короче, микросхем, имеющих другие чем y конструктивные исполнения. Это приводит к снижению паразитных излучений, а значит, положительно отражается на целостности сигналов в схеме.

Были проведены предварительные расчёты и моделирование работы микросхем, содержащих в своём составе высокоскоростные интерфейсы, с применением различных типов корпусов: PGA (матричный корпус со штырьковыми выводами), CGA (матричный корпус со столбиковыми выводами) и BGA. Результаты моделирования показали, что уровень паразитных связей и наводок в корпусе типа BGA существенно (в 4 раза) меньше, чем в корпусах типа PGA и CGA. Это обусловлено меньшей длиной выводов, что приводит к сокращению обратных путей высокочастотных токов.

Рассмотрим пример выбора корпуса для обеспечения современных СБИС. Для эффективного функционирования СБИС имеющих в своём составе микропроцессор и набор внешних интерфейсов (RapidIO, SpaceWire, PCI Express, I²C, SPI, RS232 и др.) необходимо \sim 450-650 сигнальных выводов. Для подведения питания к функциональным узлам и блокам необходимо использовать количество выводов, примерно соответствующее числу сигнальных. Таким образом, общее число задействованных выводов в корпусе микросхемы варьируется ~ 900-1300. Данное количество выводов очень сложно расположить на корпусе с планарным расположением выводов соблюдая разумные корпуса. Проведённый габариты анализ показывает, что при расположении выводов по периметру корпуса с шагом 0,5 мм, размер корпуса составит больше 11 см ([900выводов/4стороны]*0,5мм = 112,5 мм). При выборе матричного корпуса типа BGA с матрицей выводов 30 х 30 (900 выводов) и шагом выводов 1 мм габариты корпуса составят 31 х 31 мм, что вполне соответствует современным требованиям к размерам корпусов.

С учётом вышеизложенного корпуса типа BGA имеют следующие преимущества:

- внешние выводы располагаются матричным способом, что позволяет оптимальным образом разместить большое число выводов на ограниченной площади с сохранением достаточного зазора между ними.

- внешние выводы находятся в одной плоскости, поэтому их длина получается короче, чем у микросхем других конструктивных исполнений. Такое расположение выводов приводит к снижению паразитных связей и как следствие приводит к увеличению быстродействия СБИС.

лучший тепловой контакт между микросхемой и платой по сравнению с корпусами, имеющими планарные выводы. Это, избавляет как правило, от установки теплоотводов, поскольку тепло уходит от кристалла на плату более эффективно.

Также необходимо отметить, что в настоящее время наиболее перспективным является совмещение вышеперечисленных конструктивных решений (англ. Flip-Chip BGA – FCBGA) и оно уже востребовано многими разработчиками аппаратуры.

Но у данных конструктивных решений имеется и ряд недостатков:

- применение новых конструктивных решений требует разработки адекватных им методов контроля, в том числе, соответствующих испытаний, которые отсутствуют в действующих на сегодняшний момент нормативных документах [2].

Существующие методы испытаний целесообразно дополнить следующими проверками: на пригодность к пайке, на теплостойкость при пайке и на сдвиг шариковых выводов микросхем в матричных корпусах типа BGA, а также проверкой прочности монтажа кристаллов микросхем, изготавливаемых методом Flip-Chip.

Данный вопрос более подробно рассмотрен в публикациях [4, 5].

- не всегда стабильное контактирование во время проведения испытаний, что может приводить к необоснованному уменьшению выхода годных микросхем. Сложность и высокая стоимость производственной оснастки. Увеличенная трудоемкость проведения испытаний. Эти вопросы возможно решить усовершенствованием технологического процесса производства.

Таким образом, конструктивные решения BGA, Flip-Chip, FCBGA имеют несомненные преимущества в части обеспечения повышенных функциональных характеристик за счет матричного расположения выводов и их малой длины, а во многих случаях позволяют добиться лучшего теплового контакта между микросхемой и печатной платой.

Неотъемлемой частью обеспечения производства СБИС является, также, разработка тестовых решений, которые включают в себя разработку функциональных тестов (ФК) и измерительной оснастки. Увеличение функциональных возможностей И числа сигнальных выводов микросхем приводит к росту числа измерительных требуемого каналов испытательного оборудования и увеличению размеров тестовых векторов (англ. «test pattern»), а также их количества [6].

С усложнением тестируемых изделий значительно возрастает сложность разработки алгоритмов ФК и измерительной оснастки. Кроме разнообразия тестов ФК при их разработке необходимо предусматривать: автоматический контроль выполнения тестов с записью полного случае состояния микросхемы в сбоя возможность пошагового выполнения тестов, сохранение на диске и/или в базе данных выдача состояний микросхемы и ИХ в запрашиваемые моменты времени [7]. Зачастую лля отбраковки микросхем используется оборудование с меньшим числом измерительных каналов, чем число сигнальных выводов СБИС. Кроме того, для отбраковки микросхем применяется оборудование разных производителей и различных конфигураций, что

увеличивает трудоемкость разработки программ функционального контроля и измерительной оснастки. При функциональном тестировании микросхем на оборудовании с малым числом каналов используют высокочастотные схемы коммутации, которые обеспечивают последовательное тестирование различных интерфейсов за один цикл тестирования

Для уменьшения трудоемкости при разработке функциональных тестов для полного комплекта измерительного оборудования и с исключения ошибок целесообразно целью кроссплатформенный использовать подход построения производственных функциональных тестов, который позволяет в автоматическом режиме выполнить преобразование исходного функционального теста под всё, используемое на производстве, оборудование [8].

Решение такой задачи потребовало разработки языка описания функциональных тестов (STeeL) и программного комплекса FTSTudio для разработки функциональных тестов и автоматизированного преобразования их под различные платформы. Разработанный язык STeeL, основан на синтаксисе языков C++, C# и Verilog и сочетает в себе подходы прикладного программирования, языка описания языка позволяет разрабатывать аппаратуры , что тестовые таблицы функционального контроля или программы управления И тестирования оборудования. Разработчик алгоритма, подобно подходу, принятому в языке Verilog, описывает все тестируемые выводы, функциональные блоки и схемы их коммутации, используя встроенные логические элементы. Для обеспечения гибкости язык добавлены инструменты, присущие в прикладным языкам, позволяющие выполнять вариативное создание тестового вектора, выполнять сложные вычисления непосредственно в алгоритме и в зависимости от результата формировать нужные сигналы схемы.

Язык STeeL позволяет создавать логические модули, описанные таблицами, уровнениями, алгоритмов или на основе исходных функциональных тестов в форматах ASCII или Agilent(AdvanTest) 93000. Такая возможность позволяет в зависимости от производственной задачи объединять несколько тестовых векторов в один вектор, разделять его или выполнять в нем сложные замены (рисунок 5).



Рисунок 5. Функциональные тесты, построенные на основе исходных тестов

В составе языка STeeL содержится ряд настраиваемых стандартных логических элементов – инвертер, элемент И, элемент ИЛИ, элемент ИЛИ-НЕ, элемент XOR, счетчик, шифратор, дешифратор, D-триггер, Т-триггер, регистр и сдвигающий регистр, что существенно упрощает процесс разработки функциональных тестов. Данный набор может быть расширен разработчиком тестов благодаря поддержкой собственных компилятором разработки компонентов (конечных автоматов).

Помимо стандартных логических элементов разработанный язык содержит инструменты,

упрощающие процесс разработки новых И модификации существующих тестов. Одним из таких инструментов является цикл ожидания, позволяющий выполнять сложные замены в векторе или определенные действия при совпадении выходных сигналов устройства с требуемой последовательностью. При этом ожидание нужной последовательности происходит в фоновом режиме и не приводит к остановке алгоритма. Цикл ожидания может функционировать с горизонтальным вектором (рисунок 6 а), вертикальным вектором (рисунок 6 б) и кадром (рисунок 6 в).



Рисунок 6 (а,б,в). Виды входных данных цикла ожидания

С помощью цикла ожидания разработчик может выставлять определенные состояния сигналов при возникновении определенного события в алгоритме тестирования. Например, в процессе работы конечного автомата, при возникновении на сигнале TDO последовательности 00010110 на сигнале D0 будет сформирована последовательность 11001 с задержкой в 3 цикла (рисунок 7):



Рисунок 7. Пример выполнения цикла ожидания

Разработанный программный комплекс содержит в своем составе также инструменты для отладки тестов функционального контроля и анализа их результатов. Так, если тестирующее оборудование поддерживает функции отладки, разработчик функционального теста имеет возможность выполнять алгоритм на встроенном языке по шагам, устанавливать точки останова, просматривать значения переменных, состояние сигналов на каждом шаге, а также формировать временную диаграмму работы тестируемого устройства и диаграммы значения токов потребления на каждом цикле (рисунок 8).



Рисунок 8. Окно встроенного отладчика функциональных тестов

Для решения задачи анализа данных разработанный комплекс обладает широким набором инструментов. Например, анализ распределения параметра по пластине можно произвести непосредственно в программе, воспользовавшись соответствующим инструментом, выполненным в виде ряда диалоговых окон и форм. Другой возможностью анализа является применение встроенного языка Python для написания произвольных скриптов анализа данных. Данный язык используется в качестве внутреннего скриптового языка, при этом программа предоставляет в распоряжение пользователя дополнительные классы и методы для вывода данных, например, в виде таблицы, графика, гистограммы или карты годности пластины. Прямым следствием использования внутреннего скриптового языка является возможность написания собственного модуля для экспорта результатов измерения в произвольный текстовый или бинарный формат. Впоследствии данные в таком виде могут быть использованы для анализа в сторонней программе. Поумолчанию, большинство данных может быть экспортировано в виде таблиц Excel, либо изображений формата PNG.

Разработанная система автоматического проектирования функциональных тестов способна существенно сократить время при решении сложных задач адаптирования и разработки функциональных тестов.

Использование высокоуровневого языка программирования автоматизирует процесс разработки программ функционального контроля, а концептуально заложенная в среду гибкость позволит в перспективе добавлять новые форматы устройств, свободно расширяя список поддерживаемого измерительного оборудования.

Применение при разработке и производстве сложно-функциональных СБИС предложенных конструктивно-технологических решений приводит к увеличению надежности микросхем и оптимизации их производственного процесса, а следовательно является актуальным и востребованным.

Construction and technological solutions used in the design and manufacture of modern VLSI

S.Kiziev, K.Smirnov

Abstract: Constructive solutions used in modern VLSI operating in harsh climatic conditions. It is proposed to improve the existing test methods for heat resistance in soldering and fixing strength further tests focused on BGA (FCBGA)-packaging and technology Flip-Chip. A method of constructing cross-platform functional tests of modern multi-tap VLSI is proposed.

Keywords: VLSI, BGA -package, Flip-Chip, FCBGA -package, test, measuring tooling, cross-platform approach.

Литература

1. С.Г.Бобков. Высокопроизводительные микропроцессоры для супер ЭВМ эксафлопсного диапазона. Сборник научных трудов. // М.: Изд. «НИЯУ МИФИ», 2012, с. 129-141.

2. ОСТ В 11 0998-99 «Микросхемы интегральные. Общие технические условия».

3. «Physics of Failure Analysis of Xilinx Flip chip CCGA Packages» 3rd Annual NEPP Electronic Technology Workshop (ETW) June 11-13th, 2012.

4. А.В.Амирханов, С.И.Волков, С.А. Кизиев, В.Ю.Троицкий. Методы оценки качества новых конструктивных решений современных СБИС // Труды НИИСИ РАН, 2015, т. 5, № 2, с. 59-66.

5. А.В. Амирханов, С.И. Волков, С.А. Кизиев, А.Г. Сухов, В.А. Шахнов. Методы оценки качества конструктивных решений, применяемых в современных СБИС // Международный форум «Микроэлектроника-2016» с.321-323.

6. К.К.Смирнов, М.Д. Бубнова. Среда для подготовки программ функционального контроля // Труды НИИСИ РАН, 2014, т. 4, № 1, с. 32-39.

7. К.К.Смирнов, Е.Н.Ефимов. Организация прослеживаемости предметов труда при проведении функционального контроля СБИС // Труды НИИСИ РАН, 2014, т. 4, № 1, с. 40-44.

8. К.К.Смирнов. Описание функциональных возможностей среды FTStudio для разработки кроссплатформенных функциональных тестов СБИС // Труды НИИСИ РАН, 2015, т.5, №1, с.114-121.

Universal Memory Bus (UMBus) – универсальный программируемый контроллер доступа во флеш-память NOR-типа (NOR flash) и статическую память (SRAM)

В.Р. Джафаров

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: dzhafarov@cs.niisi.ras.ru

Аннотация: Изучается вопрос о создании микросхемы высокопроизводительного процессора 1890ВМ10. В рамках проекта требуется обеспечить поддержку широкого списка различных статических (SRAM) и флеш-памятей типа NOR. В статье предложены несколько вариантов контроллера памятей. Выполнено сравнение реализаций по количеству аппаратных ресурсов и степени универсальности.

Ключевые слова: контроллер доступа в память, BM10, флеш-память типа NOR, статическая память SRAM

В настоящее время идёт процесс создания высокопроизводительного микросхемы процессора 1890BM10, которая позиционируется как универсальная и является развитием микросхем 1890ВМ8, 1890BM9 [1]. В состав системного контроллера входят контроллеры интерфейсов PCI Express, RapidIO, SATA, CAN и т.д., контроллеры синхронной и асинхронной статических памятей различных типов, флеш-памяти типов NAND и NOR. Для поддержки всей номенклатуры памятей требуется большое количество выводов микросхемы. В итоге, чтобы сократить количество требуемых выводов, контроллеры асинхронных и синхронных статических памятей, флеш-памяти типа NOR были объединены один программно в настраиваемый контроллер памяти.

Таким образом, требуется обеспечить поддержку следующих типов памятей:

- флеш-памяти типа NOR в режиме синхронного чтения;

- синхронной статической памяти со сквозной организацией Flow Through;

 - со сквозной организацией FlowThrough с нулевой задержкой переключения (ZBT);

- с конвейерной организацией Pipelined;

- с конвейерной организацией Pipelined с нулевой задержкой переключения (ZBT);

- асинхронной статической памяти.

Разные микросхемы памяти вышеперечисленных типов внутри каждого типа

тоже имеют различия. Например, могут отличаться протоколы операций чтения и записи, шины данных могут иметь разную ширину, а кроме того, отличаться временные характеристики[2].

Обеспечить поддержку вышеупомянутых типов памятей с учётом всех различий можно несколькими методами, в частности:

- Выделить в несколько групп типы памятей, имеющие схожие циклы чтения и записи. Разработать контроллер для каждой из групп. Объединить выводы контроллеров групп через мультиплексор.

- Отойти от разделения памятей на группы. Разработать единый блок, который имеет возможность задания последовательностей управляющих сигналов.

В процессе работы над микросхемой процессора 1890ВМ10 были реализованы оба метода.

Контроллер по первому методу (далее по тексту DeviceBus) представляет собой блок, состоящий из нескольких контроллеров, поддерживающих требуемые типы памятей с последующим объединением их выводов.

Контроллер по второму методу (далее по тексту UMBus) реализуется как устройство для чтения и записи данных с программируемыми последовательностями управляющих сигналов.

Принцип работы контроллера UMBus следующий.



Рисунок 1. Интерфейс UMBus

Одно обращение во внешнее устройство на шине UMBus состоит из двух сегментов Seg0 и Seg1. Максимальная длина сегмента – 32 такта. Длительность каждого сегмента определяется регистровым набором (полями Len0 и Len1).

Необходимым условием корректной работы UMBus является наличие в каждом сегменте программируемого события считывания/выставления данных с/на шину UMBus. Момент считывания/выставления данных на шину UMBus также определяется регистровым набором (полями SnatchDat/DelivDat).

Также многие типы памятей поддерживают пакетные обращения для

ускорения работы системы и снижения нагрузки на ЦПУ. Подобные пакетные обращения реализованы с помощью повтора сегмента Seg1. Именно на случай отличного от остальных первого обращения при пакетной операции введено два сегмента[2]. Количество повторов сегмента определяется аппаратно и зависит от ширины шины данных, от размера запроса по шине AXI (количество пакетов, количество байт в каждом пакете).

На рисунке 2 представлен пример (a) чтения и (б) записи.

Значения Len0 = 7, Len1 = 5, ValSeg = 1, SnatchDat0 = 5, SnatchDat1 = 1, DelivDat0 = 5, DelivDat1 = 2.



Рисунок 2. Сегменты на шине UMBus при (а) чтении и (б) записи

Сегмент состоит из последовательности нескольких управляющих стробов и представляет собой набор векторов – Vector – [ADSC, ADV, BE_s, CS, OE, WE]. На

нулевом такте сегмента на шину UMBus передаётся Vector(0), на первом – Vector(1) и т.д.



Вектора и вспомогательные регистры находятся во внутренней памяти контроллера UMBus, они могут быть определены пользователем или при помощи аппаратного механизма инициализации загружены из заранее подготовленных фиксированных шаблонов. Оба варианта решения были написаны на языке Verilog и отлажены на прототипе с применением ПЛИС фирмы Altera. Степень утилизации ресурсов ПЛИС при реализации обоих вариантов показана в таблице 1.

Таблица 1. Утилизация ПЛИС

	Ячейки комбинационной логики	Регистры
DeviceBus	2700	2285
UMBus	2251	1794

По данным из таблицы можно сделать вывод, что решение отойти от конкретных типов памяти при реализации контроллера является наиболее выигрышным с точки зрения затрачиваемых аппаратных ресурсов и с точки зрения универсальности (т.к. имеется возможность вручную переписать последовательности управляющих сигналов и задать моменты считывания и выставления данных на линию). Таким образом, второй вариант реализации контроллера является более перспективным, хотя и требует работы программиста в случае отсутствия поддержки такой памяти в фиксированном шаблоне.

Universal Memory Bus (UMBus) – universal programmable controller used to access an NOR flash and SRAM

V. Dzhafarov

Abstract: The subject matter of the paper is some problems of high-performance System-on-a-Chip 1890VM10 hardware design process. One of the SoC requirements is to provide the subsystem or controller to maintain the large list of SRAM and NOR flash memory chips, using a minimal amount of I/O pins. Some variants of controller implementation are offered. In conclusion the results of hardware resources and universality comparison are provided.

Keywords: memory controller, 1890VM10, NOR flash, SRAM

Литература

1. С.Г. Бобков, С.И. Аряшев, М.Е. Барских, П.С. Зубковский. Высокопроизводительные расширения архитектуры универсальных микропроцессоров для ускорения инженерных расчётов. «Информационные технологии», 2014, № 6, 27.

2. High-Performance Memories for Embedded Systems. URL // http://www.cypress.com/

Модуль универсального устройства интерфейса и параметрического тестера МКПД по ГОСТ Р 52070-2003

В.А. Харин¹, П.Ю. Демьянов², Н.Ю. Миронов³, Е.С. Стенькин⁴

1,2,3,4 ЗАО НТЦ «Модуль», Москва, Россия,

E-mail's: ¹vharin@module.ru, ² demyanov@module.ru, ³mironov@module.ru, ⁴e.stenkin@module.ru

Аннотация: В статье описана разработка универсального устройства интерфейса мультиплексного канала передачи данных по ГОСТ Р 52070-2003, предназначенного для решения задач тестирования, диагностики и отладки аппаратуры, использующей МКПД, и систем управления, построенных на основе МКПД. Рассмотрены технические требования к модулю, выполнен обзор аналогичной аппаратуры, описана постановка задачи по разработке модуля. Описана реализация аналоговой части модуля – приемопередатчика с регулируемыми по программным настройкам параметрами, выполненного с использованием принципа цифрового синтеза формы сигнала. Описана архитектура функционально-логической части, реализующей логику тестера и протокольных автоматов, обеспечивающих возможность мультирежимной работы модуля (контроллер шины, 31 оконечное устройство, монитор шины), с возможностью внесения специфицированных типов ошибок в передаваемую информацию. Описана выбранная для модуля платформа сопряжения с управляющей ЭВМ - магистрали VXI/LXI, обеспечивающие возможность интеграции модуля в состав различных комплексов унифицированной контрольно-проверочной аппаратуры. Описано разработанное к настоящему времени системное и прикладное программное обеспечение, реализующее, в том числе, поддержку двух основных задач при использовании модуля по назначению - тестирование устройств интерфейса на соответствие требованиям ГОСТ Р 52070-2003 и интерактивное управление мультирежимной работой модуля (конфигурирование режимов КШ/31×ОУ/МШ, создание последовательностей передаваемых сообщений, запись трасс) для отладки и диагностики аппаратуры и систем управления на основе МКПД и их программного обеспечения.

Ключевые слова - МКПД, УЭМ-МК, VXI, LXI, тестер, ГОСТ Р 52070

Введение

Мультиплексный канал передачи данных (МКПД) по ГОСТ Р 52070-2003 (зарубежный аналог стандарта - MIL-STD-1553B) широко используется в отечественных и зарубежных системах управления различными объектами военной и гражданской техники более 30 лет и продолжает находить применение в новых разработках И при модернизации существующих образцов РЭА, несмотря на относительно низкую скорость передачи информации (1 Мбит/с). Предпосылками к длительному периоду активного применения данного интерфейса являются высокая надежность передачи информации, высокая помехоустойчивость, и другие факторы, позволяющие обеспечить наиболее высокий уровень «живучести» бортовых систем по сравнению с системами, построенными на базе других стандартизированных интерфейсов.

Одной из характерных особенностей МКПД является высокая степень надежности передачи информации, для обеспечения которой в стандарт заложены достаточно жесткие требования к техническим средствам интерфейса и их составным частям.

В соответствии с требованиями НТД на методы контроля технических средств МКПД (ГОСТ Р 51739-2001, ГОСТ Р 51765-2001, ГОСТ Р 52071-2003 – ГОСТ Р 52075-2003) данные требования должны подтверждаться при испытаниях устройств интерфейса, компонентов физической среды, комплекса аппаратного оборудования в целом.

За период активного применения МКПД разработан широкий ряд зарубежных и отечественных электрорадиоизделий, предназначенных для построения технических средств интерфейса (приемопередатчиков, микроконтроллеров различной степени сложности, в последнее время – систем на кристалле с интегрированными 62

СФ-блоками, при постоянной тенденции к ЭРИ). миниатюризации таких было разработано и изготовлено множество образцов РЭА различного прикладного назначения. При ЭТОМ зарубежными производителями параллельно разрабатывалось достаточно большое количество тестовой аппаратуры, обеспечивающей выполнение задач контроля и испытаний РЭА и систем управления, использующих МКПД, в то время как среди отечественной контрольно-проверочной аппаратуры средства тестирования МКПД практически отсутствуют - был разработан только один тип унифицированного прибора (тестер и имитатор), характеристики которого будут пояснены ниже.

Среди образцов тестовой аппаратуры требований МКПЛ. исходя из по назначению, можно выделить два основных класса изделий: средства автономного тестирования устройств интерфейса для определения соответствия требованиям стандарта аттестационного (средства тестирования, тестеры) и средства отладки, контроля И диагностики устройств интерфейса, систем управления и их программного обеспечения (так называемые «анализаторы шины»). Отдельные современные зарубежные образцы удовлетворяют требованиям к аппаратуре обоих классов.

Средства аттестационного тестиропредставляют собой программнования аппаратные комплексы, включающие в свой состав собственно электронный модуль тестера (либо набор модулей), функционирующий программным под управлением, набор внешней измерительной аппаратуры, требуемой конкретной методикой аттестационного тестирования (как правило, это осциллограф, измеритель импеданса, широкополосный вольтметр, периодических генератор сигналов, генератор постоянных напряжений, генератор шумовых сигналов), и набор средств коммутации для подключения тестируемого изделия. Электронный модуль (блок) тестера должен обладать следующими характеристиками:

- обеспечивать передачу в МКПД залаваемой программно информации, структура и временные параметры передачи конкретной которой определяются методикой испытаний и характеристиками тестируемого изделия. Передаваемая информация может содержать специфицированные, вносимые тестером, ошибки кодирования. ошибки временных соотношений (для отдельных тестов

требуется шаг изменения временных интервалов в формируемой информации не более 10 нс), ошибки информационного состава сообщений;

 обеспечивать прием по МКПД информации от тестируемого изделия и ее запись для последующего программного анализа;

- обеспечивать управление (оптимально – по программным командам) электрическими параметрами передаваемого тестером сигнала МКПД, а именно размахом (в амплитуды напряжения широком диапазоне, не хуже чем от 0,8 до 27,0 В на выходе тестера для подключения к магистрали с использованием согласующего (спадом) трансформатора) И фронтом выходного сигнала (как минимум, включая значение завеломо меньше 100 нс. номинальное значение 200 ± 20 нс, а также «пологий» фронт, форма сигнала при котором должна быть максимально приближена к синусоидальному сигналу для импульсов с частотой 1 МГц). Регулировки амплитуды и фронта (спада) выходного сигнала должны быть независимы друг от друга и при изменении одного из регулируемых параметров второй должен сохранять установленное значение.

Последнее из перечисленных требований наиболее сложно реализуемо технически в силу сложности регулирования биполярного аналогового сигнала по двум параметрам в указанных диапазонах. Отчасти это объясняет то, что только несколько зарубежных образцов тестовой аппаратуры полностью соответствуют всем перечисленным требованиям. Во многих случаях изделия, позиционируемые на рынке как тестер, либо имеют приемопередатчик с фиксированными параметрами выходного сигнала (соответствующими требованиям, предъявляемым ко всем интерфейсным такие модулям), то есть, средства ограничены по области применения только тестами протокола, либо имеют приемопередатчик только с регулировкой амплитуды (как правило, такая регулировка осуществляется управлением напряжением, не охватывает весь диапазон регулировки, в нижней области диапазона регулировки происходит сильное «заваливание» фронтов выходного сигнала относительно требуемого большинства тестов номинального для значения 200 нс) – такие средства не позволяют выполнить тестирование входных электрических характеристик проверяемого изделия.

Для средств отладки, контроля и диагностики МКПД широкого назначения детальных требований по характеристикам нет – реализация такой аппаратуры определяется конкретной областью применения. Зарубежная аппаратура, относящаяся к изделиям типа «анализатор шины», как правило, обладает следующими функциональными возможностями:

 функциональная имитация информационного обмена, осуществляемого максимально полным составом устройств интерфейса единой информационной (абонентов) магистрали: контроллером шины (КШ) и 31 устройством оконечным (ОУ), И контролируемого монитором шины (МШ), с возможностью гибкой настройки конфигурации анализатора шины в конкретной зависимости ОТ решаемой задачи;

- регулирование параметров выходных сигналов приемопередающего устройства анализатора шины по программным командам;

 настройка временных параметров функционирования каждого из имитируемых устройств интерфейса;

- возможность внесения того или иного ряда специфицированных ошибок в передаваемую анализатором шины информацию;

- наличие прикладного программного обеспечения, реализующего, в том числе, графический интерфейс пользователя, упрощающий решение типовых задач по отладке изделий.

Перечисленные функциональные возможности анализаторов шины позволяют использовать их для решения широкого диапазона задач, возникающих при отладке и тестировании аппаратуры и программного обеспечения, например:

- автономная отладка и контроль функционирования устройств интерфейса;

- отладка и контроль функционирования одного или нескольких устройств интерфейса, подключенных к общей магистрали, в том числе с возможностью имитации информационного обмена «отсутствующих» на момент испытаний устройств разрабатываемой системы;

- локализация причин сбоев в работе устройств интерфейса и систем;

- статистический и диагностический контроль функционирования устройств интерфейса и систем;

- имитация информационного обмена устройств интерфейса МКПД в наземных комплексах отладки и верификации программного обеспечения систем управления. Среди зарубежных разработок, полностью отвечающим требованиям к аппаратуре типа «тестер», можно выделить следующие:

- тестер шины 1553 Bus Tester (Test Systems, Inc., США). Изначально разработан в 1990-х годах, конструктивно представляет 19" блок. интегрируется собой в программно-аппаратный комплекс лпя аттестационного тестирования устройств интерфейса (конструктивно выполненный в виде стойки), управляется специально разработанным программным обеспечением и позволяет обеспечить тестирование в полном объеме по всем предусмотренным НТД проверкам;

- модуль (встраиваемая плата формата PCI) NHi-15515PCI (National Hybrid, Inc., CIIIA). Обеспечивает функционирование в совмещенных режимах КШ, 31ОУ, МШ, функции управления временными параметрами И внесения ошибок в передаваемую информацию, имеет приемопередатчик с независимо управляемыми параметрами выходного сигнала (размахом амплитуды напряжения и фронтом (спадом) импульсов). Данное изделие отвечает всем требованиям к модулю тестера, а также обеспечивает высокий функциональный уровень при использовании в качестве анализатора шины.

Единственным серийно выпускаемым отечественного прибором производства, предназначенным тестирования для устройств интерфейса МКПД, является тестер типа Ц4-2 (АО «Курский завод «Маяк»). По спецификации производителя заявлена поддержка режимов КШ, 31ОУ, МШ с возможностью внесения ошибок в передаваемую в МКПД информацию, регулирование размаха амплитулы напряжения выходного сигнала в диапазоне от 1 до 20 В (что не охватывает весь требуемый по НТД диапазон), при этом возможность регулировки длительности фронта (спада) импульсов выходного отсутствует. сигнала Для хранения информации используется встроенное ЗУ объемом 6К×16, управление осуществляется с лицевой панели (прибор выполнен в виде 19" блока), есть возможность доступа по интерфейсу КОП.

Перечисленные характеристики в общем случае позволяют использовать прибор как тестер протокольных характеристик (при этом отсутствие полноценного программного управления и контроля существенно увеличивает длительность процедур испытаний и

количество рутинных действий пользователя) либо как имитатор функционирования нескольких абонентов интерфейса (базовые возможности анализатора шины).

С учетом изложенных выше требований к тестовой аппаратуре интерфейса МКПД, состояния рынка тестовой аппаратуры, имеющихся И наработок, ЗАО НТЦ «Модуль» была сформулирована задача по разработке универсального инструментального средпозволяющего как ства. полностью обеспечить требования к тестеру устройств интерфейса МКПД, так и расширить область применения разработки, максимально полно реализовав функции «анализатора шины» средства отладки, контроля и диагностики МКПД.

Результатами разработки стали модуль универсального устройства интерфейса и параметрического тестера МКПД (УЭМ-МК), а также его системное и прикладное программное обеспечение.

1. Общие сведения о модуле универсального устройства интерфейса и параметрического тестера МКПД (УЭМ-МК)

УЭМ-МК разработан в виде встраиваемого модуля интерфейса контрольно-проверочной аппаратуры VXI по ГОСТ Р 51884-2002 И конструктивно выполнен в унифицированном типоразмере C-1. наиболее распространенном для типовых VXI-крейтов (общий вид модуля приведен на рисунке 1).



Рисунок 1. Общий вид модуля УЭМ-МК

На лицевой панели УЭМ-МК расположены 4 триаксиальных байонетных соединителя для подключения к магистрали МКПД (основная и резервная магистрали, для каждой из которых может быть выбрано подключение через отвод с согласующим трансформатором либо через отвод для непосредственного подключения), а также коаксиальные соединители дополнительных синхронизирующих сигналов, функциональное назначение которых поясним ниже. Внутри корпуса УЭМ-МК расположена сборка из двух плат (модулей): - мезонинный модуль интерфейса МКПД, в котором реализована аналоговая часть (приемопередатчик МКПД), цифровая функционально-логическая часть, реализу-

ощая протокольные функции тестера и анализатора шины и арбитраж доступа к встроенному в мезонин ОЗУ. Общий вид мезонинного модуля приведен на рисунке 2;



Рисунок 2. Общий вид мезонинного модуля интерфейса МКПД

- модуль носителя мезонинов, обеспечивающий конструктивное, схемотехническое и функционально-логическое сопряжение с магистралью VXI, содержащий динамическое буферное ОЗУ достаточно большого объема (позволяющего гарантиировано обеспечить буферизацию входных и выходных данных мезонинов лля информации исключения потерь при длительно-непрерывной работе с максимальной информационной загрузкой магистралей МКПД), контроллер управления работой мезонинов И доступа к динамическому ОЗУ. В качестве носителя мезонинного модуля В УЭМ-МК используется плата серийно выпускаемого Холдингом «Информтест» универсального для модуля типа HM-M, которой изготовителем разработано все необходимое системное ПО для использования в составе VXI-систем.

Конструктивно и схемотехнически мезонинный модуль интерфейса МКПД также может быть использован в составе выпускаемого Холдингом «Информтест» компактного блока MezaBox-4M, соответствующего спецификации интерфейса LXI (доступ со стороны управляющей ЭВМ в этом случае осуществляется по сети Ethernet), что расширяет область применения разработки.

2. Реализация аналоговой части (приемопередатчика МКПД) УЭМ-МК

Приемопередатчик МКПД УЭМ-МК (аналоговая часть мезонинного модуля интерфейса МКПД) реализован с использованием отдельно разработанных схемотехнических решений, позволивших обеспечить все требования к характеристикам выходного сигнала тестера, предъявляемые НТД, а также надежный прием информации (в числе том «собственного» сигнала, подвергаемого регулированию в широком диапазоне).

Полученные характеристики по запасам регулирования выходного сигнала превосходят характеристики прямых зарубежных аналогов.

Структурная схема аналоговой части мезонинного модуля интерфейса МКПД приведена на рисунке 3.



Рисунок 3. Структурная схема аналоговой части мезонинного модуля МКПД

2.1. Передатчик

Как правило, для реализации передающей части типовых приемопередатчиков МКПД используются схемы с выходными каскадами на основе мощных транзисторов (биполярных или МОП). Выходной сигнал, как правило, имеет фиксированный (зависящий только ОТ значений напряжения питания и импеданса нагрузки) размах амплитуды напряжения около 20 B (для подключения с использованием согласующего трансформатора) и длительность фронта (спада) импульсов около 130 – 160 нс. Такая типовая схема может быть доработана для обеспечения принципиальной возможности регулировки амплитуды (с использованием дополнительного (настраиваемого) источника напряжения, задающего коэффициент предварительного каскала) vсиления и регулировки формы сигнала (c использованием дополнительного коммутатора емкостей в интегрирующей цепочке). Однако, подобные решения (которые были проверены при предварительном макетировании в ходе разработки и при анализе доступных моделей приемопередатчиков с регулировкой амплитуды) не позволили обеспечить требуемую степень стабильности формы сигналов во всем диапазоне регулировок амплитуды, требуют достаточно сложной схемы питания выходного каскада, в отдельных случаях чувствительны к импедансу нагрузки (параметры зависят от конкретного значения входного импеданса подключаемых устройств-абонентов МКПД). В результате анализа других возможных за основу был взят решений принцип прямого цифрового синтеза сигнала. ключевыми преимуществами которого являются:

- возможность точного «цифрового» задания формы сигнала («трапеция» с выбранной крутизной фронта, «синус»), которая будет с хорошей точностью сохраняться в требуемом диапазоне регулировки амплитуды;

- слабая зависимость выходного сигнала от импеданса нагрузки (по крайней мере, при подключении к магистралям с устройствами интерфейса, параметры которых не выходят за рамки требований НТД).

Для реализации передатчика сигнала МКПЛ требуемыми лиапазонами с регулировок параметров выходного сигнала использовании цифрового при И формирования сигнала требуется ЦАП, имеющий разрядность не менее 12 битов и частоту дискретизации до 200 МГц. Для управления ЦАП В функциональнологической части мезонина МКПД (ядро которой реализовано в ПЛИС) выделен специальный блок формирования выходного цифрового сигнала кодера, которой реализует математические операции сложения. умножения, округления при расчете передаваемых на ЦАП данных, в зависимости от программно выбранных требуемых параметров, настроек что необходимо для исключения зависимости длительности фронта (спада) от амплитуды выходного сигнала.

Аналоговый сигнал, сформированный ЦАП, подвергается преобразованию, фильтрации и усилению. Для решения этих задач используются 2 каскада операционных усилителей со следующими параметрами:

- напряжения питания ± 15 B;

общий коэффициент усиления 15;
 полоса пропускания не менее
 100 МГц.

Первый каскад применяется для преобразования токового выхода ЦАП в

дифференциальное напряжение относительно нуля напряжения, а также предварительного усиления и фильтрации. Второй каскад представляет собой мощный дифференциальный усилитель. Для обеспечения высокого входного импеданса при отсутствии «собственной» передачи (как минимум, более 1000 Ом при подключении к магистрали с использованием согласующего трансформатора) используется выходной аналоговый ключ.

2.2. Приемник

При реализации приемной части, в первую очередь, была решена проблема обеспечения приема «собственного» сигнала (который может иметь размах амплитуды выходного напряжения до 30 В), с использованием ограничивающих быстродействующих диодов и операционных усилителей, работающих при напряжении питания ± 15 В.

В приемной части для формирования выходных цифровых сигналов также применен точный и быстродействующий компаратор с дифференциальным питанием ± 5 В.

2.3. Питание

Для обеспечения формирования выходного сигнала с требуемыми параметрами и стабильного приема как «собственного», так и «внешнего» сигналов, дополнительно потребовалось использование следующих элементов:

- импульсных микромодулей для преобразования входного напряжения 12 В в минус 15 В и напряжения 5 В в 15 В, которые также позволили увеличить точность значений напряжений (с \pm 5 % для входных до \pm 2 % для выходных);

- точных (± 1 %) линейных преобразователей напряжения из минус 5 В и 5 В для формирования напряжения питания и опорного напряжения дифференциального компаратора;

- отдельных точных (± 1 %) линейных преобразователей для ЦАП с целью уменьшения шумов по цепям питания.

2.4. Полученные характеристики

Примеры формы выходного сигнала передатчика УЭМ-МК (на эквивалентной нагрузке 70 Ом для выходов подключения к магистрали с использованием согласующих трансформаторов), а именно:

- форма сигнала (для канала А) с размахом амплитуды напряжения 29,0 В и длительностью фронта (спада) импульсов 100 нс,

- форма сигнала (для канала Б) с размахом амплитуды напряжения 4,0 В и с параметрами фронта (спада) импульсов, соответствующими аппроксимации синусоидальным сигналом 1 МГц, приведены на рисунке 4.



Рисунок 4. Примеры формы выходного сигнала МКПД (синий цвет – канал «А», красный цвет – канал «Б»)

Реализация аналоговой части УЭМ-МК позволяет обеспечить:

- регулирование размаха амплитуды напряжения выходного сигнала в диапазоне не хуже чем от 0,8 до 29,0 В на эквивалентной нагрузке 70 Ом (подключение с использованием согласующего трансформатора) и не хуже чем от 0,3 до 9,5 В на эквивалентной нагрузке 35 Ом (непосредственное подключение). Запас по верхней части диапазона регулирования необходим для компенсации потерь при использовании протяженных магистральных шин МКПД (например, при испытаниях по методам ГОСТ Р 51765-2001 длина участка шины составляет 70 м);

- регулирование длительности фронта (спада) импульсов выходного сигнала в диапазоне от 70 до 350 нс, а также передачу при отдельной настройке сигнала, форма которого при длительности импульсов 500 нс аппроксимирует синусоидальный сигнал;

- отсутствие взаимной зависимости регулируемых параметров (сохранение в пределах установленных НТД допусков установленного значения одного из параметров при осуществлении регулирования второго);

- возможность регулировки длительности импульсов (сдвига точки пересечения нулевого уровня напряжения) выходного сигнала в диапазоне от минус 250 до 250 нс с шагом 10 нс;

- соответствие значений электрических параметров выходного сигнала МКПД, не относящихся к регулируемым, требованиям, установленным в ГОСТ Р 52070-2003.

3. Реализация функциональнологической части УЭМ-МК

Функционально-логическая часть УЭМ-МК для реализации всех требований по назначению должна обеспечивать функционирование одновременное протокольных узлов, отвечающих за обработку сообщений контроллером шины, программно-выбранным подмножеством оконечных устройств и монитором шины, в том числе с возможностью внесения специфицированных типов ошибок в передаваемую информацию в режимах КШ и 31ОУ, с необходимым арбитражем доступа к ОЗУ при состязательном доступе со стороны управляющей логики (носителя мезонинов) и каждого из протокольных узлов. При использовании в качестве тестера также необходима одновременная работа генератора словных последовательностей и монитора шины. При разработке УЭМ-МК была выбрана архитектура функциональнологической части, обобщенная структурная схема которой приведена на рисунке 5.



- используются три независимых по динамике своей работы основных протокольных узла: КШ, З1ОУ, МШ. Функции тестера (в части генерации передаваемых словных последовательностей) полностью покрываются логикой КШ. Любой из командных сегментов, передаваемых КШ, может быть привязан к собственной временной «шкале» передачи, к поступлению дополнительного внешнего синхроимпульса, к окончанию приема по МКПД очередного словного сегмента (как правило - ответного сегмента ОУ), что гибко позволяет очень настраивать временные параметры информационного потока, в том числе для задач тестирования (например, КШ с привязкой моментов слов к передачи «своих» моментам окончания приема «внешней» информации может фактически играть роль «тестового» OУ. генерирующего фиксированную последовательность заранее настроенных ответов при тестировании абонента – КШ). Узел 31 ОУ (при его активизации для какогопибо подмножества адресов ОУ) обеспечивает прием достоверных командных сегментов сообщений (источником которых может быть как «свой» узел КШ, так и внешний по отношению к УЭМ-МК абонент, выполняющий функции КШ) и, если адрес ОУ в командном слове относится к числу активизированных при конфигурации, передачу соответствующих ответных сегментов сообщений. Ответные сегменты сообщений по составу и временным параметрам настраиваются индивидуально для каждого адреса ОУ и каждого подадреса всех активных адресов, в том числе с возможностью индивидуального внесения ряда специфицированных ошибок в выбранные слова. Узел МШ обеспечивает прием всей поступающей информации МКПД (как передаваемой самим УЭМ-МК, так и остальными абонентами магистрали МКПД) и ее запись в ОЗУ, при этом словные сегменты, источником которых являлись «свой» узел КШ или «свой» узел 31ОУ, сопровождаются соответствующими признаками для увеличения достоверности последующего программного анализа в случае внесения ошибок. В общем случае узел МШ может быть отключен (например, при циклическом повторении заданного набора сообщений КШ и при необходимости снизить нагрузку на управляющее ПО, когда постоянный контроль информации «на стороне» УЭМ-МК не требуется);

- узел арбитража доступа к ОЗУ обеспечивает возможность гарантированного состязательного доступа при наихудшем случае. то есть когла возникает необходимость обработать запросы по записи (чтению) совпавших по времени обращений 4 «абонентов» (портов): узлов КШ, 31ОУ, МШ и узла сопряжения с управляющей логикой (носителем мезонина);

- узел сопряжения с управляющей логикой (носителем мезонина) обеспечивает прием блоков входной информации от НМ (считываемой из буферного ОЗУ НМ, предназначенной для конфигурирования КШ и ОУ и поступающей по инициативе НМ) и передачу В HM блоков выходной информации от мезонина (записываемой в буферное ОЗУ НМ, источником которой является МШ и которая передается в НМ в асинхронном режиме по инициативе мезонина, то есть в соответствии с динамикой МКПД). Также обеспечивается оперативный доступ по инициативе НМ к основной регистровой области мезонина при прямых обращениях по адресной шине магистрали VXI;

- каждый из декодеров сопряжен со «своей» магистралью (основной и резервной), обеспечивает что гарантированной распознавание словных последовательностей, поступающих по двум магистралям в случае «наложения» по времени при намеренном внесении такого рода ошибок. Выходные сигналы декодеров используются как узлом МШ, так и узлом ОУ для распознавания поступающих команд;

- в устройстве используется 4 кодера, отдельно для узла КШ и для узла 31ОУ и для каждой из магистралей. Такое решение позволяет обеспечить полную независимость работы имитируемых КШ и ОУ (функции которых в реальной системе выполняют различные приборы) и возможность внесения широкого ряда сочетаний ошибок в информацию КШ и ОУ, вплоть до «экзотических» сценариев для отладочных залач. например, когла очерелной командный сегмент КШ намеренно начинает передаваться до окончания передачи ответного сегмента ОУ той по же магистрали;

- узел формирования тактовых частот обеспечивает выработку двух дополнительных внутренних тактовых сигналов (основная часть функциональной логики использует частоту 16 МГц): 64 МГц - узел дополнительных синхросигналов обеспечивает передачу и прием УЭМ-МК синхронизирующих импульсов для использования дополнительной внешней аппаратуры:

а) 2 выходных сигнала формируются узлом МШ и, при конфигурации УЭМ-МК, если их использование требуется, программно настраиваются правила их выработки – при приеме по МКПД информации заданного информационного состава, с отсутствием или наличием ошибок, и т.п. Эти сигналы могут быть использованы, например, для синхронизации запуска используемого при испытаниях осциллографа для отображения заранее выбранного ожидаемого события;

б) 2 входных сигнала, если их использование требуется, поступают на узел КШ и используются для привязки к поступлению внешнего сигнала момента начала передачи очередного (выбранного) сообщения и (или) момента начала передачи очередного кадра (набора) сообщений. Эти использованы, сигналы могут быть например, при использовании УЭМ-МК в качестве имитатора прибора-КШ, временная шкала передачи сообщений которым имеет привязку сигналам отдельного к времязадающего прибора (генератора метки цикла).

4. Конструктивная реализация УЭМ-МК

На первом этапе разработки УЭМ-МК был осуществлен выбор платформы модульной КПА, определяющей конструктивное исполнение изделия и интерфейс сопряжения с управляющим вычислителем. В числе рассматриваемых факторов в первую очередь учитывались:

характеристики предоставляемого
 электропитания, которые должны
 удовлетворять требованиям технически
 сложной аналоговой части;

- быстродействие при информациионном взаимодействии с управляющим вычислителем, возможность буферизации данных достаточно большого объема (при асинхронных входном и выходном потоках) для обеспечения возможности работы без требования к наличию ОС реального времени;

- габариты типовых форм-факторов, которые должны позволить реализовать все требуемые схемотехнические решения.

Рассматривались магистрали GPIB, USB, 1394, VME, VXI, Compact PCI, PXI, PCI. Оптимальным решением для УЭМ-МК было признано использование магистрали VXI, как, в первую очередь, изначально разработанную для контрольно-проверочной аппаратуры, и позволяющую интегрировать УЭМ-МК в гибко конфигурируемые программно-аппаратные испытательные комплексы для испытаний различного рода аппаратуры и систем.

Кроме того, для магистрали VXI Холдинтом «Информтест» выпускается ряд модулей-носителей, позволяющие устанавливать вновь разработанные инструментальные средства (мезонины) специализированного назначения на отработанную и сопровождаемую необходимым системным ПО универсальную плату, обеспечивающую сопряжение с шиной VXI. Один из таких модулей-носителей (HM-M) использован как конструктивная основа УЭМ-МК.

Разработанный УЭМ-МК выполнен в виде VXI-модуля в форм-факторе C-1 и отвечает всем эксплуатационным требованиям для данного класса контрольнопроверочной аппаратуры.

5. Программное обеспечение УЭМ-МК

Для УЭМ-МК разработан комплект программных средств, включающий в состав системное ПО (драйверы, библиотеки функций, дополнительные компоненты), тестовые программы самоконтроля, а также прикладное ПО: интерактивные графические управление программы, реализующие работой УЭМ-МК для двух основных областей применения: «анализатор шины» (средство отладки, контроля и диагностики интерфейса МКПД) И «тестер» (аттестационное тестирование устройств интерфейса МКПД).

В составе пакета программных средств для УЭМ-МК имеются следующие компоненты:

- драйвер (драйвер мезонина). Драйвер работает во взаимодействии с драйвером универсальной инструментальной коммуникационной среды VISA и драйвером носителя мезонинов (HM) unmbase (разработан Холдингом «Информтест»). Драйвер обеспечивает доступ приложений к регистрам и ОЗУ мезонина УЭМ-МК и передачу потоков входных и выходных данных через буферное ОЗУ (FIFO) НМ. Драйвер выполнен в виде DLL экспортирует приложениям набор низкоуровневых функций доступа и обмена в соответствии с решаемыми задачами. В составе драйвера имеется функция самоконтроля УЭМ-МК;

- управляющая Является панель. простейшим средством диалоговой работы с УЭМ-МК при помощи графического интерфейса. Ее основное предназначение проверка идентификации модуля И выполнение самоконтроля в интерактивном режиме. Имеется возможность интерактивного выполнения отдельных функций драйвера, в том числе – отправки отдельных сообщений МКПД (в режиме КШ) и Управляющая самоконтроля. панель предназначена для работы в составе управляющих панелей НМ;

программа самоконтроля.
 Предназначена для выполнения самоконтроля устройства из командной строки;

- расширенная библиотека функций. Предназначена для разработки приложений, использующих УЭМ-МК для решения различных задач. Библиотека предоставляет расширенный набор высокоуровневых проблемно-ориентированных функций, позволяющих управлять всеми аспектами работы устройства:

а) управление устройством в режимах КШ, 310У, МШ,

б) внесение специфицированных ошибок в передаваемую информацию;

 в) управление параметрами дополнительной синхронизации УЭМ-МК с внешним оборудованием.

Библиотека является надстройкой над драйвером УЭМ-МК и выполнена в виде DLL.

Функции, предоставляемые библиотекой, позволяют управлять работой УЭМ-МК в терминах протокола МКПД и абстрагироваться от значительного числа подробностей работы функциональной логики модуля.

В основе набора функций библиотеки лежит понятие «виртуального устройства»: части оборудования УЭМ-МК, выполняяющей функции КШ, одного из виртуальных ОУ, МШ. Эти виртуальные устройства открываются приложением как «настоящие» устройства. Затем приложение управляет виртуальным устройством при помощи набора функций, ориентированных на виртуальное устройство этого типа.

Управление контроллером шины основано на создании и конфигурировании специальных объектов в ОЗУ УЭМ-МК: командных сегментов, кадров и программы работы КШ.

Управление оконечным устройством основано на создании и конфигурировании объектов – ответных сегментов. Функции монитора шины выполняет прием и анализ трассы МПКД и передает сообщения МКПД с сопроводительной информацией в заданном формате.

Имеются функции для внесения ошибок в командные и ответные сегменты.

Имеются также функции управления параметрами конфигурации модулем УЭМ-МК в целом, «полиморфные» функции запуска и остановки виртуальных устройств, функции работы с аппаратным счетчиком времени.

Библиотека нижний. имеет недоступный приложениям, подуровень функций, обеспечивающих выделение областей ОЗУ УЭМ-МК для размещения объектов контроллера И оконечных устройств и эффективный обмен данными с ОЗУ УЭМ-МК.

Библиотека поставляется с развернутой документацией;

БПОУЭМ - программа БПОУЭМ. программное обеспечение (базовое универсального электронного модуля) полнофункциональная интерактивная графическая среда, позволяющая использовать все возможности модуля при решении задач отладки, контроля и диагностики устройств (абонентов) интерфейса, то есть при использовании УЭМ-МК, в первую очередь, в качестве Функциональные «анализатора шины». возможности УЭМ-МК под управлением БПОУЭМ:

a) имитация работы контроллера шины, оконечных устройств (до 31), выполнение функций монитора шины,

б) внесение специфицированных
 видов ошибок в передаваемую информацию
 в режимах КШ и 31ОУ,

в) детектирование специфицированных типов ошибок в режиме МШ (в пределах тех ошибок, при внесении которых декодер способен распознать поступающую информацию как очередное отдельное слово),

г) запись и анализ принимаемой МШ информации, в том числе в течение длительного времени, ограниченного, по сути, только емкостью накопителя данных на используемой управляющей ЭВМ.

Общий вид основного диалогового окна БПОУЭМ приведен на рисунке 6.



Рисунок 6. Пример общего вида основного окна программы БПОУЭМ

БПОУЭМ позволяет сконфигурировать УЭМ-МК для решения множества различных прикладных задач, сохраняет между сеансами работы, состояние обеспечивает экспорт импорт И конфигураций УЭМ-МК. Предусмотрен также экспорт конфигурационных и отчетных данных в тестовые форматы (ТХТ и HTML).

- программа тестирования оконечного устройства по методам ГОСТ Р 51765-2001 (ПТОУ, «Тест-план ОУ»). Представляет собой интерактивную программу для проведения в автоматизированном (полуавтоматизированном для тестов, требующих интерактивного взаимодействия с оператором, например, измерениях параметров или калибровке тестера) режиме аттестационного тестирования устройства интерфейса в режиме ОУ в соответствии с программой испытаний ГОСТ Р 51765-2001. Позволяет гибко настраивать взаимозависимые параметры тестируемого модуля, управлять тестированием в интерактивном режиме, формировать отчеты (протоколы), записывать принятый по МКПД трафик с выделением ошибок.

Внутренняя архитектура программы основана на «специализированной виртуальной машине» тестовых сценариев с собственным входным языком XTS-2 и возможностью добавления дополнительных скриптовых языков.

Такое построение позволяет, при необходимости, расширять функциональность программы дополнительными стандартизированными или специализированными тестовыми сценариями и их комплектами и адаптировать программу для реализации дополнительных методов испытаний, а также производить самотестирование самих тестовых последовательностей средствами самой программы.

Гибкая, масштабируемая и расширяемая архитектура программы позволяет строить на ее основе развитую программную среду испытаний, учитывающую характеристики и особенности тестируемых изделий.

Общий вид основного диалогового окна программы ПТОУ приведен на рисунке 7.


Рисунок 7. Пример общего вида основного окна программы ПТОУ

Advanced MIL-STD-1553B multiplex data bus tester and interface module

V.A. Harin, P.Y. Demyanov, N.Y. Mironov, E.S. Stenkin

Abstract: The article describes the development of an advanced MIL-STD-1553B multiplex data bus interface module (tester and bus analyzer) intended for testing, diagnostics and debugging of MIL-STD-1553B terminals and control systems based on the MIL-STD-1553B. The technical requirements for the module are considered, the review of similar test equipment is made, and the tasks of module development process are described. The implementation of the analog part of the module - adjustable transceiver with programmable parameters, using the direct digital synthesis, is described. The architecture of the digital part (tester and protocol logic blocks that provide multi-mode operation: bus controller, 31 remote terminals, bus monitor, with possibility of error injection) is described. Host system interface - VXI/LXI buses, that provides the possibility of module integration into various integrated test and verification equipment, is described. Application software developed to date is described, including the support of two main module tasks: verification test-plan for MIL-STD-1553B remote terminals and data bus analyzer software (interactive control of the multimode operation, configuration and creation of message sequences, traces recording) for debugging and diagnostics tasks.

Keywords: MIL-STD-1553B, bus tester, VXI, LXI, multiplex data bus.

Литература

 ГОСТ Р 52070-2003. Интерфейс магистральный последовательный системы электронных модулей. Общие требования. – М., Госстандарт России, 2003.
 ГОСТ Р 51884-2002. Магистраль VME, расширенная для контрольно-измерительной аппаратуры (магистраль VXI). Общие технические требования. – М., Госстандарт России, 2002.
 ГОСТ Р 51765-2001. Интерфейс магистральный последовательный системы электронных модулей. Тестирование опытных образцов интерфейсного модуля в режиме оконечного устройства. Общие требования к методам контроля. – М., Госстандарт России, 2001.

Отечественные матричные КМОП фотоприемники

Д.В.Бородин¹, Ю.В.Осипов², В.В.Васильев³

^{1,2,3} ООО "РТК Инпекс", Московская область, г. Мытищи, Россия, e-mail: rtcinpex@mail.ru ^{1,2} АО "НПП Пульсар", Москва, Россия, e-mail: dvb1@inbox.ru

Аннотация: Представлены созданные микросхемы фотоприемников формата до 1280×1024 ячеек размером от 30×30 до 5,5×5,5 мкм², предназначенные для приема оптического сигнала в диапазоне длин волн 0,4 - 1,0 мкм. Приведены их основные параметры, режимы работы. Создан сверхбыстродействующий КМОП фотоприемник формата 64х128 ячеек, позволяющий регистрировать серии из 8 кадров с интервалом до 20 наносекунд.

Ключевые слова: КМОП, фотоприемник, матричный, видимый диапазон, сверхскоростной фотоприемник.

1. Фотоприемники "КМОП-1000" и "КМОП-1300"

На основе отработанных на матричных КМОП фотоприемниках форматов 256×256 с шагом ячеек от 12 до 30 мкм конструкциях [1], создан ряд КМОП фотоприемников формата ≥ 1 мегапикселей. Так прибор "КМОП-1000" [2] формата 1024×1024 ячеек с шагом 15 мкм, обеспечивает кадровую частоту до 100 Гц, чувствительность 5 В/(лк×с), выводит информацию на 1, 4, 8 или выходов, позволяет регистрировать 16 процессы с характерным временем до 0,5 мкс, регулировать время экспозиции не менее чем на 5 порядков от 0,5 мкс до времени кадра, а локальные экспозиции, не менее чем в 300 раз превышающие экспозицию насыщения, не приводят к заметному "расплыванию" сигнала на соседние ячейки.

Основные режимы работы прибора:

- Конвейерный (Rolling) для одного активного окна, с заданием времени интегрирования с кратностью времени вывода одной строки,
- Мгновенная фотография (SnapShot)произвольное время интегрирования, определяется внешним импульсом, опрос после интегрирования,
- Мгновенная фотография, опрос после интегрирования каждого активного окна,
- 4) Мгновенная фотография, опрос во время интегрирования.
- 5) Окна интереса. При опросе информация может выводится не со всего массива ячеек, а только с определенных "окон интереса" - от 1 до 4 прямоугольных областей с размерами, кратными 16 ячейкам.

- 6) Режим неразрушающего считывания (до 15 кадров), когда сигнал выводится в процессе его накопления в ячейках. Предусмотрен режим, когда после каждого интегрирования опрашивается только одно очередное окно, а время интегрирования можно задавать для каждого окна своё.
- Изменение направления опроса ячеек как по X, так и по Y одновременно во всех окнах (переворот изображений).
- Для конвейерного режима возможно использование двойной коррелированной выборки. Для режима мгновенной фотографии используется двойная выборка (для подавления геометрического шума).
- 9) Управление всеми режимами выполняяется через SPI порт.

Для контроля мультиплексора, синхрониизации работы с внешними устройствами имеются два цифровых выхода, на которые можно вывести 16 различных внутренних точек схемы.

В следующем фотоприемнике "КМОП-1300", относительно "КМОП-1000":

- увеличен формат на 30% до 1280×1024 ячеек;
- уменьшен шаг ячеек до 13×13 мкм;
- увеличена кадровая частота до 600 Гц;
- увеличена чувствительность до 50 1000 В/(лк×с);
- возможно задание времени интегрирования цифровым кодом в интервале 10 - 2000 000 периодов тактовой частоты;
- дополнен режим «2 выхода»;
- дополнен режимом «чересстрочный вывод».

этом приборе каждая ячейка B содержит две емкости для накопления, а также схему, позволяющую накапливать фотозаряд сначала на малой емкости (с большой чувствительностью), а при ее заполнении - на большой или наоборот: сначала на большой, потом - на малой (реализована светосигнальная характеристика с "перегибом") [3, 4]. Тем самым, приемник позволяет (для малого фона) получить высокую чувствительность в ячейках со слабым сигналом И. одновременно, использовать максимальную зарядовую емкость в ячейках с большим сигналом. Для сцен с большим фоном возможно сначала накопление фотозаряда без вывода, а по достижению диапазона, в котором находится полезный фотосигнал, преобразовывать его в выходное напряжение с большой чувствительностью.

2. Фотоприемник "КМОП-55"

Для создания фотоприемника "КМОП-55" с ячейкой 5,5×5,5 мкм² и форматом 1280×1024, использовалась технология с нормами проектирования 0,18 мкм. Основные параметры фотоприемника "КМОП-55":

- филл-фактор 50%;
- глобальный затвор;
- интегральная чувствительностью от 10 до 80 В/(лк×сек);
- диапазон изменения выходного сигнала до 0,6 В;
- зарядовая емкость не менее 200 ке-;
- темновой сигнал 180 мВ/сек;
- потребляемая мощность менее 15 мВт (при частоте кадров 15 Гц);
- "окно интереса";
- размер кристалла 8,2×6,5 мм;
- общее количество выводов не более 22 шт.

В "КМОП-55" реализована светосигнальная характеристика с лвумя дополнительными перегибами 38 счет уменьшения времени накопления, что позволяет избежать насыщения видеосигнала при экстремальных освещенностях, причем только в ячейках с такой освещенностью (в одном кадре), аналогично [5].

Можно установить два уменьшенных интервала накопления и два порога переключения на эти интервалы. В итоге светосигнальная характеристика имеет три "перегиба" (участки с четырьмя наклонами).

демонстрации возможностей Для фотоприемника "с перегибом", на его поверхность был сфокусирован яркий объект размером ~ 100 ячеек, сигнал от которого перекрывал весь диапазон изменения выходного напряжения, а в центре объекта к его насыщению. Осциллограмма четырех строк сигнала для характеристики "без перегиба", показана на рис.1. Уменьшение времени накопления в 50 раз для всех ячеек выводит сигнал из насыщения, однако сигнал от ячеек со средней освещенностью становится крайне мал (рис.2). Характеристика с "перегибом", уменьшающая время накопления в 50 раз только для ячеек с экстремальной засветкой, позволяет оставить прежним сигнал в ранее не насыщенных ячейках, а в насыщенных- вывести из насыщения (рис.3).



Рис.1.Осциллограмма выходного сигнала для яркого объекта размером ~ 100 ячеек в случае светосигнальной характеристики "без перегиба".



Рис.2. Время накопления уменьшено в 50 раз для всех ячеек.



уменьшающая время накопления в 50 раз только для ячеек с экстремальной засветкой.

Фотоприемник может быть установлен в металлокерамические корпуса типа LLCCnew ипи DIPnew (ОК-32П2-1) производства ЗПП (г. Йошкар-Ола). Небольшая потребляемая мощность позволяет эффективно использовать ТЭО для охлаждения приемника И дополнительного улучшения его параметров.

Этот фотоприемник как разработан, так и изготовлен в России, т.е. является, по сути, первой полностью отечественной КМОП фотоматрицей формата более миллиона пикселей и открывает перспективу создания КМОП фотоприемников формата порядка 20 Мпикселей.

3. Сверхскоростной КМОП фотоприемник "F-8"

Матричные фотоприемники наиболее широко используются для регистрации сцен окружающего нас мира, которые мы и так наблюдаем естественным образом. Скоростные приемники позволяют заглянуть мир быстропротекающих процессов, в например, в мир больших скоростей и быстрых химических реакций, флуоресцентного отклика биологических объектов. Сверхскоростные приемники с межкадровым временем ~10 нс, когда свет между кадрами успевает пройти в воздухе всего 1,5 м (туда и обратно), и, при подсветке. синхронной позволяют синтезировать изображения содержащие информацию о расстоянии до объектов сцены, то есть 3D-изображения. В отличие от быстрых приемников, которые с частотой кадров порядка 500-1000 Гц могут работать в непрерывном режиме, сверхскоростные приемники быстро фиксируют ограниченную серию кадров, а потом относительно медленно их выводят.

Созданный сверхскоростной фотоприёмник "F-8" формата 128×64 ячеек размером 40×40 мкм, позволяет быстро (с интервалом до ~ 20 нс) записывать серию из 8 кадров с последующим их выводом за ~1 мс. Каждая ячейка фотоприемника содержит ~ 30 транзисторов и фотодиод. Используется метод аналогового хранения данных в ячейке. Длительность накопления каждого кадра и время между кадрами регулируется. Основным режимом является "накопление с нарастающим итогом", когда во время накопления каждого кадра входит время накопления предыдущих кадров. Возможен также режим, когда кадры независимы и содержат сигналы только в определенные, последовательные, произвольные по длительности, интервалы времени [6]. Общее количество выводов микросхемы - 14, в том числе один аналоговый выход; напряжение насыщения выходного сигнала не менее 1 В. Рассеиваемая мощность при тактовой частоте 10 МГц не превышает 50 мВт.

На основе фотоприемника разработана быстродействующая камера "ВидеоМиГ" [7] с минимальным временем экспозиции одного кадра в серии ~ 20 нс.



Рис.4. Четыре кадра с интервалом в 30 нс при импульсной подсветве.

В одном из демонстрационных экспериментов с камерой использовались два сеточных экрана, расположенных на расстоянии примерно 5 и 15 метров от камеры.

На первом экране хаотично располагались небольшие кружки из световозвращающего материала (имитация снежинок, каплей дождя), а на втором объект в виде знака [/]. Использовался режим независимых кадров, время интегрирования в каждом кадре 30 нс.

На рисунке 4 первым кадром (в серии из четырех кадров) является левый кадр и на нем видно доминирующее отражение от "снежинок", мешающее восприятию объекта.

На втором кадре интенсивности выравниваются, а на следующем объект хорошо различим (фоновая засветка от близкорасположенных "снежинок" устранена). Этого удалось добиться благодаря тому, что начало интегрирования третьего кадра установлено с запозданием относительно окончания импульса подсветки на время прихода сигнала от близкорасположенных объектов.

Такая система обеспечит более уверенное вождение автомобиля ночью, когда может возникнуть проблема ограничения видимости из-за яркого свечения в свете фар хлопьев снега, каплей дождя и тумана.

Тем самым продемонстрирована возможность использования камеры для регистрации быстрых процессов с характерным временем до ~20 нс.

На основе полученных результатов может быть разработан КМОП сверхскоростной фотоприемник и камера формата ~ 256×128 ячеек и более с аналогичными параметрами.

Russian CMOS image sensors

D. V. Borodin, Yu. V. Osipov, V. V.Vasil'ev

Abstract: Created chip photodetectors format up to 1280×1024 cells in size from 30×30 to $5.5 \times 5.5 \ \mu\text{m}^2$ for visible light. Their basic parameters and operation modes are presented. Also was developed ultrafast CMOS image sensor of a format 64x128 cells, to capture a series of 8 frames with an interval of 20 nanoseconds.

Keywords: CMOS, CIS, visible range, high speed photodetector, Burst camera

Литература

1. Д.В.Бородин, Ю.В.Осипов, А.С.Скрылёв, В.В. Васильев. КМОП микросхема матричного фотоприёмника видимого диапазона формата 256х256. Научно-технический сборник "Электронная техника, серия 2, Полупроводниковые приборы". Вып. 1(222), 2009 г., с.93-96.

2. Д.В.Бородин, Ю.В.Осипов, Т.И.Анисимова, и др. КМОП матричные фотоприемники видимого диапазона. XIII научно-техническая конференция "Твердотельная электроника, СФ блоки РЭА" (Пульсар-2014), 2014 г, с.141-142.

3. Д.В.Бородин, Ю.В.Осипов, В.В.Васильев. Микросхема КМОП-фотоприемника видимого диапазона формата 1280×1024 с размером ячейки 13×13 мкм.//Прикладная физика, 2016, № 2, С. 76-81. http://applphys.orion-ir.ru/appl-16/16-2/16-2-r.htm

4. Д.В.Бородин, Ю.В.Осипов, В.В.Васильев Эффективное использование динамического диапазона КМОП фотоматриц и проблемы его расширения // Вопросы радиоэлектроники. Серия "Техника телевидения", 2016 г., № 4, стр. 40-47.

5. http://www.onsemi.com/PowerSolutions/product.do?id=LUPA1300-2.

6. Бородин Д.В., Осипов Ю.В., Васильев В.В., Майоров В.П., Сёмин М.С., Сёмин И.М. 3D КМОП фотоматрица видимого диапазона и быстродействующая камера на ее основе. XXIV Международная научно-техническая конференция и школа по фотоэлектронике и приборам ночного видения. Москве, АО «НПО «Орион», 24-27 мая 2016 г. стр. 348-350.

7. ООО "Видеоскан", Камера "ВидеоМиГ", http://videoscan.ru/page/888

Подсистема схемотехнического проектирования КМОП БИС с учётом совместного влияния радиационных и тепловых эффектов

И. А. Харитонов

Национальный исследовательский университет «Высшая школа экономики», Московский институт

электроники и математики им. А.Н.Тихонова, Москва, Россия, E-mail: ikharitonov@hse.ru

Аннотация: Описана САПР КМОП БИС, учитывающая совместное влияние радиационных эффектов и температуры и состоящая из трех подсистем, реализующих три маршрута проектирования: 1) с учетом только температурных эффектов; 2) с учетом только радиационных эффектов; 3) с совместным учетом радиационных эффектов и температуры. Ключевым элементом подсистемы являются «Electro-Thermo-Rad» SPICE модели КМОП элементов, построенные на основе моделей BSIMSOI и EKV и учитывающие влияние низких, высоких температур и воздействие гамма-квантов, электронов, нейтронов, протонов, отдельных тяжелых частиц. Рассмотрены особенности определения параметров моделей из результатов натурные испытаний и из результатов моделированием с помощью TCAD. Приведены результаты применения подсистемы для анализа и повышения стойкости разрабатываемых специализированных КМОП КНИ схем

Ключевые слова: КМОП БИС, САПР, радиационные эффекты, полученная доза, одиночные сбои, фототоки, тепловые эффекты, сбои, схемотехническое моделирование, SPICE модели, TCAD, тестовые структуры, экстракция параметров, ICCAP.

1. Введение

В ряде отраслей промышленности требуется электронная аппаратура, которая может надежно работать в жестких условиях, в том числе экстремально низких [1] и высоких [2, 3, 4, 5] температурах, радиационного воздействия [6].

Известно, что температура существенно и нелинейно влияет на радиационные эффекты в КМОПтранзисторах и интегральных схемах и их радиационную стойкость.

Опыт ведущих создателей специальной стойкой электронной базы аппаратуры [6-10], как зарубежных, так и отечественных [11], показывает что для разработки специальной радиационно- и температуростойкой электроники для экстремальных условий эксплуатации, исследования и предсказания характеристик схем в этих условиях необходимы средства проектирования автоматизированного (и соответственно, модели) на нескольких взаимосвязанных уровнях: от структур полупроводниковых приборов. через схемотехнические модели компонентов, до уровне интегральных схем различной

степени интеграции.

Однако, такие многоуровневые системы для проектирования стойких ИС и БИС на основе КМОП структур «кремний на изоляторе» с учетом широкого диапазона температур и различных видов радиационного воздействия, в открытой печати не описаны.

2. Пяти-уровневая методика расчета радиационной стойкости КМОП ИС и БИС

Пятиуровневая методика расчета радиационной стойкости КМОП БИС (рис. 1) (Rad-Hard CAD) описана в [14, 22], и в отличии от своих ранних версий [12, 13], в настоящей версии расширена и учитывает влияние всех факторов радиационного воздействия (нейтроны, электроны, гамма, протоны, ОЯЧ, импульсное воздействие). Методика включает следующие уровни:

- уровень технологического процесса,
- уровень технологических структур,
- уровень отдельных транзисторов,
- уровень фрагментов схем,

 уровень функционально законченных интегральных схем.



Рис. 1. Пятиуровневая методика расчета радиационной стойкости КМОП ИС и БИС

Добавленные к традиционному 3-х уровневому (тестовые структуры-транзисторысхемы) маршруту проектирования стойких схем еще два уровня: полупроводникового материала и ТСАD моделирования структур транзисторов позволили расширить круг решаемых задач, обеспечить прогноз рад. стойкости на этапе создания компонентов, когда еще нет тестовых структур. В результате, это позволило повысить рад. стойкость и надежность разрабатываемых схем.

Используемые модели КНИ/КНС МОП учетом транзисторов с факторов радиационного воздействия описаны в [19, 20, 23], построены на основе стандартных моделей BSIMSOI и EKV, используют макромодельный подход и позволяют использовать пакеты схемотехнического анализа и проектирования схем различной сложности: Cadence Spectre/UltraSim, Mentor Graphics Eldo/System Vision, Synopsys HSpice

и др.

На рис. 2 - 5 приведены результаты моделирования работы И анализа радиационной стойкости микросхемы реверсивного счетчика, изготовленного по КМОП КНС технологии, КМОП КНИ операционного усилителя (технология XFAB, L=1 мкм), КМОП компаратора (стойкая КНИ-технология L=0.5 мкм) с дифференциальными выходами.

3. Подсистема проектирования ИС с учетом тепловых эффектов

Подсистема «теплового» проектирования ИС (см. рис. 7) подробно описана в [15, 16, 17] и учитывает влияние внешней температуры и внутренних эффектов саморазогрева. В настоящей версии ее диапазон расширен в область низких (до -200°С) и высоких (до +300°С) значений температуры.

Поскольку стандартные модели BSIMSOI (и BSIM3) не рассчитаны на такой широкий температурный диапазон и недостаточно корректно описывает характеристики МОПТ в этом диапазоне, то в модель КНИ/КНС МОПТ были добавлены корректирующие выражения и дополнительные схемные элементы, различные для диапазонов от комнатной до низких (до -200°C) и от комнатной до высоких (до +300°C) температур.

Коррекция SPICE модели для низких температур (до -200°С) описана в [24].

Коррекция модели для высоких температур (до +300°С) была описана в [18].

Для примера на рис. 7 приведены смоделированная переходные характеристики КМОП КНИ (L_{мин}= 0.18 мкм) схемы сумматоры в диапазоне температур 27 – 300°С.

4. Подсистема проектирования интегральных схем с учетом совместного влияния радиациионных и тепловых эффектов

Данная подсистема (рис. 8) является новой и аналогов не имеет.

<u>Ключевые особенности</u> предлагаемой подсистемы следующие [21,22]:

- использование стандартных схемотехнических симуляторов (Cadence Spectre/UltraSim, Mentor Graphics Eldo/System Vision, Synopsys HSpice и др.);
- в рамках одной SPICE модели КНИ/КНС МОПТ, построенной на основе стандартных SPICE моделей, реализован одновременный учет тепловых и

радиационных эффектов, что позволяет учесть нелинейное взаимодействие этих эффектов - «Electro-Thermo-Rad модели»;

- специальные методики экстракции параметров Electro-Thermo-Rad моделей КНИ/КНС МОПТ с использованием пакета ICCAP из результатов измерений [26-28] или TCAD моделирования 15-16] характеристик тестовых структур;
- библиотека Electro-Thermo-Rad моделей КНИ/КНС МОПТ для SPICE моделирования ИС и БИС с различными проектными нормами [21].

Комбинированное влияние факторов температуры и радиации в «Electro-Thermo-SPICE моделях учтено Rad» путем совместного использования макромодельного подхода, взаимосвязанных температурорадиационно зависимых параметров и базовой модели МОПТ и дополнительных компонентов макромодели лпя учета полученной дозы, потоков частиц, импульсного воздействия, одиночных тяжелых частиц (см. [10]), зависящих от Зависимость температуры. порогового напряжения от полученной гамма облучения D (для примера) и температуры Т описывается выражениями, в которые введены температурные зависимости:

$$VTH0 D,T = VTH0 0,T +$$
(1)

+
$$\begin{bmatrix} \pm \Delta V_{ot}(\mathbf{D},\mathbf{T}) \pm \Delta V_{it} & D,T \end{bmatrix}$$

$$\Delta V_{ot} \quad \mathbf{D}, T = \frac{Q_{ot} \quad D, T}{C_{or}} = \frac{N_{ot} \quad D, T \quad q}{C_{or}} \tag{2}$$

$$\Delta V_{it} \quad D,T = \frac{Q_{it} \quad D,T}{C_{ar}} = \frac{N_{it} \quad D,T \quad q}{C_{ar}}$$
(3)

где *VTH0(0,T)* - значение порогового напряжения до облучения, зависящее от температуры транзистора;

 N_{ot} *D*,*T*, N_{it} *D*,*T* - наведенные облучением концентрации дырочного заряда и поверхностных состояний, соответственно, на «верхнем» затворе, зависящие от температуры, мощности дозы, времени облучения и др. факторов.

Аналогичные выражения используются для учета воздействия нейтронов, электронов и протонов, с разделением эффектов на поверхностные и объемные нарушения, в зависимости от вида и энергии частиц.

Учет зависимости подвижности от радиационного воздействия и температуры реализован следующим образом. Зависимость параметра U0 подвижности от флюенса нейтронов Φ_n (и др. частиц, повреждающих структуру транзисторов) и температуры T описывается выражением:

$$U0 \ \Phi_n, T = \frac{U0 \ 0, T}{1 + \alpha_2 N_{ii} \ \Phi_n, T + \alpha_3 \Phi_n},$$
(4)



Рис. 2. Результаты моделирования работы микросхемы реверсивного счетчика (а), изготовленного по КНС технологии: б)-до облучения, в) после 300 крад, г) после 400 крад - сбой работоспособности.



1·10³ 1·10⁴ 1·10⁶ 1·10⁶ Рис. 3. Сравнение измеренной и смоделированной АЧХ КМОП КНИ операционного усилителя для различных полученных доз облучения



Рис.4. Моделирование сбоя в ячейке памяти (а) с различными значениями LET иона (б).



Рис. 5. Смоделированная реакция микросхемы счетчика рис. 2, а) на импульс ионизирующего излучения: с мощностью дозы 5·10⁸ рад/сек (а) (нет сбоя); и 6 10⁸ рад/сек (б) (сбой);



Рис. 6. Подсистема расчета КНИ/КНС МОП ИС с учетом тепловых эффектов



диапазоне температур 27 – 300°С.



Рис. 8. Подсистема расчета КНИ/КНС МОП ИС с учетом радиационных и тепловых эффектов



Рис. 9. Результаты моделирования работы микросхемы реверсивного счетчика (Рис. 2, а), изготовленного по КНС технологии: а) при 160°С, б) после 300 крад при 160°С - сбой работоспособности.



Рис. 10. Результаты моделирования выходного напряжения ячейки памяти (L=0.35 мкм) при воздействии частицы (3000 пКл/см) при различных температурах. При 200°С и 300°С - сбой ячейки

где *U0*(*0*,*T*) - температуро-зависящее значение подвижности до облучения.

α₁, α₂, α₃ - подгоночные коэффициенты, различные для различных видов радиационного влияния.

Второе знаменателе слагаемое В выражения (4) учитывает деградацию подвижности из-за наведенных облучением поверхностных состояний на нижней границе затвора, третье слагаемое учитывает деградацию подвижности из-за нарушений структуры МОПТ, вызванных облучением нейтронов. В случае воздействия дозы гамма-облучения третье слагаемое в знаменателе (4) не используется.

Рост ток стока утечки при повышенной температуре и облучении складывается (в основном) ИЗ 2-x составляющих: температуро зависимого тока стокового перехода и тока утечки по нижней и/или структуры боковым границам КНИ вследствие инверсии проводимости в этих областях под действием накопленных под действием облучения дырочных зарядов в толстых окислах. Зависимость ток стокового р-п-перехода от температуры достаточно корректно описывается моделью BSIMSOI. При повышении температуры пороговое напряжение МОП транзистора понижается; при этом оно понижается не только для верхнего затвора, но и для паразитных нижнего И бокового транзисторов. В результате условия образования паразитных инверсных каналов облегчаются И образования утечек вероятность при повышенных температурах (при тех же накопленных зарядах в этих окислах) увеличивается. Поскольку накопленные в окислах заряды после облучения существенно температуры зависят ОТ облучения, мы получаем в результате сложную нелинейную зависимость токов утечек от температуры и радиации.

Ток утечки, вызванной образованием паразитных инверсионных каналов в КНИ МОП транзисторе, описывается классическим выражением предпоргового тока МОПТ, но с зависимостями от полученной дозы D (аналогично работе [25]), и дополнительно введенной зависимостью от температуры T:

$$I_{c_{-}\text{yrev}} = \mu(D,T)C_{ox_{-}eff} \frac{w_{eff}(D)}{l}(m-1)\left(\frac{kT}{q}\right) \times (5)$$
$$\times 2\exp\left(\frac{q(V_{3}-V_{T_{-}eff}(D,T))}{mkT}\right)\left(1-\exp\left(-\frac{qV_{cu}}{kT}\right)\right)$$

где C_{ox_eff} – эффективная емкость изолирующего окисла,

 $w_{eff}(D)$ - эффективная ширина паразитного канала тока утечки, зависящая от полученной дозы,

 $V_{t_{eff}}(D,T)$ — эффективное пороговое напряжение паразитного канала утечки, зависящее от полученной дозы и температуры.

Параметры элементов макромодели, описывающих импульсное ионизирующее воздействие и воздействие ОЯЧ, также зависят от температуры с учетом обычных физических зависимостей физических параметров МОП структуры от температуры.

Таким образом, «Electro-Thermo-Rad» модель КНИ/КНС МОПТ обеспечивает учет нелинейных эффектов влияния температуры и радиации.

На рис. 9 и 10 приведены примеры моделирования совместного воздействия температуры и полной дозы (рис. 9) и одиночных частиц (рис. 10).

5. Экстракции параметров Electro-Thermo-Rad SPICE моделей КНИ/КНС МОПТ

Известно, что измерение характеристик и определение параметров SPICE моделей МОП транзисторов, подвергнутых воздействию статических видов радиации (электроны, нейтроны, гамма, рентген), существенно усложняются по сравнению с традиционными методами, используемыми для необлученных транзисторов [28]:

1. Добавляется испытательное и

измерительное оборудование, реализующее процедуру радиационного облучения, а методики проведения эксперимента и измерений специфичны для разных видов воздействия, а в ряде случаев уникальны.

2. Резко увеличивается объём измерений и обработки электрических характеристик, так как требуются многократные измерения для каждой дозы, энергии или интенсивности конкретного вида воздействия.

3. Т.к. существенно возрастает сложность SPICE-моделей, описывающих приборы с vчётом радиационных эффектов, то усложняются и процедуры экстракции их параметров из результатов измерений. Еще больше возрастает сложность проведения электрических измерений в условиях совместного действия радиации и температуры.

упрощения Для И автоматизации процедура измерений электрических характеристик МОП облучаемых транзисторов формализована И унифицирована. Для всех видов радиации обработка результатов измерения И осуществляются с помощью единого автоматизированного аппаратно-программного измерительного комплекса [26,27]. В его основу положено общее для всех видов радиации и температуры измерительное ядро на базе LabView, в структуру которого входят: набор стандартных измерительных приборов, управляемых от компьютера с помощью программного обеспечения; специальным образом подобранные тестовые биполярные и МОП-транзисторы; перечни вольт-амперных и других характеристик; типовые методики измерений и процедуры обработки результатов учетом с электроны, радиационного (нейтроны, у-кванты и др.) и теплового воздействия.

В процессе работы осуществляется автоматическое многократное обращение к измерительному ядру, в результате чего существенно упрощается процедура и сокращается время измерений (на 30–60 %), а также уменьшается вероятность возникновение ошибок, вызванных человеческим фактором.

Выигрыш во времени получается еще больше при проведении измерений с учетом радиации и температуры.

Нами показано ([21 - 22]), что в целом ряде случаев дорогостоящие и сложные натурные испытания на воздействие радиационных факторов можно заменить моделированием с помощью TCAD, которое дает, кроме того, необходимую для построения SPICE моделей, информацию.

Экстракции параметров Electro-Thermo-КНИ/КНС Rad моделей ΜΟΠΤ ИЗ результатов измерений [26-28] или TCAD моделирования [16, 22] характеристик тестовых структур, осуществляется с использованием пакета ІССАР и специально разработанных управляющих для него скриптов [26, 28].

6. Выводы

Разработаны маршруты проектирования ИС и БИС с учетом радиационных, тепловых эффектов и их совместного влияния, включающие уровни материала, полупроводниковых структур, отдельных транзисторов , фрагментов схем и ИС в целом.

Добавленные к традиционному схемотех-3-x ническому уровневому (тестовые структуры-транзисторы-схемы) маршруту еще два проектирования стойких схем уровня: полупроводникового материала и TCAD моделирования структур транзисторов позволили расширить круг решаемых задач, обеспечить прогноз рад. стойкости на этапе создания компонентов, когда еще нет тестовых структур. В результате, это позволило повысить рад. стойкость и надежность разрабатываемых схем.

Ключевым элементом маршрутов и подсистем проектирования являются разработанные радиационные, тепловые и комбинированные Electro-Thermo-Rad SPICE модели стойких КНИ/КНС МОПТ.

Для создания Electro-Thermo-Rad моделей МОПТ и схемных фрагментов использован макромодельный подход с зависимостями параметров моделей и дополнительно введенных схемных элементов от видов, уровней радиационного воздействия и температуры.

Разработаны методики экстракции параметров (на основе ICCAP) Electro-Thermo-Rad моделей МОПТ и схемных фрагментов из результатов измерений их характеристик после воздействия факторов радиации и температуры или из результатов их TCAD моделирования.

Опыт использования подсистемы показал ее эффективность для анализа стойкости ИС и БИС и выявления сбоев в них при воздействии факторов температуры и радиации.

Subsystem for CMOS circuit design taking into account thermal and radiation effects

I.A. Kharitonov

Abstract: The subsystem for design of hardened SOI/SOS CMOS circuits with combined account for radiation and temperature effects is described. The subsystem consists of three parts: 1) subsystem for IC design with account for thermal effects; 2) subsystem for IC design with account for radiation effects; 2) subsystem for IC design with account for radiation effects; 3) subsystem for IC design with combined account for thermal and radiation effects. The key features of the subsystem are: - using of standard Spice sImulators (Cadence Spectre/UltraSim, Mentor Graphics Eldo/System Vision, Synopsys HSpice и др.); - combined account for thermal and radiation effects with developed «Electro-Thermo-Rad models» based on standard bsimsoi model; - specialized libraries of «Electro-Thermo-Rad models» for MOSFETs with the different technology sizes. Combined account for thermal and radiation effects is realized by combining of macromodeling approach with BSIMSOI model parameters dependencies on temperature and radiation levels. Model parameters are extracted using specially developed extraction techniques with ICCAP tool and test structures measurements and /or TCAD simulated characteristics. The measured data of irradiated, cooled, heated MOSFET test structures are used for TCAD models calibration, SPICE model creation, MOSFET structures and circuits correction. Results of subsystem application for simulation of radiation and thermal hardness of CMOS ICs and VLSIs confirmed correctness of the developed simulation methodology and Electro-Thermo-Rad» SPICE models . The subsystems enhanced designer efficiency in radiation and temperature hardened ICs design.

Keywords: CAD systems, CMOS, SOI/SOS, methodology, multi-level simulation, low temperature, high temperature, radiation influence, total ionizing dose, SEU, photocurrents, faults, radiation hardness by design, TCAD, SPICE models, Electro- Thermo-Rad, test structures, parameter extraction, LabView, ICCAP.

Литература

- 1. H. Javadi, J. Bowen, D. Roscoe, R. Romanofsky, C. Chorey, K. Bhasin. Low Temperature Electronics: Physics, Devices, Circuits, and Applications, Academic Press, 2005.
- Jeff Watson and Gustavo Castro, High-Temperature Electronics Pose Design and Reliability Challenges, Analog Dialog, APR 2012, vol 46, http://www.analog.com/en/analogdialogue/articles/high-temperature-electronic-pose-design-challenges.html
- K.C Reinhardt and M. A. Marciniak. Wide-Bandgap Power Electronics for the More Electric Aircraft. "Proc. 3rd Int. High-Temperature Electronics Conf.", Albuquerque, NM, June 1996, pp. I.9–I.15.
- B. Blalock, C Huque, L. Tolbert, M. Su, S. Islam, and R. Vijayaraghavan. Silicon-on-Insulator Based High Temperature Electronics for Automotive Applications. "2008 IEEE International Symposium on Industrial Electronics".
- J. L. Evans, J. R. Thompson, M. Christopher, P. Jacobsen, and R.W Johnson. The Changing Automotive Environment: High-Temperature Electronics. "IEEE Trans. on Electronics Packaging Manufacturing", Vol. 27, No. 3, July 2004, 164-176.
- 6. Improved Design of Radiation Hardened, Wide-Temperature Analog and Mixed-Signal Electronics Project., NASA Project, https://catalog.data.gov/dataset/improved-design-of-radiation-hardened-wide-temperature-analog-and-mixed-signal-electronics.
- H. Tu, E. Rosenbaum, C.C. Li, W.Y. Chan, P.M. Lee, B-K. Liew, J.D. Burnett, P.K. Ko and Chenming Hu, "BERT - Berkeley Reliability Tools". "IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems", vol. 12, N 10, 1993, 1524-1534.
- 8. TCAD to SPICE -6T SRAM SEU Simulation, Silvaco, http://www.silvaco.co.uk/examples/tcad/section41/example14/index.html
- 9. L. Artola, G. Hubert, T. Rousselin, Single-event latchup modeling based-on coupled physical and electrical transient simulations in CMOS technology. "Proc. of NSREC 2014", Jul 2014, PARIS, France.
- G. Hubert, S. Duzellier, C. Inguimbert, C. Boatella-Polo, F. Bezerra, R. Ecoffet, Operational SER Calculations on the SAC-C Orbit Using the Multi-Scales Single Event Phenomena Predictive Platform (MUSCA SEP3). "Proc. IEEE Trans. Nucl. Sci.", Vol. 56, No. 6, Dec. 2009, 3032-3042.
- О.В.Дворников. В.Н.Гришков. Комплексный подход к проектированию радиационностойких аналоговых микросхем. Часть 1. Учет влияния проникающей радиации в "SPICEподобных" программах. Труды «МЭС-2010», 2010, 301-306.

- 12. Е.П.Маляков, П.П.Мальцев, К.О.Петросянц, Н.И.Рябов, И.А.Харитонов. Подсистема автоматизированного проектирования интегральных схем, предназначенных для работы в условиях внешних воздействий. Тезисы докладов на IX научно-технической конференции "Датчики и преобразователи информации систем измерения, контроля и управления", Гурзуф, май 1997, 34-36.
- K. O. Petrosjanc, I. A. Kharitonov, A. S. Adonin Multi-level Testing Strategy for Radiation Hardened SOI / SOS ICs. Proc. of the 3d IEEE Latin-American Test Workshop (LATW-2002), Montevideo, Uruguay, Feb. 2002, 199–204;
- A Kharitonov, Multi-level Methodology for CMOS SOI/SOS MOSFET Parameterization for IC Radiation Hardness Simulation with SPICE. Proc. of the 8-th IEEE East-West Design and Test Symposium (EWDTS – 2010), 2010, 358-361.
- K. O. Petrosjanc, I.A Kharitonov, N.I. Rybov, P.P. Maltcev Software system for semiconductor devices, monolith and hybrid ICs thermal analysis. EURO-DAC '95/EURO-VHDL '95 Proc. of the conference on European design automation, 1995.
- K.O.Petrosyants, I.A.Kharitonov, N.I.Rjabov. Electro-thermal Design of Smart Power Devices and Integrated Circuits . Advanced Materials Research Vol. 918. Switzerland: Trans Tech Publications Inc., 2014.
- 17. I.A. Kharitonov SPICE models of MOS FETS on insulating substrate with account for thermal effects .Материалы VI международной конференции Science in the modern information society, North Charleston, USA, 2015, 13-14 July, 119-121
- 18. С.В.Лебедев, К.О.Петросянц, Л.М.Самбурский, В.Г.Стахин, И.А.Харитонов, М.Р.Исмаил-Заде. Исследование характеристик КНИ МОП-транзисторов высокотемпературных ИС (до 300°С) при уменьшении размеров до 0,18 мкм. Труды "Микроэлектроника-2016". Международного форума 2-я научная конференция "Интегральные схемы и микроэлектронные модули". М.: Техносфера, 2016. 237-238.
- 19. К. О. Петросянц, Л. М. Самбурский, И. А. Харитонов, А. П. Ятманов, BSIMSOI RAD макромодель КНИ/КНС МОП-транзистора для схемотехнического расчёта КМОП БИС с учётом радиационных эффектов. Извести ВУЗов. Электроника, 2009 г.,
- К. О. Петросянц, И. А. Харитонов, Л.М. Самбурский, А. П. Ятманов, Компактная макромодель КНИ/КНС МОП-транзистора, учитывающая радиационные эффекты. Известия вузов. Электроника, 1 (87), 2011, 20-27;
- К.О.Петросянц, И.А.Харитонов, Л.М.Самбурский, М.В.Кожухов. Подсистема проектирования интегральных схем с учетом действия факторов температуры и радиации. В кн.: Инновации на основе информационных и коммуникационных технологий: Материалы международной научно-практической конференции, М., НИУ ВШЭ, 2014. 475-478
- 22. L.A.Kharitonov. Multi level methodology for CMOS circuit design taking into account thermal and radiation effects. Materials of Inern. Scient.-practical conference "Information Innovative Technologies", 2017, Prague, April 24 27, 309-700.
- K.O.Petrosyants, I.A.Kharitonov, L.M.Sambursky, A.S.Mokeev. Rad-Hard Versions of SPICE MOSFET Models for Effective Simulation of SOI/SOS CMOS Circuits Taking into Account Radiation Effects. Proc. of the 24th European conference on radiation and its effects on components and systems -2015 (RADECS 2015), Moscow, Russia, 2015. 23-26.
- 24. И.А. Харитонов, И.А. Четвериков, Е.Ю. Кузин, М.Р. Исмаил-Заде. Определение параметров SPICE-моделей МОПТ при низких температурах (до минус 200°С). Данное издание.
- 25. H.Esqueda, H. Barnaby. Two-Dimensional Methodology for Modeling Radiation-Induced Off-State Leakage in CMOS Technologies. IEEE Trans. on Nuclear Science, vol. 52, no. 6, 2005, 2259-2264.
- 26. K.O.Petrosyants, I.A.Kharitonov, L.M.Sambursky Hardware-Software Subsystem for MOSFETs Characteristic Measurement and Parameter Extraction with Account for Radiation Effects . Advanced Materials Research. 2013. V. 718–720. P. 750–755.
- K.O.Petrosyants, I.A.Kharitonov, L.M.Sambursky, M.V.Kozhukhov. IV-Characteristics Measurement Error Resulting from Long Cables for Irradiated Bipolar Junction Transistors. Advanced Materials Research. 2015. V. 1083. 185–189.
- 28. К.О.Петросянц, Л.М.Самбурский, И.А.Харитонов, М.В.Кожухов. Измерения электрических характеристик биполярных и МОП-транзисторов под действием радиации. Измерительная техника. 2016. № 10. с. 55-60.
- 29. K. O. Petrosyants, L. M. Sambursky, I. A. Kharitonov, B. G. Lvov. Radiation-Induced Fault Simulation of SOI/SOS CMOS LSI's Using Universal Rad-SPICE MOSFET Model. Journal of Electronic Testing: Theory and Applications (JETTA), 2017, Vol. 33, No. 1, 37-51.

Моделирование статических токов радиационной утечки в КМОП схемах с высокой степенью интеграции

М. Г. Дроздецкий ¹, В.В. Орлов ², Г.И. Зебрев ³

1,2,3 НИЯУ МИФИ, E-mail: m.drosdetsky@gmail.com

Аннотация: В работе предложена модель изменения тока утечки под толстым окислом изоляции при воздействии ионизирующего излучения на КМОП микросхемы. Предложенная модель описывает зависимости тока утечки от рабочей температуры и интенсивности облучения. Модель был апробирована для широкой номенклатуры КМОП приборов.

Ключевые слова: моделирование, ток утечки, КМОП, ПЛИС, память.

1. Введение

Перед разработчиками современных КМОП микросхем высокой степени интеграции с технологическими нормами менее 100 нм возникает проблема увеличения статического тока потребления [1, 2].

Эта проблема вызвана возрастанием токов утечки при уменьшении технологических норм [3]. Статический ток утечки может существенно возрасти при использовании микросхемы в условиях воздействия ионизирующего излучения.

Примерами агрессивных для электронных компонентов радиационных сред могут быть космос или высокоэнергетические физические эксперименты [4]. Разработчикам необходимо учитывать влияние ионизирующего излучения на параметры интегральных схем на стадии проектирования. Для этого требуются встраиваемые в САПР компактные модели процессов радиационно-индуцированной деградации параметров микросхемы.

На данный момент не существует компактной физической модели, позволяяющей описывать радиационно-индуцированное возрастание токов утечки в современных КМОП микросхемах. В этой работе мы демонстрируем модель токов утечки под толстым окислом изоляции в КМОП технологии.

Данная модель позволяет описывать радиационно-индуцированные токи утечки в микросхемах различных типов, например, в схемах ПЛИС и статической памяти.



Рис. 1. Виды токов утечки в современных КМОП микросхемах: 1 — ток утечки между истоком и стоком транзистора; 2 — ток утечки под толстым окислом изоляции

Статический ток потребления состоит из двух слагаемых: внутренних токов утечки между истоком и стоком каждого транзистора и токов утечки под окислом узкощелевой изоляции (STI) (Рис. 1).

В работах [5, 6] при оценке величины токов утечки микросхем ПЛИС рассматривается только влияние внутренних токов утечки транзистора. Однако, некоторые эксперименты [7, 8, 9] указывают на отсутствие зависимости величины токов от количества затворов, утечки И, следовательно, на значительный вклад утечек под STI в общий статический ток потребления. Утечки под толстым окислом изоляции вызваны инверсией типа проводимости в р-подложке под толстым окислом. В силу того, что изоляция пространство заполняет все между транзисторами, ток утечки под окислом имеет глобальный характер и его изменение есть результат радиационного отклика всей микросхемы как целого.

2. Модель тока утечки

Представленный в этой работе метод оценки величины статического тока потребления основан на моделировании возникновения паразитного канала вдоль границы раздела окисел изоляции–подложка при накоплении радиационно-индуцированного заряда в окисле.

Из условия электрической нейтральности между положительным зарядом в окисле N_{ox} и отрицательным зарядом в р-подложке N_s было получено выражение для поверхностного потенциала как функции заряда в окисле в случае отсутствия над окислом затвора:

$$\varphi_S = \varphi_T a^2 - \varphi_T W_L \left[\frac{n_i^2}{N_A^2} e^{a^2} \right], \qquad (1)$$

где φ_T – термический потенциал, $a \equiv N_{ox}/N_A L_D$, N_{ox} – концентрация радиационно-индуцированного заряда в окисле, N_A – степень легирования рподложки, L_D – длина Дебая, W_L – функция Ламберта[10], n_i – собственная концентрация носителей в кремнии.

На Рис. 2 показан результат моделирования поверхностного потенциала как функции заряда в окисле STI при различных уровнях легирования подложки.



Рис. 2. Поверхностный потенциал как функция заряда в окисле при различных уровнях легирования р-подложки. (A) $N_A = 10^{15}$ см⁻³, (B) $N_A = 10^{16}$ см⁻³, (C) $N_A = 10^{17}$ см⁻³, толщина окисла $d_{ox} = 500$ нм

Изменение поверхностного потенциала приводит к возникновению канала паразитного транзистора. Величина тока через паразитный транзистор вычислена в рамках диффузиионно-дрейфовой модели тока стока [11].



Рис. 3 Ток утечки как функция накопленной дозы при различных эффективностях захвата заряда на ловушки в линейном (а) и логарифмическом (б) масштабах. (А) $F_{ot} = 0.04$, (В) $F_{ot} = 0.03$, (С) $F_{ot} = 0.02$. Параметры модели: W/L = 1, $d_{ox} = 500$ нм, $\mu_0 = 300$ см²/(В×с), $\eta_{eff} = 0.5$, $N_A = 3 \times 10^{15}$ см⁻³, P = 100 рад(Si)/с

Возрастание тока потребления при увеличении температуры является одной из важнейших проблем в современных микросхемах с высокой степенью интеграции. На Рис. 4 показаны дозовые зависимости тока утечки при различных температурах.



Рис. 4. Ток утечки как функция накопленной дозы при различных рабочих температурах в линейном (а) и логарифмическом (б) масштабах. Параметры модели: *W/L* = 1, $d_{ox} = 500$ нм, $\mu_0 = 300$ см²/(B×c), $\eta_{eff} = 0.5$, $N_A = 3 \times 10^{15}$ см⁻³, P = 100 рад(Si)/c

Из приведенных графиков видно, что характер температурный зависимости тока утечки при высоких дозах меняется на противоположный. Это вызвано температурной деградацией подвижности электронов в канале паразитного транзистора.

3. Результаты моделирования

Предложенная модель была использована для описания дозовых зависимостей статического тока потребления для нескольких микросхем различных типов.

Цифровые микросхемы ПЛИС и статической памяти широко применяются в аппаратуре для космоса, физических экспериментов и атомных электростанций, поэтому радиационный отклик схем этих типов представляет интерес для разработчиков.



Рис. 5 Результат моделирования изменения тока потребления ПЛИС XLFPGA в ходе облучения. Параметры модели: $F_{ot} = 0.043$, $W_{eff} = 3.2 \times 10^4$ мкм, $N_A = 5.5 \times 10^{15}$ см⁻³, $t_I = 10^{-1}$ с, $d_{ox} = 500$ нм. Эксп. данные из [4].



Рис. 6 Результат моделирования изменения тока потребления SRAMCY62256N в ходе облучения. Параметры модели: $F_{ot} = 0.035$, $W_{eff} = 4 \times 10^4$ мкм, $N_A = 10^{15}$ см⁻³, $t_I = 10^{-1}$ с, $d_{ox} = 500$ нм. Эксп. данные из [12]



Рис. 7 Результат моделирования изменения тока потребления ПЛИС XQVR300 в ходе облучения. Параметры модели: $F_{ot} = 0.02$, $W_{eff} = 3 \times 10^4$ мкм, $N_A = 5 \times 10^{15}$ см⁻³, $t_I = 10^{-1}$ с, $d_{ox} = 500$ нм. Эксп. данные из [13].

Как видно из приведенных на Рис. 5-7 ПЛИС данных, микросхемы еще ло облучения демонстрируют относительно высокий теневой ток статического потребления (~ 100 мА). Во время облучения этот ток может возрасти в несколько раз в индуцированного результате накопления STI. заряда В окисле Микросхема статической памяти CY62256 также характеризуется существенным изменением тока потребления в ходе облучения. Насыщение подпороговой характеристики статического тока потребления при дозах на ~10 крад указывает накопление радиационно-индуцированного заряда в толстом окисле. Зависимость тока потребления от дозы напоминает вольтамперную характеристику, причем доза играет роль эффективного напряжения на затворе. Глобальный характер возникновения тока утечки под STI предполагает, что отклик микросхемы эквивалентен радиационному отклику транзистора с топстым подзатворным окислом и эффективной шириной канала порядка линейных размеров интегральной схемы.

4. Заключение

Предложена модель изменения токов утечки в КМОП микросхемах в результате накопления радиационно-индуцированного заряда в толстом окисле изоляции. Модель апробирована на экспериментальных данных для нескольких КМОП микросхем. Возможность описания радиационного отклика всей интегральный схемы в рамках простой физической модели эквивалентного паразитного транзистора толстым с подзатворным окислом подтверждает STI на существенное влияние окисла радиационную стойкость устройства.

The simulation of static radiation-induced leakage current in complex CMOS circuits

M.G. Drosdetsky, V.V. Orlov, G.I. Zebrev

Abstract: In this work we propose the model of the radiation-induced leakage current increase due to oxide trapped charge buildup underneath the thick isolation oxide. Prosed model is validated on wide range of different CMOS devices.

Keywords: simulation, leakage, CMOS, FPGA, static RAM.

Литература

- [1] D. Curd, "Power Consumption in 65 nm FPGAs," Xilinx Virtex-5 white paper 246, Feb. 2007.
- [2] S. G. Narendra, A. Chandrakasan (Eds.), Leakage in Nanometer CMOS Technologies, Springer-Science, USA, 2006.
- [3] N. S. Kim et al., "Leakage current: Moore's law meets static power," in Computer, vol. 36, no. 12, pp. 68-75, Dec. 2003.
- [4] N.J.Buchanan, D.M.Gingrich, P.W.Green & D.M.MacQueen, "Total Ionizing Dose Effects on Xilinx FPGA", ATL-LARG-99-003, 28 Jan 1999.
- [5] A. Kumar and M. Anis, "An analytical state dependent leakage power model for FPGAs," Proceedings of the Design Automation & Test in Europe Conference, Munich, 2006, pp. 6
- [6] M. Klein, "Static Power and the Importance of Realistic Junction Temperature Analysis," Xilinx Virtex-4 white paper 221, Mar. 2005.
- [7] A H. Johnston, R T. Swimm, G R. Allen, et al., "Total dose effects in CMOS trench isolation regions," *IEEE Trans Nucl Sci*, Vol. 56, No. 4, Aug. 2009, pp. 1941-1949.
- [8] Ding Lili, Guo Hongxia, Chen Wei, Fan Ruyu, "Study of radiation-induced leakage current between adjacent devices in a CMOS integrated circuit," *Journal of Semiconductors*, Vol. 33, No.6, pp. 064006, 2012.
- [9] H. J. Barnaby, M. McLain, I. S. Esqueda, "Total-ionizing-dose effects on isolation oxides in modern CMOS technologies," *Nuclear Instruments and Methods in Physics Research*, B 261, pp. 1142–1145, 2007.
- [10] Л.Н.Кессаринский, Д.В.Бойченко, А.В.Уланова и др. Результаты сравнительных исследований дозовых эффектов с использованием источников гамма и рентгеновского излучений //Радиационная стойкость электронных систем – «Стойкость-2013», выпуск 16, Москва 2013.
- [11]G. I. Zebrev et al., "Microdose Induced Drain Leakage Effects in Power Trench MOSFETs: Experiment and Modeling," *IEEE Trans. Nucl. Sci.*, Vol. 61, No. 4, pp. 1575-1582, Aug. 2014.
- [12] Lambert W-Function // WolframMathWorld URL: http://mathworld.wolfram.com/LambertW-Function.html/ (дата обращения 12.04.2017)
- [13] J. Fabula, H. Bogrow, "Total Ionizing Dose Performance of SRAM-based FPGAs and supporting PROMs, "Proc. 3rd Annual Conf. on Military and Aerospace Programmable Logic Devices (MAPLD) p C2.

Программа расчёта частоты одиночных сбоев от ТЗЧ космического пространства

А.М. Галимов¹, Р.М. Галимова², И.В.Елушов³, Е.В.Мрозовская⁴, Г.И. Зебрев⁵

1,3.4,5 НИЯУ МИФИ, Москва, Россия,

²Казанский (Приволжский) федеральный университет, Казань, Россия,

E-mail's: ¹ farmat913144@gmail.com, ²r4510@mail.ru, ⁵gizebrev@mephi.ru

Аннотация: В работе рассмотрены функциональные возможности программы расчета частоты одиночных сбоев от ТЗЧ космического пространства PRIVET-2. Процедура расчета программы основана на новой компактной модели. Преимуществом программы является однозначность результатов расчетов.

Ключевые слова: одиночные сбои, частота сбоев, ТЗЧ, PRIVET-2.

1. Введение

Прогнозирование частот одиночных сбоев микросхем памяти остается актуальной проблемой. Увеличение степени интеграции цифровых микросхем изменило характер одиночных сбоев от ТЗЧ, особенно в коммерческих микросхемах космического применения типа COTS (commercial off-the-shelf). Уменьшение размеров элементов памяти до характерных поперечных размеров треков ТЗЧ увеличивает долю множественных сбоев, что в свою очередь вызывает проблемы при прогнозировании частот «мягких» сбоев традиционными метолами. (SER) Это увеличением обусловлено степени интеграции интегральных микросхем и, как следствие, увеличением доли множественных сбоев. В работах [1, 2] показано, что расчет SER в современных микросхемах памяти методом IRPP сильно затруднен неоднозначностью входных параметров: параметров аппроксимации Вейбулла и размеров чувствительных областей сбоев. Большое количество плохо определенных параметров приводит к значительным ошибкам в прогнозировании SER.

Нами предложен альтернативный подход к расчету частот сбоев от ТЗЧ [3], основанный на упрощенной процедуре характеризации экспериментальных данных. Вместо функции Вейбулла в новом подходе используется линейная аппроксимация экспериментальных данных сечения от линейной потери энергии (ЛПЭ). Процедура расчета не требует введения плохо определенных параметров И выдает однозначный результат. Верификация нового подхода проведена путем сравнения

расчетных частот сбоев с реальными полетными данными.

Процедура расчета SER была запрограммирована на языке C++ и оформлена в виде программного инструмента PRIVET-2. В данной работе представлены ключевые функциональные возможности PRIVET-2.

2. Расчет частоты сбоев

Расчет SER на заданной орбите в программе PRIVET-2 производится по определению частоты сбоев - как свертка аппроксимированной функции $\sigma(\Lambda)$ с дифференциальным ЛПЭ спектром T3Ч $\phi(\Lambda)$ на орбите:

$$SER = \int_{\Lambda_C} \sigma(\Lambda) \phi(\Lambda) d\Lambda .$$
 (1)

Зависимость $\sigma(\Lambda)$ в надпороговом участке апроксимируется $\Lambda > \Lambda_c$ линейной $\sigma(\Lambda) \cong K_d(\Lambda - \Lambda_c).$ функцией Таким образом, для расчета SER в PRIVET-2 необходимо определить параметры линейной аппроксимации И выбрать дифференциальный спектр ТЗЧ на заданной орбите.

На рисунке 1 представлен пользовательский интерфейс программы. На первом шаге программа рассчитывает параметры K_d и Λ_c . Для этого пользователю необходимо задать экспериментальные точки $\sigma(\Lambda)$, которые можно выбрать из текстового файла или задать вручную в табличном виде. На втором шаге необходимо указать файл с дифференциальным спектром ТЗЧ, полученным в OMERE (CRÈME) или Косрад. Для сравнительного расчета можно выбрать встроенные в программу спектры ТЗЧ ГКЛ основных орбит (GEO,GTO,LEO и т.д.) для солнечного минимума 1996 года. Программа численно производит свертку аппроксимированной прямой сечения со спектром ТЗЧ и выводит результат вычислений.

σ(Λ)	2. Cho OI Choose LET	AND A CALL AND
	/Galin	GEO_1996.let vowProgram_v1.3/LET_GEO_1996.let Select
.524e-08	mg/MeV	
.127	MeV cm ² /mg	Calculate
.568e-06	Bit ⁻¹ Day ⁻¹	Calculate
	.524e-08 .127 .568e-06	.524e-08 mg/MeV .127 MeV cm²/mg .568e-06 Bit ⁻¹ Day ⁻¹

Рис. 1. Пользовательский интерфейс программы PRIVET-2

Адекватность результатов расчетов PRIVET-2 проверена сравнением с полетными данными Boatella [4] и Falguere [5], а также с результатами расчета методом IRPP. В частности, проведено сравнение полетных данных [4] с расчетными значениями интенсивностей сбоев для

микросхем памяти проектной нормы 0,5 мкм HM628512 и KM684000 миссии SAC-C. На рис. 2 изображены экспериментальные зависимости $\sigma(\Lambda)$ данных микросхем аппроксимированные линейной функцией.



Рис. 2. Линейная аппроксимация экспериментальных данных сечения от ЛПЭ для двух микросхем 4Mbit SRAM: a – HM628512; б – the KM684000. Параметры аппроксимации: a – $K_d = 9,3 \cdot 10^{-9}$ мг/МэВ; $\Lambda_C = 1,3$ МэВ·см²/мг; б – $K_d = 1,2 \cdot 10^{-8}$ мг/МэВ; $\Lambda_C = 0,78$ МэВ·см²/мг.

Расчет частот сбоев методом IRPP проводился для трех значений параметра глубины чувствительной области z.

Результаты сравнения частот сбоев представлены на рис. 3.



Рис. 3. Сравнение полетных и расчетных интенсивностей сбоев для двух микросхем памяти: а – HM628512; б – KM684000.

Как видно из рис. 3, полученные результаты расчетов в PRIVET-2 не уступают в точности стандартному методу расчета IRPP. Преимуществом PRIVET-2 перед методом IRPP является однозначность результатов расчетов SER.

3. Параметрический анализ результатов расчета

Для анализа полученных результатов расчета в PRIVET-2 добавлена возможность оценки чувствительности величины SER к изменению параметров аппроксимации K_d и

 Λ_c для заданного ЛПЭ-спектра.

Программа позволяет рассчитывать SER в небольшой окрестности значений параметров K_d и Λ_C , и выдает результаты расчета в виде таблицы (рис. 4).

Простая процедура расчета PRIVET-2 позволяет оперативно проводить анализ расчетов SER. Например, было определено, что из-за сильно спадающей функции дифференциального ЛПЭ спектра $\varphi(\Lambda)$ вклад в частоту сбоев от разных участков спектра может отличаться на порядки. Показано [6], что частицы с высоким ЛПЭ вносят пренебрежимо малый вклад в суммарную частоту сбоев коммерческих микросхем из-за очень низкой вероятности попадания в корпус микросхемы. Для определения количественного границ актуальной области ЛПЭ-спектра рассчитана универсальная характеристическая кривая. Кривая определяет верхнюю границу Λ_{lim} области ЛПЭ спектра, в которой происходит 95% всех сбоев. Данная кривая изображена на рис. 5.

Number of points K_d 4					The Increment 5 %				
Number of points Λ_c 4					The Incre	ment 5	Calculate		
	Kd-20%	Kd-15%	Kd-10%	Kd-5%	Kd	Kd+5%	Kd+10%	Kd+15%	Kd+20%
∧c-20%	1.68e-06	1.79e-06	1.89e-06	2.00e-06	2.11e-06	2.21e-06	2.32e-06	2.42e-06	2.53e-06
∧c-15%	1.57e-06	1.67e-06	1.76e-06	1.86e-06	1.96e-06	2.06e-06	2.16e-06	2.25e-06	2.35e-06
Λc-10%	1.46e-06	1.55e-06	1.64e-06	1.73e-06	1.82e-06	1.91e-06	2.00e-06	2.09e-06	2.19e-06
Λc-5%	1.35e-06	1.44e-06	1.52e-06	1.61e-06	1.69e-06	1.78e-06	1.86e-06	1.94e-06	2.03e-06
Λc	1.25e-06	1.33e-06	1.41e-06	1.49e-06	1.57e-06	1.65e-06	1.72e-06	1.80e-06	1.88e-06
Λc+5%	1.16e-06	1.24e-06	1.31e-06	1.38e-06	1.45e-06	1.53e-06	1.60e-06	1.67e-06	1.75e-06
∧c+10%	1.09e-06	1.15e-06	1.22e-06	1.29e-06	1.36e-06	1.42e-06	1.49e-06	1.56e-06	1.63e-06
Λc+15%	1.02e-06	1.08e-06	1.15e-06	1.21e-06	1.27e-06	1.34e-06	1.40e-06	1.47e-06	1.53e-06
Ac+20%	9.63e-07	1.02e-06	1.08e-06	1.14e-06	1.20e-06	1.26e-06	1.32e-06	1.38e-06	1.44e-06

Рис. 4. Результаты параметрического анализа расчета SER в PRIVET-2



Рис. 5. Зависимость верхней границы ЛПЭ-спектра от критического ЛПЭ Λ_{C}

Из рис. 4 видно, что ЛЛЯ коммерческих микросхем с Λ_c меньшим 25 МэВ см²/ мг актуальная область сбоев спектра с ЛПЭ менее 30 МэВ см²/ мг. Поэтому экспериментальные точки сечения, полученные при ЛПЭ более 30 МэВ см²/ мг, не являются информативными с точки зрения расчета SER коммерческих микросхем. Более того, их учет при аппроксимации $\sigma(\Lambda)$ может привести к ошибкам в расчете.

Обратная ситуация наблюдается в радиационно-стойких микросхемах, имеющих высокий Λ_c . В данном случае вклад в частоту сбоев вносит именно участок спектра с высокими ЛПЭ.

Важно, что полученная на рис. 4 кривая не зависит от параметра K_d , от выбора орбиты и толщины конструктивной защиты, то есть является универсальной.

При расчетах SER в программе PRIVET-2 рекомендуется руководствоваться данной характеристической кривой.

Выводы

В работе проведен обзор функциональных возможностей программы расчета частот сбоев PRIVET-2. Результаты расчета программы проверены сравнением с расчетами по методу IRPP и полетными данными бортовых микросхем HM628512 и KM684000.

Простая процедура вычислений PRIVET-2 позволяет оперативно проводить параметрический анализ расчетов SER. В частности, определена оптимальная область сбоев ЛПЭ-спектра для коммерческих и радиационно-стойких микросхем.

Heavy ions induced soft error rate calculation tool

A.M. Galimov, R.M. Galimova, I.V.Elushov, E.V.Mrozovskaya, G.I Zebrev

Abstract: Based on a new compact model of soft error rate calculation the functionality of the developed tool PRIVET-2 has been considered. The calculation procedure has no ambiguous parameters and results in the single-valued upset rate.

Keywords: single event upsets, soft error rate, heavy ions, PRIVET-2.

Литература

1. Г.И. Зебрев, К.С. Земцов. Компактная модель оценки интенсивности сбоев в условиях космического пространства. // ВАНТ, В.4, 2015, стр. 38-42.

2. A.M. Galimov, I. V. Elushov, G. I. Zebrev. A simple calculation method for heavy ion induced soft error rate in space environment. // Proc. SPIE 10224, International Conference on Micro- and Nano-Electronics 2016

3. G. I. Zebrev and A. M. Galimov. Compact Modeling and Simulation of Heavy Ion Induced Soft Error Rate in Space Environment: Principles and Validation. // To be published in *IEEE Trans. Nucl. Sci.*, Vol. 64, No. 4, Aug. 2017, available at ieeexplore.ieee.org.

4. C. Boatella, G. Hubert, R. Ecoffet, and F. Bezerra. ICARE on-board SAC-C: More than 8 years of SEU&MBU, analysis and prediction. *// IEEE Trans. Nucl. Sci.*, Vol. 57, No. 4, pp. 2000-2009, Aug. 2010. 5. D. Falguere, D. Boscher, T. Nuns, S. Duzellier, S. Bourdarie, R.Ecoffet, S. Barde, J. Cueto, C. Alonzo, and C. Hoffman. In-flight observations of the radiation environment and its effects on devices in the SAC-C polar orbit. *// IEEE Trans. Nucl. Sci.*, Vol. 49, No. 6, pp. 2782–2787, Dec. 2002.

6. А. М. Галимов, Е.В.Мрозовская, И.В.Жиленков, Р.М.Галимова, Г.И.Зебрев. Параметрический анализ расчетов интенсивности сбоев в условиях космического пространства. // ВАНТ, В.1, 2017.

Схемотехнические методы обеспечения стойкости источников опорного напряжения к полной поглощенной дозе излучения

В.Е Шунков¹, О.Н. Кусь², В.Ю. Прокопьев³, А.Е. Назаренко⁴, В.А. Бутузов⁵, Ю.И. Бочаров⁶

^{1,2} ООО "ОКБ Пятое Поколение", Новосибирск, Россия, ^{3,4} ООО "Мегарад", Новосибирск, Россия, ^{5,6} НИЯУ МИФИ, Москва, Россия, E-mail: ^{1,2,3,4,5,6} shunkov@5okb.ru

Аннотация: Рассмотрены схемотехнические методы повышения дозовой стойкости источников опорного напряжения, показаны возможности распространения этих методов на другие классы аналоговых схем.

Ключевые слова: источник опорного напряжения, радиационная стойкость, радиационностойкое проектирование, запрещенная зона

1. Введение

Источник опорного напряжения (ИОН) микро-электронных важный компонент систем, работающих с аналоговыми сигналами, в том числе систем с аналогоцифровыми цифро-аналоговыми И преобразователями И систем генерации вторичного электропитания, определяющий точность работы системы.

Радиационностойкое проектирование аналоговых проработано схем слабо теоретически и, в основном, сводится к применению известных топологических методов и частных решений для отдельных схем. В силу популярности и важности ИОН, повышения радиационной их методы стойкости проработаны существенно лучше, чем у других классов аналоговых схем; кроме того, ИОН содержит такие популярные "строительные блоки" аналоговых схем, как операционный усилитель (ОУ), зеркала и источники тока и т.д., поэтому анализ и обобщение методов повышения радиационной стойкости ИОН представляют не только практический, но и теоретический интерес.

2. Деградация ИОН

Наиболее популярная на сегодняшний день разновидность источников опорного напряжения - схемы, основанные на компенсации напряжений с отрицательным и положительным температурным коэффициентом напряжения (ТКН), также называемые источниками напряжения, равного ширине запрещенной зоны кремния (Bandgap voltage reference).

Принципиальная схема одного из вариантов такого ИОН показана на рисунке 1.



Рисунок 1. Принципиальная схема ИОН [1].

В литературе показано, что основные источники дозовой деградации параметров ИОН - это деградация параметров элементов, радиационно-индуцированное усиление рассогласования согласованных элементов и утечки в элементах с отрицательным температурным коэффициентом напряжения (ТКН) [1, 2], что позволяет структурировать методы повышения радиационной стойкости ИОН по следующим типам:

- Методы парирования деградации элементов с отрицательным ТКН;
- Методы парирования эффектов дозовой деградации элементов;
- Методы парирования радиационноиндуцированного усиления рассогласования элементов.

Анализ чувствительности схемы к значению и разбросу параметров элементов позволяет оптимизировать процесс разработки выбора схемы за счет оптимальных решений схемотехнических И методов повышения стойкости.

3. Парирование деградации элементов с отрицательным ТКН

В качестве элементов с отрицательным ТКН обычно используются диоды или диодно включенные вертикальные pnp-транзисторы. Накопление полной поглощенной дозы излучения вызывает образование проводящего канала параллельно контактам диода, что приводит к дисбалансу токов и нарушению функционирования ИОН. Подавление этого эффекта возможно с помощью компенсации базовых токов биполярных транзисторов [2], при использовании вариантов диодов, топологически разделяющих толстый оксид и диодную структуру (диоды с затвором или МОП-транзисторы с динамически изменяяющимся пороговым напряжением) [3] или при использовании альтернативных схем генерации тока или напряжения с отрицательным температурным коэффициентом [4].



Рисунок 2. Схема компенсации базового тока

На рисунке 2 показана схема коррекции избыточного базового тока ИОН с биполярными транзисторами, нивелирующая утечку при помощи отвода базового тока через схему компенсации, что позволяет избавиться от дозовой зависимости тока через биполярный транзистор.

Основными преимуществами такого подхода являются использование только стандартных хорошо характеризованных элементов и независимость выходного напряжения ИОН от дозового изменения порогового напряжения МОП-транзисторов.



Рисунок 3. Типовая схема ИОН с DTMOST

На рисунке 3 показана схема ИОН с МОП-транзисторами с динамически изменяяющимся напряжением пороговым (DTMOST) качестве в элементов c Рабочий отрицательным ТКН. режим DTMOST сходен с рабочим режимом транзистора в слабой инверсии, причем пороговое напряжение управляется напряжением на затворе транзистора. В итоге такое включение транзистора позволяет добиться практически идеальной диодной характеристики с температурным коэффициентом приблизительно -1 мВ/ .

В р-канальном МОП-транзисторе отсутствуют утечки, что позволяет избавиться от одной из основных причин дозовой деградации ИОН.

Основное достоинство использования DMOST - простота применяемых схемотехнических решений, основные недостатки — возможность некорректной работы из-за плохой характеризации транзисторов в нестандартном режиме работы и дозовая деградация уровня выходного напряжения из-за сдвига порога DTMOST.



Рисунок 4. Схема генерации тока, зависящего от разницы порогов двух транзисторов

На рисунке 4 показана схема, реализующая третий вариант генерации напряжения с отрицательным ТКН, основанный на разнице пороговых напряжений транзисторов М1 и М2 с разной геометрией. но одинаковым соотношением W/L. Дозовая деградация напряжения порогового В первом приближении не зависит от геометрии транзистора, что позволяет считать разницу порогов двух транзисторов инвариантной по дозе и исключить один из основных факторов дозовой деградации ИОН.

4. Парирование усиления разброса параметров

Технологический разброс параметров элементов может усиливаться при воздействии полной поглощенной дозы из-за эффекта радиационно-индуцированного усиления разброса параметров [5]. Для парирования эффекта радиационно-индуцированного усиления разброса параметров применяются те же методы, что и для борьбы с разбросом параметров, вызванным другими факторами, механическим стрессом например, при корпусировании микросхем.

Помимо стандартных топологических методов, таких как симметричные согласованные топологии массивов транзисторов, применяются различные варианты компенсации или подстройки параметров. Особенное внимание уделяется компенсации роста напряжения смещения операционных усилителей, которых в типичном ИОН от одного до трех (пререгулятор, ядро, выходной буфер).

В [1] представлен пример переработки типовой электрической схемы ядра ИОН для исключения подверженного разбросу параметров зеркала тока.



Рисунок 5. Схема ИОН без задающего зеркала тока.

В схеме на рисунке 5 разная плотность DTMOST достигается токов в без использования зеркала тока, с использованием одинаковых транзисторов И резисторов разного номинала, которые обычно имеют большие геометрические размеры, чем транзисторы токового зеркала, вследствие чего можно добиться меньшей относительной погрешности при согласовании.



Рисунок 6. Выходной каскад, позволяющий переиспользовать ОУ ядра ИОН в качестве выходного буфера.

Еще один пример переработки схемы, уменьшающей количество чувствительных элементов (в данном случае операционных усилителей) представлен на рисунке 6 Подобные схемы применяются в ИОН коммерческих для уменьшения погрешностей, но они также подходят для уменьшения влияния воздействия ионизирующего излучения.

Представленный на рисунке усилитель одновременно выполняет функции усилителя ошибки ядра ИОН, пререгулятора (так как первый каскад питается от выходного напряжения) и выходного буфера.

Все описанные выше методы снижения влияния разброса параметров на функционирование ИОН — статические. Существуют также динамические методы снижения влияния разброса параметров, к которым можно отнести усреднение выходного сигнала [1] или активную коррекцию смещения нуля [6] (часто применяемое в компараторах и в схемах на переключаемых конденсаторах).

Пример схемы динамической компенсации усиления разброса параметров показан в [1].



Рисунок 7. Схема динамической компенсации разброса параметров ИОН.

Приведенная выше схема, позволяющая отказаться от зеркала тока, лополнена ключевыми схемами, меняющими местами плечи схемы (DTMOS в этой реализации одинакового размера) и входные транзисторы ОУ. Эти схемы позволяют менять знак напряжения смещения нуля ОУ и менять местами DTMOS. Если на выход схемы ИОН фильтр низкой поставить частоты. настроенный на более низкую частоту, чем тактовая частота схем коррекции, то отфильтрованный выходной сигнал будет существенно ближе к идеальному значению, чем у ИОН без коррекции (в [1] получен сдвиг ~10 мВ при дозе 1 Мрад(Si) против 180 мВ у схемы без коррекции).

Важным достоинством динамических методов коррекции является то, что их влияние на работу схемы изменяется с дозой излучения, что позволяет не только обеспечить более высокую радиационную стойкость, но и стабилизировать параметры схемы в широком диапазоне доз излучения.

5. Экспериментальные данные

Для проверки эффективности представленных методов повышения радиационной стойкости ИОН разработан ряд тестовых структур, реализующих на базе объемной технологии с проектными нормами 180 нм различные наборы методов повышения радиационной стойкости, в том числе ядро ИОН с МОП-транзисторами с динамически изменяющимся пороговым напряжением и ИОН с генератором тока на разности пороговых напряжений транзисторов.



На рисунке 8 показаны примеры температурной зависимости выходного напряжения ИОН с DTMOST для двух разных образцов. Видимая разнице в наклоне параболической характеристики объясняется тем, что производная разности напряжений DTMOST с разной плотностью тока существенно меняется в зависимости от температуры, геометрии DTMOST. плотностей токов и разброса параметров, что затрудняет несколько проектирование подобных ИОН и требует тщательного выбора геометрии приборов.



Рисунок 9. Дозовый сдвиг выходного напряженияИОН с DTMOST по результатам моделирования(синяя кривая) и эксперимента (красная кривая).

Ha рисунке 9 показана дозовая зависимость выходного напряжения ИОН температуре. при комнатной Виден относительно небольшой слвиг значения. позволяюший использовать ИОН лпя целевых задач работ в составе источников питания космического применения, а также хорошее соответствие достаточно экспериментальных результатов И моделирования.

Был спроектирован и изготовлен ИОН с токовым генератором на основе разницы пороговых напряжения транзисторов, функцииональные испытания подтвердили его работоспособность, радиационные испытания на текущий момент еще не завершены.

6. Распространение методов на другие типы схем

Рассмотренные методы повышения радиационной стойкости ИОН также актуальны для других типов аналоговых схем, в частности, операционных усилителей, компараторов, линейных регуляторов. Ключевой момент при проектировании радиационно-стойких аналоговых схем - анализ схемотехники и определение наиболее чувствительных узлов с последующим выбором подходящих методов повышения стойкости. Этот процесс сложно формализуется в силу особенностей аналоговой схемотехники, где реализация очень сильно зависит от конкретных применений схемы. Тем не менее, для любых типов биполярных схем может быть актуальна активная компенсация избыточного базового тока, для низкочастотных схем - усреднение с фильтрованием, для тактируемых аналоговых схем, таких как компараторы и схемы на

переключаемых конденсаторах - коррекция смещения нуля. Рассмотренный в статье базис также может быть основой для создания библиотек радиационностойких аналоговых элементов и базовых блоков.

7. Выводы

Источник опорного напряжения — схема, имеющая важное практическое значение и являющаяся хорошим примером, на основе которого возможны обобщение и доработка методов повышения радиационной стойкости аналоговых схем, в настоящее слабо проработанных на время теоретическом Описанные уровне. И структурированные в работе основные методы повышения радиационной стойкости позволяют проектировать различные типы ИОН для широкого спектра применений, а применение также развивать методов повышения стойкости к другим типам аналоговых и аналого-цифровых схем.

Schematic Design Methods of Bandgap Voltage References Radiation Hardening Against Total Ionizing Dose

V.E Shunkov, O.N. Kus, V.Y. Prokopyev, A.E. Nazarenko, V.A. Butuzov, Y.I. Bocharov

Abstract: Design methods of bandgap voltage reference radiation hardening against total ionizing dose are described.

Keywords: bandgap voltage reference, radiation hardening by design, total ionizing dose

Литература

1. Radiation Hardening of Voltage References Using Chopper Stabilization /

K.J. Shetler, N.M. Atkinson, W.T. Holman, J.S. Kauppila // IEEE TNS, Vol. 62, No. 6, Dec. 2015

2. A 4.5 MGy TID-Tolerant CMOS Bandgap Reference Circuit Using a Dynamic Base Leakage Compensation Technique / Y.Cao, W. De Cock, M. Steyaert, P. Leroux // IEEE TNS Vol. 60, No. 4, August 2013

3. A Radiation Hard Bandgap Reference Circuit in a Standard 0.13 um CMOS Technology / V. Gromov, A.J. Annema, R. Kluit, J.L. Visschers // IEEE TNS, Vol. 54, No. 6, December 2007

4. Radiation-Hardening Technique for Voltage Reference Circuit in a Standard 130 nm CMOS Technology / Y. Piccin, H. Lapuyade, Y. Deval, C. Morche // IEEE TNS Vol. 61, No. 2, April 2014

5. Verilog-A Modeling of Radiation-Induced Mismatch Enhancement / M.S. Gorbunov, I.A. Danilov, G.I. Zebrev, P.N. Osipenko // IEEE TNS, Vol. 58, No. 3, June 2011. Интегральный многофазный преобразователь постоянного напряжения на переключаемых конденсаторах / В.Е. Шунков, О.Н. Кусь, В.Ю. Прокопьев, В.А. Бутузов // Датчики и системы. 2016, № 4 (202) <http://elibrary.ru/contents.asp?issueid 75119&selid%958132>. С. 15-20.

Обзор методов расчета вероятности возникновения многократных сбоев в комбинационных элементах и памятях СБИС при воздействии ТЗЧ

А.П. Скоробогатов

ФГУ ФНЦ НИИСИ РАН. Москва, Россия, E-mail: skorobog_a@cs.niisi.ras.ru

Аннотация: Представляется обзор современных методов расчета вероятности возникновения сбоев двойной и более кратности от одной тяжелой заряженной частицы. Предлагается метод оценки наиболее вероятных кратностей сбоев для комбинационных модулей СБИС.

Ключевые слова: одиночные эффекты, многократный сбой, тяжелая заряженная частица, чувствительная область, комбинационные элементы, логическое маскирование.

1. Введение

Наиболее вероятными событиями при воздействии ТЗЧ являются одиночные сбои [1]. Ионизационный ток элемента ИС при воздействии ТЗЧ в КМОП технологии определяется в большей степени диффузиионной компонентой [2] сбора заряда с трека ТЗЧ в чувствительной объеме полупроводника.

Наиболее часто рассматриваемыми моделями чувствительной области (ЧО) являются: модель тонкой области, модели прямоугольного параллелепипеда (RPP, IRPP), модель в виде цилиндра и модель точечной чувствительной области. Одиночный эффект возникает при накоплении заряда выше критического.

При разработке сбоеустойчивой системы на кристалле с элементами резервирования важной задачей является оценка эффективности применяемых решений в области размещения элементов и трассировки цепей сигналов и синхронизации. Данная задача может быть выражена в оценке частоты сбоев или в оценке зависимости сечения сбоев от ЛПЭ.

2. Обзор моделей чувствительной области

Модель прямоугольного параллелепипеда (rectangular parallelepiped, RPP) (рис. 1) чаще всего используется для прогнозирования одиночных эффектов от прямой ионизации тяжелыми ионами в космическом пространстве [3].

В данной модели частота сбоев *R* определяется выражением:

$$R = \frac{A}{4} \int_{l_{MN}}^{l_{MAX}} F(\frac{Qc}{l}) \mathbf{p}_c(l) dl, \qquad (1)$$

где A – площадь чувствительной области ИС, l_{MAX} и l_{MIN} – максимальная и минимальная длина хорд, F – интегральный флюенс как функция от критического заряда Q_c и длины трека l, p_c – вероятность появления хорд в заданном диапазоне длины как функция от длины трека [4]. Излучение в этой модели считается изотропным.



Рис. 1. Модель представления чувствительного объема ИС в виде прямоугольного параллелепипеда

Интегральная модель прямоугольного параллелепипеда (integral-rectangular parallelepiped, IRPP) является усовершенствованием модели RPP, сохраняющем все положения предыдущей, за исключением неодинаковости всех чувствительных объемов [5]. Также модель принимает во внимание плавный характер изменения сечений сбоя от значений ЛПЭ [6].

Несмотря на популярность, недостатками модели являются большое расхождение между размерами ЧО и размерами элементов СБИС, трудности с обоснованием многократных сбоев и пренебрежение эффектами, возникающими за пределами ЧО [7]. В рамках данной модели частота сбоев R может быть упрощенно представлена в виде выражения [6, 8, 9]:

$$R = \frac{K\sigma_L}{L_C^2},$$
 (2)

где K – коэффициент орбиты, σ_L – сечение насыщения, L_C – значение ЛПЭ, при котором сечение составляет 25 % от сечения насыщения.

В процессе испытаний на одиночные сбои удобно имитировать нормально падающие частицы с высоким ЛПЭ [10]. В этом случае частота сбоев *R* может быть выражена как:

$$R = \int_{L_{Z0}}^{L_{MAX}} \sigma_Z(\mathbf{L}_Z) \varphi(\mathbf{L}_Z) dL_Z , \quad (3)$$

где $\sigma_z(L_Z)$ – зависимость сечений сбоев от ЛПЭ, аппроксимируемая функцией Вейбулла или ступенчатой функцией [6], $\phi(L_Z)$ – дифференциальный спектр ЛПЭ. При прохождении ТЗЧ через тонкий прямоугольный параллелепипед под углом θ к нормали соберется в $1/\cos(\theta)$ раз больше заряда, чем при нормальном падении [11], эффективные значения ЛПЭ и сечения увеличатся по закону обратного косинуса угла θ. Частота сбоев будет определяться выражением:

$$R = \iint_{4\pi L} \varphi(\theta, \phi, L) \overline{\sigma}(\theta, \phi, L) dL d\Omega, \quad (4)$$

где $\varphi(\theta, \varphi, L)$ – направленно-спектральный дифференциальный флюенс, $\sigma(\theta, \varphi, L)$ – ожидаемое сечение сбоев. Формула обычно используется для значений θ от 0 до 60 град. или до предельного угла, называемого углом отсечки. Для определения наиболее критичного угла θ воздействия при регистрации многократных сбоев можно использовать соотношение [12]:

$$\tan \theta = \frac{l}{d}, \qquad (5)$$

где *l* и *d* – геометрические размеры чувствительного объема (длина и глубина соответственно). Для современных ИС модель применима для ограниченного класса изделий, например, изготовленных по КНИ технологии [13]. В случае современных малых элементов ИС закон обратного расчетов, косинуса непригоден для поскольку при угле падения в больше 45 град. происходит переоценка величины собираемого заряда [14].

Модель представления чувствиительного объема в виде цилиндра, по оси которого проходит трек частицы (рис. 2) предполагает наличие аксиальной симметрии распределения заряда относительно его оси [15]. При переходе в цилиндрическую систему координат это позволяет представлять задачу распределения заряда как двумерную.



Рис. 2. Модельное представление чувствительного объема в виде цилиндра

Глубина области сбора заряда определяется глубиной залегания стоковых *p-n* переходов; радиус области может быть получен моделированием [16] или определен экспериментально [17] и составляет единицы мкм.

Для оценки чувствительности ИС к многократным сбоям может быть использована модель сбора заряда точечной чувствительной областью (рис. 3).



Рис. 3. Модель точечной чувствительной области

Основное допущение модели базируется на предположении, что величина собранного заряда *Q* определяется из соотношения [18]:

$$Q = k_q \exp(-\frac{x}{l_c})(dz)L_Z, \qquad (6)$$

где k_q – коэффициент пропорциональности, х – расстояние между областью сбора заряда и треком частицы, l_c – эффективная дина сбора заряда, dz – малый участок трека, L_Z – ЛПЭ.

3. Многократные сбои в памятях

С увеличением степени интеграции повышается вероятность возникновения многократных сбоев (multiple bit upset, MBU). Обычно под видом многократных сбоев рассматривают сбои в топологически рядом расположенных элементах (multiple cell upset, MCU) [19-20], лежащих в чувствительной области. Одной из особенностей устройства большого числа памятей является их топологическое деление на строки (слова). Если в массиве, состоящем из отдельных бит, кратность сбоя определяется числом сбившихся ячеек, то при попадании частицы в ячейки одного слова можно говорить об однократном сбое [21].

Для определения вероятности возникновения сбоя определенной кратности в статических памятях и регистровых файлах наиболее целесообразно провести Монте-Карло моделирование воздействия ТЗЧ на топологию схемы [22]. Для упрощения задачи возможно проведение моделирования путем имитации воздействия ТЗЧ с заранее известными параметрами на топологию [23-24]. В этом случае можно оценить распределение сбоев по кратности, при условии, что каждое попадание частицы вызывает сбой.

Расчет числа сбоев *k* за один цикл чтения памяти может быть проведен согласно выражению [25-26]:

$$k \le \frac{E \cdot M \cdot N}{x} + 1, \tag{7}$$

где E – допустимая доля ложных многократных сбоев, M – число бит в слове, N – число адресов, x – максимальная кратность сбоев. При проведении эксперимента число сбоев N_{total} кратности k при условии распределения Пуассона может быть получено как [27]:

$$N_{total} = \frac{n_p^k e^{-k}}{k!} \frac{S_{block}}{S_{upset}} \frac{\Phi}{\varphi t_c}, \qquad (8)$$

где n_p – среднее число событий, S_{block} – площадь блока, S_{upset} – площадь сбоя, Φ – флюенс, φ – поток частиц, t_c – период цикла воздействия ионов.

Для оценки сбоеустойчивости часто применяют критерий частоты сбоев, основанный на зависимости сечения от ЛПЭ [28]. Подход к определению размера области сбора заряда заключается в использовании соотношения:

$$\sigma(L_Z) = \pi (r + r_S)^2, \qquad (9)$$

где $\sigma(L_Z)$ – зависимость сечений сбоев от ЛПЭ, r – радиус области сбора заряда, r_S – радиус (или линейный размер) чувствительной области. Введение размера чувствительной области в соотношение необходимо для перехода от модели точечной чувствительной области (где $r_S = 0$) к модели с конечным объемом.

Сечение многократных сбоев определяется площадью пересечений кругов радиуса *r* при определенном значении ЛПЭ [29]. Возникновение многократных сбоев

оценивается из условия касания двух соседних областей сбора заряда для ближайших чувствительных элементов. Для статической памяти минимальную дистанцию *d_{cell}* разнесения элементов можно определить, использую соотношение:

$$\frac{r_{crit}}{a} = \left[\frac{Q_{crit}}{Q} \left(\frac{d_{cell}}{a}\right)^2\right],$$
 (10)

где r_{crit} – радиус сбора заряда, a – линейный размер чувствительной области, Q_{crit} – критический заряд, Q – собранный заряд. В случае нормального падения частицы на поверхность кристалла на расстоянии r от центра чувствительной области, значение ЛПЭ $L_Z(r)$, необходимое для сбоя, будет определяться выражением [28]:

$$L_{Z}(r) = \frac{L_{Z0}l_{c}}{\int_{0}^{\infty} \exp\left(-\frac{\sqrt{r^{2} + z^{2}}}{l_{c}}\right) dz},$$
 (11)

где L_{Z0} – пороговое значение ЛПЭ (попадание частицы в центр чувствительной области), l_c – длина сбора заряда, z – длина трека ТЗЧ.

Вероятность сбоя Р_{SRAM} в блоке статической памяти также может быть определена с помощью расчета частоты сбоев [30]:

$$P_{SRAM} = \frac{R_{SRAM}}{R * K} = \frac{1}{R} (A_{d,p} + A_{d,n}) e^{-\frac{Q_c}{Q}}, (12)$$

где R_{SRAM} - частота сбоев для блока памяти, *R* – частота сбоев для выбранной модели области сбора заряда, К – коэффициент пропорциональности, $A_{d,p}$ и $A_{d,n}$ – площади стоков р- и п-канальных транзисторов соответственно, Q_C – критический заряд, Q – внесенный заряд. Такой подход является более точным, поскольку приближен к SPICE моделированию, однако при необходимости проведения моделирования с большим числом частиц и возможностью более грубой оценки числа сбоев предпочтителен более простой метод, основанный зависимости сечения сбоев от ЛПЭ. В качестве программ для расчета частоты сбоев можно привести GEANT4, CREME86 [31], COSRAD [32] и PRIVET [33].

Следует отметить, что традициионные методы анализа частоты сбоев предназначены для имитации статического SPICE моделирования схемы, однако при вариации техпроцесса имеют тенденцию к недооценке реальных значений частоты сбоев [34]. Для повышения корреляции с результатами SPICE моделирования может применяться статистический подход определения частоты сбоев, учитывающий вариацию для каждого узла схемы.

Данные о количестве сбоев от

одной частицы должны быть использованы для разнесения транзисторов при проектировании модулей статической памяти. Проведение моделирования падения частиц на топологию модуля позволяет дать оценку эффективности разнесения. Разработчику уровня синтеза блока при наличии компилятора памятей доступны опции повышения объема памяти (для реализации резервирования данных) или снижения плотности (разнесение ячеек хранения). Разработчику топологии при заказном проектировании доступны опции как разнесения на уровне транзисторов, так и введения дополнительной емкости для повышения сбоеустойчивости [35].

В отличие от статической памяти, частота сбоев в динамической памяти при уменьшении технологических норм снижается [36]. Это связано со стремлением сохранения емкости ячейки (и связанного с этим критического заряда) при уменьшении размеров элемента. Также важную роль играет необходимость периодической перезаписи данных для перезарядки внутренней емкости [37].

Перспективным направлением является использование встроенной флэшпамяти на кристалле для обработки данных [38]. Для оценки сбоеустойчивости может быть применен критерий, основанный на зависимости сечения от ЛПЭ. Несмотря на высокое значение пороговых ЛПЭ ионов для флэш-памяти [39], ТЗЧ с большой ЛПЭ вносят во флэш-память скрытые повреждения [40], после чего частицы с более низкой ЛПЭ могут вызвать короткое замыкание по плавающему затвору, что приведет к сбою.

4. Многократные сбои в комбинационных элементах

При воздействии ТЗЧ на элементы комбинационной логики часть сбоев обусловлена распространением «иголки» переходного процесса (SET) по логическим путям [41]. Условием распространения заряда по цепи является отсутствие затуха-ния и логического маскирования [42] (рис. 4).



Для определения вероятности логического маскирования предлагается два

подхода: определение на основе таблицы истинности и функциональное моделирование. Если считать активности переключения для логических элементов одинаковыми (все переключения элемента равновероятны), то вероятность прохода «иголки» переходного процесса можно определить с помощью таблицы истинности как отношение числа разрешающих комбинаций к общему числу комбинаций. Для определения реальной активности переклюючения элементов можно использовать функциональное моделирование, заклюючающееся в анализе поведения схемы с использованием нетлиста [43] или реалиизованной на ПЛИС [44] с помощью заранее подготовленных функциональных тестов, имитирующих работу СБИС в составе конечного изделия.

Для расчета вероятности возникновения сбоя необходимо вероятность возникновения и демаскирования SET умножить на вероятность захвата значения триггером [45], которую можно определить как отношение суммы необходимых времен установления и удержания сигнала (рис. 5) на входе триггера к периоду тактового сигнала. Необходимость удержания сигнала на входе триггера в течение определенного промежутка времени до и после прихода сигнала синхронизации обусловлена ненулевым откликом триггера [46] и устранением метастабильности [47].



Рис. 5. Времена установления и удержания сигнала на входе D-триггера

На основании определения вероятности захвата «иголки» переходного процесса тригтером можно показать, что вероятность захвата p_{capt} возрастает с ростом частоты f работы схемы:

$$p_{capt} = \frac{t_s + t_h}{T} = f(t_s + t_h),$$

$$f < \frac{1}{t_s + t_h},$$
(13)

где t_s и t_h – времена установления и удержания, T – период синхросигнала.

Условие на значение частоты соответствует корректной работе триггера.

Задача определения числа сбоев может быть разделена на две части: определение числа начальных сбоев в регистрах данных от одной частицы вследствие диффузионного процесса сбора заряда с трека ТЗЧ и определение числа удаленных регистров, логически связанных с элементами в области сбора заряда для моделирования распространения переходного процесса.

Для определения числа начальных сбоев применяется Монте-Карло моделирование падения частиц с известными ЛПЭ [22-24]. топологию схемы Число на сбившихся логических ячеек определяется согласно критерию зависимости сечения сбоев от ЛПЭ. Определение вероятности сбоев возникновения в массиве комбинационных элементов согласно критерию частоты сбоев производится по аналогии с формулой (12).

При проектировании сбоеустойчивых систем на кристалле, использующих троирование, данные об областях сбора заряда и кратности начальных сбоев в комбинационных элементах используются для топологического разнесения наиболее важных элементов и предотвращения сбоя в одновременно в двух и более каналах троированной схемы.

Для определения числа сбоев, вызванного распространением «иголки» переходного процесса необходимо определить число связанных с лежащими в области сбора заряда элементов, на входе которых не выполняется условие электрического маскирования [42]: создаваемое напряжение достаточно для переключения, и длительность импульса больше, чем время отклика элемента.

Для определения формы тока I(t) можно воспользоваться выражением [48]:

$$I_{SEU}(t) = \frac{Q}{(\tau_{\alpha} - \tau_{\beta})} \left(e^{-\frac{t}{\tau_{\alpha}}} - e^{-\frac{t}{\tau_{\beta}}} \right), (14)$$

где Q – собранный элементом заряд (определяется исходя из модели сбора заряда и топологии схемы), τ_{α} и τ_{β} – постоянные времени сбора заряда для *p-n* перехода и трека соответственно. Сопротивления элементов и пороговые напряжения берутся из описания элементов, используемых при проектировании схемы.

С точки зрения проектирования СБИС, данные о количестве сбоев, вызванных распространением переходного процесса через логические цепи, во-первых, дают возможность более реалистичной оценки возможного числа сбоев при выборе техпроцесса и конфигурации проектируемого блока (оценивается возможность вставки необходимого количества емкостных ячеек повышения сбоеустойчивости схемы), во-вторых, позволяют оценить риск распространения переходного процесса на логически независимые модули, использующие общие цепи синхронизации и сброса.

В качестве программы для расчета распространения переходного процесса можно привести MUSCA SEP, использующей для моделирования базы данных GEANT4 и TCAD [49], и ModLyng на основе SPICE моделирования [50].

Недостатком используемого метода расчета числа сбоев при распространении переходного процесса является достаточно грубая оценка вероятности логического демаскирования, определяемая исходя из таблицы истинности элементов, не учитывающая реальной активности схемы в различных режимах работы. Это может послужить причиной недооценки влияния переходного процесса, особенно для цепей сброса и синхронизации. Для устранения недостатка предлагается пересчет вероятностей логического демаскирования для критичных цепей и сигналов, являющихся логическими константами, а функционального также использование моделирования схемы выделением с сигналов необходимых элементов во всех режимах работы для более точной оценки.

Заключение

В данной статье рассмотрены методы расчета вероятности возникновения сбоев от ТЗЧ в памятях и комбинационных элементах СБИС для оценки эффективности размещения элементов и трассировки цепей сброса и синхронизации.

Предложен метод оценки вероятности логического демаскирования прохода переходного процесса на основе функционального моделирования схемы.

A review of methods for calculating the probability of multiple faults for combinational logic and memory cells under impact of heavy ions

A.P. Skorobogatov

Abstract: an overview of modern methods for calculating the probability of failure of double and more multiplicity from one heavy charged particle is presented. A method is proposed for estimating the most probable failure rates for combinational VLSI modules.

Keywords: single effect, multiple fault, heavy ion, sensitive volume, combinational cells, logical masking.

Литература

1. К.И. Таперо, В.Н. Улимов, А.М. Членов. Радиационные эффекты в кремниевых интегральных схемах космического применения. – М.:БИНОМ. Лаборатория знаний, 2012. – 304 с. 2. А.И. Чумаков. Действие космической радиации на ИС. – М.: Радио и связь. 2004. – 320 с.

3. E.L. Petersen, J.C. Pickel, E.C. Smith, P.J. Rudeck, J.R. Letaw. Geometrical factors in see rate calculations // IEEE Transactions on Nuclear Science, vol. 40, no. 6, pp. 1888–1909, Dec 1993 4. K.M. Warren. Sensitive Volume Models for Single Event Upset and Rate Prediction for Space, Atmospheric, and Terrestrial Radiation Environments. PhD Thesis, Vanderbilt University, Nashville, Tennessee, August 2010, p. 6

5. I.A. Daglis. Effects of Space Weather on Technology Infrastructure: Proceedings of the NATO ARW on Effects Space Weather on Technology Infrastructure, Rhodes, Greece, March 2003 // Springer Science & Business Media, 2006, p. 170

6. А.И. Чумаков, В.М. Ужегов, А.О. Ахметов, Д.В. Бойченко и др. Оценка показателей стойкости интегральных схем при воздействии тяжелых заряженных частиц с использованием различных моделей // Безопасность информационных технологий, 2017, № 1, С. 73-84

7. E. Petersen. Single Event Effects in Aerospace. John Wiley & Sons, 2011, pp. 429 – 434
8. E.L. Petersen, J.B. Langworthy, S.E. Diehl. Suggested Single Event Upset Figure of Merit // IEEE Transactions on Nuclear Science, Vol. NS-30, No. 6, December 1983, pp. 4533 – 4539

J.D. Cressler, H.A. Mantoolh. Extreme Environment Electronics // CRC Press, 2012, p. 115
 S. Duzellier, R. Ecoffet. Recent Trends in Single-Event Effects Ground Testing // IEEE Transactions on Nuclear Science, Vol. 43, No. 2, April 1996

11. L.W. Connell, P.J. McDaniel, A.K. Prinja, F.W. Sexton. Modeling the Heavy Ion Upset Cross Section // IEEE Transactions on Nuclear Science, Vol. 42, No. 2, April 1995

12. O. Musseaul, F. Gardic, P. Roche, T. Corbiere, et. al. Analysis of Multiple Bit Upsets (MBU) in a CMOS SRAM /// IEEE Transactions on Nuclear Science, Vol. 43, No. 6, December 1996, pp. 2879-2888 13. А.В. Яненко, А.И. Чумаков, А.А. Печенкин, Д.В. Савченков и др. Сравнительный анализ

испытаний электронной компонентной базы на стойкость к воздействию отдельных ядерных частиц на лазерных имитаторах и ускорителях ионов // Спецтехника и Связь, N_{2} 4-5, 2011, с. 4-7 14. P.E. Dodd, M.R. Shaneyfelt, F.W. Sexton. Charge Collection and SEU from Angled Ion Strikes // IEEE Transactions on Nuclear Science, Vol. 44, No. 6, December 1997

15. В.К. Зольников, И.П. Потапов, К.И. Таперо. Моделирование сбора заряда при воздействии тяжелых заряженных частиц в КМОП элементах микросхем // Проблемы разработки перспективных микро- и наноэлектронных схем. 2010. № 1. С. 275-278

16. Constrained Placement Methodology for Reducing SER under Single-Event-Induced Charge Sharing Effects / L. Entrena, A. Lindoso, E. S. Mill'an, S. Pagliarini et al. // Radiation and Its Effects on Components and Systems (RADECS), 2011 12th European Conference on

17. А.Б. Боруздина, Н.Г. Григорьев, А.В. Уланова. Влияние топологического размещения ячеек в микросхемах памяти на кратность сбоев от ТЗЧ // Микроэлектроника. - 2014. - Т. 43, № 2. - С. 88-93

18. А.И. Чумаков. Двухпараметрическая модель для оценки чувствительности СБИС к воздействию тяжелых заряженных частиц // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС), номер 4, 2016, С. 139-144

19. N. Batterzzati, L. Sterpone, M. Violante. Reconfigurable Field Programmable Gate Arrays for Mission-Critical Applications. Springer Science & Business Media, 2010, pp. 148-151

20. M. Nicolaidis. Soft Errors in Modern Electronic Systems. Springer Science & Business Media, 2011, pp. 27-48

21. C. Slayman. Soft Error Trends and Mitigation Techniques in Memory Devices // Reliability and Maintainability Symposium (RAMS), 2011 Proceedings - Annual, 5 P.

22. F. Wrobel, F. Saigne. Monte Carlo Simulation of Neutrons, Protons, Ions and Alpha Particles Involved in Soft Errors in Advanced Memories // Progress in Nuclear Science and Technology, Vol. 2, 2011, pp. 582-586

23. M. Andriychuk. Numerical Simulation – From Theory to Industry. InTech, 2012, pp. 314-316 24. O.A. Amusan. Analysis of Single Event Vulnerabilities in a 130 nm CMOS Technology // M. S. Thesis, December, 2006

25. P. Reviriego, J.A. Maestro. A Technique to Calculate the MBU Distribution of a Memory under Radiation Suffering the Event Accumulation Problem // RADECS Workshop, 2008, pp. 393-396 26. А.Б. Боруздина. Методики экспериментальных исследований многократных сбоев в КМОП микросхемах статических операционных запоминающих устройств при воздействии отдельных ядерных частиц // Диссертация на соискание ученой степени кандидата технических наук, Москва, 2014, 122 стр.

27. M.S. Gorbunov, A.B. Boruzdina, P.S. Dolotov. Semi-Empirical Method for Estimation of Single-Event Upset Cross Section for SRAM DICE Cells // IEEE Transactions on Nuclear Science, July 2016
28. A.I. Chumakov. Modified Charge Collection Model by Point Node for SEE Sensitivity Estimation // Proceedings of 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS), Moscow, 2015 pp. 511-515

29. А.И. Чумаков. Оценка чувствительности интегральных схем к одиночным радиационным эффектам для точечной области собирания заряда // Микроэлектроника. 2015. Т.44. №1. С.34-40 30. М. Zhang, N.R.Shanhag. Soft-Error-Rate-Analysis (SERA) Methodology // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, No. 10, October 2006, pp. 2140-2155

31. C. Inguimbert, S. Duzellier. SEU Rate Calculation with GEANT4 (comparison with CREME86) // Radiation and its Effects on Components and Systems (RADECS) 2003 Proceedings, pp. 243-248
32. A.N. Petrov, N.V. Kuznetsov, M.I. Panasyuk. COSRAD complex of interactive programs of space radiation environment and radiation effects onboard spacecraft // 13th Workshop on Radiation Monitoring for the International Space Station, 8-10 September 2008, Krakow, Poland, p. 12

33. G.I. Zebrev, I.A. Ladanov. PRIVET-A Heavy Ion Induced Single Event Upset Rate Simulator in Space Environment // European Conference on Radiation and its Effects on Components and Systems (RADECS) 2005 Proceedings, PC13, pp. 1-55, 2006

34. Y.-H. Kuo, H.-K. Peng, C.H.-P. Wen. Accurate Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework With Quality Cell Models // Proceedings on 11th Int'l Symposium on Quality Electronic Design, 2010, pp. 831-838

35. Y. Shiyanovskii, F. Wolff, C. Papachristou. SRAM cell design protected from SEU upsets // 14th IEEE International On-Line Testing Symposium, 2008, 6 P.

36. C. Slayman. Soft Error Trends and Mitigation Techniques in Memory Devices // Reliability and Maintainability Symposium (RAMS), 2011 Proceedings - Annual, 5 P.

 P.K. Chatterjee, G.W. Taylor, R.L. Easley, H.-S. Fu, et. al. A Survey of High-Density Dynamic RAM Cell Concepts // IEEE Transactions on Electron Devices, Vol. ED-26, No. 6, June 1979, pp. 827-839
 M.-H. Jing, Z.-H. Chen, J.-H. Chen, C.-Y. Wu. Design of Simple and High Speed VLSI Core for the Protection of Mass Storages // Circuits and Systems, APCCAS, 2008, IEEE Asia Pacific Conference on, Nov.-Dec. 2008, pp. 1660-1663

39. H.R. Schwartz, D.K. Nichols, A.H. Johnson. Single-Event Upset in Flash Memories // IEEE Transactions on Nuclear Science, Vol. 44, No. 6, December 1997, pp. 2315-2324

40. R. Koga, V. Tran, J. George, K. Crawford, et. al. SEE Sensitivities of Selected Advanced Flash and First-In-First-Out Memories // Radiation Effects Data Workshop, July 2004, pp. 47-53

41. Robust System Design with Built-In Soft-Error Resilience / S. Mitra, N. Seifert, M. Zhang, Q. Shi et al. // IEEE Computer Society, February 2005, p. 46

42. P. Shivakumar, M. Kistler, S.W. Keckler, D.Burger et al. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic // Proceedings of 2002 International Conference on Dependable Systems and Networks, 10 P.

43. S.N. Pagliarini, F.L. Kastensmidt. VEasy: a Tool Suite for Teaching VLSI Functional Verification // Microelectronic Systems Education (MSE), 2011 IEEE International Conference on, pp. 94-97
44. D. Markovic, C. Chang, B. Richards, H. So, et. al. ASIC Design and Verification in an FPGA Environment // IEEE Custom Intergrated Circuits Conference (CICC), September 2007, pp. 737-740 45. G. Asadi, M.B. Tahoori. An Analycal Approach for Soft Error Rate Estimation in Digital Circuits // Northeastern University, 2005, 4 P.

46. T.J. Chaney. Measured Flip-Flop Responses to Marginal Triggering, IEEE Transactions on Computers, Vol. C-32. No. 12, December 1983, pp.1207-1209

47. L. Kleeman, A. Cantoni. Metastable Behavior in Digital Systems // IEEE Design & Test Computers, Volume 4, Issue 6, December 1987, pp. 4-19

48. R. Garg, C. Nagpal, S.P. Khatri. A Fast, Analytical Estimator for the SEU-induced Pulse Width in Combinational Designs // Design Automation Conference (DAC), 45th ACM/IEEE, 2008, pp. 918-923 49. Y. Suge, Z. Xiaolin, Z. Yuanfu, L. Lin, et. al. Modeling and simulation if single-event effect in CMOS circuit // Journal of Semiconductors, Vol. 36, No. 11? November 2015, 10 P.

50. A.M. Francis, M. Turowski, J.A. Holmes, H.A. Mantooth. Efficient Modeling of Single Event Transients Directly in Compact Device Models // Behavioral Modeling and Simulation Workshop (BMAS), IEEE International, 2007, pp. 73-77

Методы исправления последствий отказов в блоках статической оперативной памяти

Л.А. Щигорев

ЗАО НТЦ «Модуль» и НИЯУ МИФИ, Москва, Россия, E-mail: l.shchigorev@module.ru

Аннотация: В связи с проектированием в ЗАО НТЦ «Модуль» мультипроцессорных СБИС по технологиям суб-100-нм, становится актуальным вопрос о применении методов обхода поврежденных элементов статической оперативной памяти. Т.к. статическая память может занимать более половины площади всей микросхемы именно её вклад в общее количество дефектов становится решающим. Качественное решение данной задачи может в дальнейшем определить выход годных разрабатываемых устройств. Существует два основных способа блокирования поврежденных основных элементов встроенной памяти: замена и применение устройств на базе кодов обнаружения и коррекции ошибок. Замена может быть осуществлена двумя способами: мультиплексированием и сдвигом. В данной статье приведено сравнение аппаратурных и временных затрат данных методов. Показано, что методы замены элементов снижают задержку прохождения сигнала до 95%.

Ключевые слова: саморемонт памяти, отказы, сбои, резервные элементы, замена поврежденных элементов, коды обнаружения и коррекции ошибок, система на кристалле (СНК), статическая оперативная память (СОЗУ).

1. Введение

Построение современных высокопроизводительных вычислительных систем требует использования передовых суб-100-нм технологических процессов [1]. В связи с этим растет плотность размещения элементов на кристалле. По оценкам экспертов Semico Research Corp элементы СОЗУ в ближайшем будущем будут занимать до 75% площади современных СнК [2]. Вследствие этого именно элементы памяти становятся основными источниками дефектов, и поэтому задача повышения выхода годных микросхем трансформируется главным образом в задачу повышения выхода годных блоков памяти. Проблема повышения выхода годных также особенно актуальна при производстве малых партий микросхем.

Существует два способа обхода отказавших ячеек памяти: замена на резервные элементы или использование устройств на базе кодов обнаружения и коррекции ошибок [3]. Каждый из этих методов имеет как свои преимущества, так и недостатки. Оба способа приносят в стандартную реализацию блоков памяти необходимость использовать дополнительную аппаратуру. Это приводит к появлению дополнительных аппаратурных и временных затрат.

В статье рассмотрены устройства борьбы с отказавшими ячейками памяти и

приведены количественные сравнения издержек от их использования.

2. Резервные элементы

Техника встроенного саморемонта памяти, чаще упоминаемая в научно-технической литературе как BISR (built-in selfrepair), используется для поиска и замены поврежденных элементов памяти в процессе контроля после производства. Для этого обычно используется однократный ремонт, осуществляемый при помощи JTAGинтерфейса И внешнего тестового оборудования (ВТО).

Конфигурацию резервных элементов для этого случая необходимо хранить в энергонезависимой памяти. Однако, при использовании многократно программируемого регистра конфигурации резервных элементов, существует возможность использовать незадействованные заводомизготовителем резервные элементы для замены отказавших ячеек в процессе эксплуатации микросхемы [4].

Заменить поврежденный элемент запасным можно двумя способами: с помощью мультиплексирования [5] или сдвигом [6].

С помощью мультиплексирования возможно произвести замену по принципу «любой на любой», т.е. любым резервным элементом можно заменить любой основной. Наглядно этот способ продемонстрирован на рис. 1.



мультиплексирования по принципу «любой на любой»

Альтернативой мультиплексированию является метод сдвига. Наглядно этот способ продемонстрирован на рис. 2. Рассмотрен блок, хранящий информационное слово размерностью 4 разряда. Если поврежден столбец, который хранит первый разряд, то данные из него будут сдвинуты во второй и т.д. Данные из старшего разряда будут смещены в резервный столбец.



Его недостаток по сравнению с методом мультиплексирования заключается в том, что сдвинуть биты информационного слова можно только на одну позицию и только для определенного участка слова, обычно младшей или старшей части. Т.е. снижается гибкость замены по сравнению со способом «любой на любой».

3. Устройства на базе кодов обнаружения и коррекции ошибок

Пол методом повышения выхода годных блоков памяти обычно подразумевается именно операция саморемонта. Между тем, нередко в качестве метода повышения сбое-И отказоустойчивости разработчики СБИС. которые содержат блоки памяти, применяют устройства на базе кодов обнаружения и коррекции ошибок. Как правило это кодерлинейных блочных декодеры кодов Хемминга [7]. Такой способ защиты может быть рассмотрен в качестве метода борьбы с изначально отказавшей ячейкой памяти. Несмотря на то, что при наличии отказавшей корректирующая ячейки способность парирования случайных сбоев будет утрачена, существует возможность обойти одну поврежденную ячейку памяти. Комбинированный способ повышения сбоеи отказоустойчивости, сочетающий использование резервных элементов и кодердекодеров Хемминга описан здесь [8].

4. Метод исследования

Для исследования были выбраны блоки памяти, хранящие информационные слова наиболее распространенных размеров, а именно: 8 бит, 16 бит, 32 бита, 64 бита и 128 бит. Емкость каждого блока составляет 4096 (4К) слов. В качестве устройств обнаружения и коррекции ошибок были взяты 2 типа кодер-декодеров: корректирующий одиночную ошибку и обнару-(SEC-SED) одиночную живающий и корректирующий одиночную ошибку и обнаруживающий двойную (SEC-DED). Для исследования метода мультиплексирования (MUX) были взяты блоки памяти, содержащие 1, 2, 3 и 4 резервные колонки. Также представлены данные для метода сдвига (SHIFT) одной колонки для старшего и младшего полуслова при помощи набора мультиплексоров.

Был проведен синтез устройств для оценки аппаратурных затрат и изменений максимальных задержек прохождения сигналов. Результаты получены в САПР Cadence Encounter RTL Compiler для проектно-технологической нормы 28 нм КМОП при разных значениях напряжения питания и температуры. В Таблице 1 приведены условные обозначения для пяти условий эксплуатации.

> Таблица 1. Условные обозначения и их расшифровка для различных условий эксплуатации микросхемы

Условное	U _{пит} , В	T, ℃
обозначение		
LPLT(Low Power,	0,9	-40
Low Temperature)		
LPHT(Low Power,	0,9	125
High Temperature)		
TT(Typical Power,	1,0	25
Typical Temperature)		
HPLT(High Power,	1,1	-40
Low Temperature)		
HPHT(High Power,	1,1	125
High Temperature)		

5. Результаты исследования

На рис. 3-7 приведены экспериментальные данные максимальных задержек прохождения сигналов, накладываемых



способами

парирования

Рис. 3. Максимальные задержки прохождения сигнала для различных методов борьбы с отказавшими ячейками в блоке памяти, хранящем 8-разрядные информационные слова для различных условий эксплуатации



Рис. 4. Максимальные задержки прохождения сигнала для различных методов борьбы с отказавшими ячейками в блоке памяти, хранящем 16-разрядные информационные слова для различных условий эксплуатации



Рис. 5. Максимальные задержки прохождения сигнала для различных методов борьбы с отказавшими ячейками в блоке памяти, хранящем 32-разрядные информационные слова для различных условий эксплуатации



Рис. 6. Максимальные задержки прохождения сигнала для различных методов борьбы с отказавшими ячейками в блоке памяти, хранящем 64-разрядные информационные слова для различных условий эксплуатации



Рис. 7. Максимальные задержки прохождения сигнала для различных методов борьбы с отказавшими ячейками в блоке памяти, хранящем 128-разрядные информационные слова для различных условий эксплуатации

На рис. 8 показаны аппаратурные затраты на реализацию блоков памяти, хранящих информационные слова различной разрядности: от 8 до 128 бит. Каждый блок хранит 4096 информационных слов. На диаграмме представлены отношения площади блока памяти, использующего один из способов парирования отказов, к площади незащищенного блока в процентах.



Рис. 8. Отношения площади блока памяти, использующего один из способов парирования отказов, к площади незащищенного блока

6. Обсуждение результатов

Полученные результаты позволяют сделать следующие выводы:

1. Максимальные задержки прохождения сигнала в зависимости от размера информационного слова для метода SHIFT сравнению с методами SEC-SED и по SEC-DED меньше на 89-95%. При этом дополнительные аппаратурные затраты, необходимые для реализации метода SHIFT, составляют 16% вместо 28% для SEC-SED и 35% для SEC-DED для наихудшего случая хранящего 8-битные блока памяти, информационные слова.

2. Максимальные задержки прохождения сигнала в зависимости от размера информационного слова для метода SHIFT по сравнению с методом MUX (1 к) меньше на 82-94%. Однако дополнительные аппаратурные затраты, необходимые для реализации метода SHIFT составляют 16%

различными

вместо 11% для MUX (1 к) для наихудшего случая блока памяти, хранящего 8-битные информационные слова.

3. Методы MUX (4 к) и SEC-SED имеют близкие значения задержек прохождения сигнала при равной дополнительно занимаемой площади. При этом метод MUX (4 к) имеет в 4 раза большую корректирующую способность.

7. Выводы

В данной статье были рассмотрены способы обхода отказавшей ячейки блока статической оперативной памяти: замена на резервную ячейку и использование устройств на базе кодов коррекции. Результаты показали, что метод SHIFT имеет меньшие задержки прохождения сигнала по сравнению с методом SEC-SED на 89-95% и до 94% по сравнению с методом MUX(1к). Так же показано, что дополнительные затраты по площади для реализации блока памяти при использовании метода SEC-SED больше, чем для метода SHIFT – 16% и 11% соответственно для наихудшего случая.

При близких значениях задержек прохождения сигнала и равных аппаратурных затратах методов SEC-DED и MUX (4 к), последний имеет в 4 раза большую корректирующую способность.

Методы замены отказавших элементов статической оперативной памяти резервными предпочтительнее с точки зрения накладываемых затрат дополнительных ресурсов.

Methods of correcting the consequences of failures in SRAM

L. A. Shchigorev

Abstract: Because of the designing in RC "Module" multiprocessor VLSI using sub-100-nm technology, it becomes relevant the question of the application of methods eliminating damaged elements of SRAM. As SRAM may take more than a half of the whole chip area, its contribution to the total number of defects becomes crucial. A quality solution of this problem may further determine the yield of the developed devices. Two main methods of correcting the consequences of SRAM failure elements are known: using redundant elements instead of basic ones and application of devices on the basis of errors detection and correction codes. Replacement can be accomplished in two ways: multiplexing and shifting. This article provides a comparison of hardware and time penalties of these methods. It is shown that the methods of replacement components reduces the propagation delay up to 95%.

Keywords: built-in self-repair, failures, faults, redundant elements, replacement of failure elements, error correction and detection codes, system on chip, SRAM.

Литература

- С. Г. Бобков Высокопроизводительные вычислительные системы / под ред. Академика РАН В. Б. Бетелина. - М., НИИСИ РАН, 2014. - 296 с.
- URL: <u>http://www.semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research</u> (дата обращения: 06.01.2017)
- 3. M. Horiguchi, K. Itoh Nanoscale Memory Repair. NY, Springer, 2011. P. 215
- Л.А. Щигорев Организация саморемонта блоков статической оперативной памяти с резервными элементами// Проблемы разработки перспективных микро- и наноэлектронных систем-2016 Сб. трудов. / под общ. ред. академика РАН А.Л. Стемпковского. М., ИППМ РАН, 2016. Часть III. с. 178-185.
- M. Nicolaidis, N. Achouri, S. Boutobza Optimal reconfiguration functions for column of data-bit built-in self-repair // Design, Automation and Test in Europe Conference and Exhibition. Proceedings. 2003. Vol. 1. P. 590-595.
- 6. A. Ohba, S. Ohbayashi, T. Shiomi et al A 7-ns 1-Mb BiCMOS ECL SRAM with Shift Redundancy // IEEE Journal of solid-state circuits. 1991. Vol. 26. No 4. P. 507-512.
- R.W. Hamming Error Detecting and Correcting Codes // Bell Syst. Tech. J. 1950. Vol. 29. P. 147-160.
- 8. И.И. Шагурин, Л.А. Щигорев Сравнительный анализ комбинированных методов повышения сбое- и отказоустойчивости блоков статической оперативной памяти // Известия высших учебных заведений. Электроника. 2016, Т. 21, № 4. С. 347-352.

История сотрудничества США-Россия в области радиационной стойкости электронных систем

В.С. Першенков

НИЯУ МИФИ, Москва, Россия, E-mail: vspershenkov@mephi.ru

Аннотация: Рассмотрена история взаимодействия ученых США и России в области изучения радиационной стойкости электронных полупроводниковых приборов. Отмечены взлеты и падения этого сотрудничества на протяжении последних 25 лет.

Ключевые слова: радиационная стойкость, электронные системы, сотрудничество, США-Россия

Изучение радиационной стойкости изделий электронной техники в России и США началось практически одновременно в начале 60-х годов прошлого века. 9 июля 1962 г. над южной акваторией Тихого океана было проведено испытание ядерное испытание США «Старфиш» [1]. Через несколько месяцев в октябре 1962 г. в районе Новой Земли были взорваны два высотных ядерных устройства. Несмотря на предложение А.Д. Сахарова испытать лишь один заряд, было принято и осуществлено решение об испытаниях двух вариантов отечественной водородной бомбы. Самое главное, что 24 ноября 1962 г. передающий блок американского спутника связи «Телстар-1» перестал посылать информацию на Землю. Американские и российские специалисты моментально сообразили, что это может быть связано с формированием в результате высотных ядерных испытаний искусственных радиационных поясов Ван-Аллена. Бортовая электроника спутника связи при пересечении радиационных поясов набрала некоторую дозу ионизирующего излучения и какие-то ее элементы вышли из строя. Действительно, оперативно проведенные лабораторные эксперименты показали, что это может быть радиационной связано с легралацией параметров выходного транзистора в блоке передачи информации.

Советский лидер Н.С. Хрущев в декабре 1962 г. на «сверхсекретном» совещании в Кремле заявил, что ΜЫ обладаем возможностями выводить ИЗ строя американские космические системы путем радиационного воздействия. Ο «сверхсекретных» материалах был, естественно, ознакомлен госдеп США. И началось!

В России и США были созданы новые лаборатории по радиационной надежности во всех организациях, занимающихся разработкой аппаратуры, так называемого, специального назначения. До этого радиационной стойкостью электроники занимались лишь В узком кругу разработчиков ядерного оружия. Например, Юрий Николаевич Бармаков, сотрудник (впоследствии директор, выпускник кафедры Электроники МИФИ) ВНИИА им. Н.Л. Духова, занимался этой проблемой с 50-х годов. Там это было жизненно необходимо для работы их систем, где неядерные компоненты ядерного оружия, включая автоматику и электронику, занимали около всего устройства. Эти 70% работы, естественно, были совершенно закрыты и имели очень узкую направленность.

Масло в огонь подлили события, связанные с выходом из строя электроники отечественных спутников телевещания весной 1963 года. Спутники были предварительно запущены для трансляции по всему миру визита генерального секретаря Н.С. Хрущева летом 1963 г. на остров Свободы. В этом случае причиной сбоев в электронной аппаратуры работе было воздействие чисто космического излучения. Поэтому наряду с военным и стратегическим направлением в полную силу заявила о себе космическая составляющая.

С начала 1963 г. работы по радиационной стойкости стали проводиться широким фронтом, как в России, так и в США. Летом 1963г. В CIIIA состоялась первая конференция NSREC (Nuclear and Space Radiation Effects Conference). В России первый рабочий семинар по проблеме прошел в 1963 г. (Москва), первая отечественная конференция состоялась в 1965 г. (Минск). Эти мероприятия носили закрытый характер. Первые книги по радиационным эффектам: F. Larin (1968, Wiley), В.С. Вавилов, Н.А. Ухин (1969, Атомиздат).

Американцы также не были полностью открыты. Автор этих строк в июле 1964 г., впервые из России принимавший участие в работе NSREC, среди многочисленных информационных листков, лежавших на

Интересно, что 3 января 1963 г. работа спутника «Телстар-1» была восстановлена. Анализ показал, что сбои были связаны с поверхностными эффектами в меза транзисторах, используемых в пепях декодирования данных. Командами с Земли удалось изменить электрические смещения на транзисторах и обеспечить необходимый радиационных дефектов отжиг лля восстановления работы транзисторов. Кратковременно повышалось напряжения на коллекторе до величины больше допустимой. Транзистор нагревался, но не успевал выйти из строя из-за перегрева. Такими импульсами по существу проводился термический отжиг дефектов. Это ознаменовало, по существу, зарождение нового направления в физике эффектов, радиационных получившего название радиационно-термический отжиг (PTO).

До начала 90-х годов работы в России и США велись без явных пересечений. В России были разработаны и изготовлены радиационно стойкие элементы И устройства электронной техники, создана экспериментальная база для проведения радиационных и имитационных испытаний. Все это проводилось в основном для изделий специального назначения. И в этой области Россия вряд ли уступала своим заокеанским конкурентам. По существу 30-летний задел 60 – 90-х годов работает до сих пор. Тогда Россия в целом представляла собой одну из ведущих электронных корпораций, входя в пятерку мировых лидеров.

США, естественно, B проводились аналогичные работы. Но для справедливости следует отметить, что ученые США за это время внесли весомый вклад в изучение физики радиационных эффектов в структурах окисел-полупроводник, являющихся одним из ключевых структурных элементов современных МОП биполярных И интегральных микросхем [1]. Работа [1] сравнивается с Библией в области радиационной стойкости. Созданная ими физическая база стала в большинстве случаев непререкаемым стандартом И широко время. используется настоящее в Современный облик И состояние радиационной науки И техники сформировалось именно их работами.

Первые непосредственные контакты специалистов России и США произошли в начале 90-х годов. После снятия грифов секретности и окончания сроков их действия первая российская работа была принята на конференцию NSREC-1992. Первый устный доклад на этой конференции был сделан в 1994 г. После этого российские ученые принимали участие практически во всех радиационных конференциях в США и Франции, где проводились конференции RADECS (Radiation and its Effects on Components and Systems). Интересно, что летом 1992 г. в Москву была направлена делегация американской фирмы Harris Semiconductor (в настоящее время Intersil), выпускающая в то время 90 % электроники армии США.

Первые контакты были очень теплыми и характеризовались не только своей искренностью и новизной впечатлений, но и подогревались русской водкой. В качестве примера можно привести отзывы ведущих иностранных специалистов 0 наших взаимоотношениях. Комментарии приводятся в оригинальной форме, полученной по факсу (тогда электронная почта еще не была широко распространена).

- I am pleased to describe this group as valued members of the community studying the effect of radiation on microelectronics devices.
- The world radiation community has the new originally thinking scientific group.
- Harris has an ongoing relationship with the (MEPhI) scientific and engineering team....
- This group has international recognition among the radiation physics community and their scientific papers in the field of radiation hardness assurance of microelectronic devices are outstanding.
- I look forward to working with you....
- I am willing to exchange scientific information and possibly publish joint scientific publications and give joint conference presentation.
- If a physical explanation for any problem exists, your group has the talent to discover it.
- As I proposed to your at our 1995 meeting in Madison «Here is a toast to our contributed and our working together for world peace».
- Your presentation is ABSOLUTALY SREAT!
- Your Vodka bottle is very good!

Это написано лидерами мирового радиационного сообщества.

Расцвет теплых отношений закончился неожиданно в конце 90-х годов. Причина: на домашнем компьютере сотрудника Sandia Lab., генетического китайца, но гражданина США (для работы в Sandia Lab. необходимо иметь серьезное police clearance), обнаружены чертежи последнего модернизированного варианта водородной бомбы. Несмотря на то, что разведка обнаружила похожие чертежи в одном из ядерных центров Китая, дело в суде затормозилось и неизвестно чем закончилось. Но для нас это событие сыграло явно негативную роль, так как «русский с китайцем братья навек, крепнет единство рабочих и рас» (слова из песни «Москва-Пекин»). Наши работы перестали брать для участия в работе NSREC. Некоторые старые знакомые перестали даже здороваться. Как ни крути, американцы дисциплинированный народ, а финансирование важных работ в области радиационной стойкости идет в основном от госдепа. Один видный ученый на прямой вопрос, почему наши работы отклоняются, прямо ответил, что у нас плохой английский. Отвернувшись, добавил, что у части западных работ английский бывает еще хуже. Как говориться по comments!

К концу первой декады 2000-х голов китайский след выдохся. Тем более, что китаец, опальный вроде бы, после разбирательств судебных многолетних остался на свободе (демократия !), просто лишившись работы. Число публикаций в трудах NSREC начало возрастать. Мирное восторжествовало. сосуществование Из России сформировался энергичный молодой поток исследователей. Жизнь налаживалась.

Но тут произошел государственный переворот на Украине. Крым присоединился к России. В результате сотрудничество

RADECS друзьям. С сотрудничество продолжалось на прежнем уровне. В США же российские работы явно торпедировались. Профессор Г.И. Зебрев переписывался с рецензентами более года, получив рукописный подробный вывод основных положений своей работы, но без позитивного решения. Одна работа автора настоящих заметок после первых ответов на вполне замечания справедливые перешла в затяжную позиционную фазу. Переписка продолжалась dead line. вплоть до Американская делегация на RADECS-2015 достигла рекордного минимума 5 человек. Обычно из-за океана в Европу приезжало более 50 участников. Работают санкции и пока просвета в сложившейся ситуации нет.

Читатель, кто бы ты ни был, студент, аспирант, научный сотрудник, доцент, профессор или руководитель любого уровня, разве был в твоей жизни случай, чтобы тебе приказывали или советовали не иметь никаких научных контактов с коллегами по научным интересам. Мы всегда были свободны и действовали, как душа велит. Все политические коллизии между странами решаются на официальном компетентном уровне. Это, конечно, детали, но как то немного странно, когда нас пытаются учить демократии.

На рис.1 приведена временная диаграмма изменения условного уровня сотрудничества между Россией и США в области радиационной стойкости электронных систем. Положительные значения означают плодотворные взаимовыгодные контакты.



Рисунок 1. Изменение уровня сотрудничества Россия-США в области радиационной стойкости электронных систем во времени. Пунктирная линия – прогноз

Россия-СШ	ІА снова	приблизил	ось к нулевой	
отметке.	Спасибо	нашим	европейским	

При отрицательных значениях сотрудничество практически отсутствовало.

Максимальное и минимальное значения уровня сотрудничества условно приняты равными соответственно +1 и -1. Резкие падения кооперативных отношений соответствуют инциденту с китайским шпионажем в конце 90-х годов и присоединению Крыма к России в 2014 г.

Оптимистичный прогноз на ближайшее будущее до 2025 г. обозначен пунктирной линией. Оптимизм связан с тем, что мы все же находимся «на одной лодке». В области радиационной стойкости нам нечего делить.

В то же время решение новых научных и прикладных задач не может не объединять специалистов, преданных своей профессии и заинтересованных в общем прогрессе любимого дела.

The history of USA-Russia cooperation in the field of electronic system radiation hardness

S. Pershenkov

Abstract: The history of a cooperation between the USA and Russian scientists in the field of study of electronic system radiation hardness is considered. Remark the come-up and come-down of this cooperation during last 25 years.

Keywords: radiation hardness, electronic system, cooperation, USA-Russia

Литература

1. T. P. Ma and P. V. Dressendorfer, *Ionizing Radiation Effects in MOS Devices and Circuits*. New York: Wiley-Interscience, 1989.

Синтез аналоговой ЭКБ, устойчивой к ВВФ: архитектурные, структурные, схемотехнические решения

А.А.Лебедев¹, В.А.Комлева², Н.М.Клоков³, И.И.Ляхчилина⁴, Е.М.Савченко⁵, А.С. Будяков⁶

^{1,2,3,4} НИЯУ МИФИ, Москва, Россия, E-mail: ^{1,2,3,4} lebedev741@mail.ru ^{5,6} АО "НПП "Пульсар", Москва, Россия, E-mail: ^{5,6} designcenter@pulsarnpp.ru

Аннотация: Рассматриваются архитектурные, структурные и схемотехнические решения создания аналоговой биполярной ЭКБ с повышенными точностью и быстродействием, с уменьшенной чувствительностью к воздействию ТЗЧ. Применение таких АИС позволит полностью замещать зарубежные аналоги, обеспечит приемлемую стоимость мелкосерийного производства и повысит длительность жизненного цикла

Ключевые слова: синергетический эффект, отражатель тока, динамические токовые каскады.

1. Цели

Разработать методологию проектирования аналоговой ЭКБ космического применения с повышенной радиационной стойкостью путем использования синергетических эффектов.

2. Задачи

Разработать динамические токовые каскады, обеспечивающие синергетический эффект.

3. Синергетический эффект (от греч. συνεργός - вместе действующий)

Речь идёт о возрастании эффективности деятельности в результате интеграции, слияния отдельных частей в единую систему за счет т.н. системного эффекта (эмерджентности).

В синергетике динамические системы объединяются, при этом новое образование не равно сумме частей, а образует систему другой организации или систему иного уровня.

Системообразование достигается за счёт введения особой конфигурации макроячеек, работающих в динамическом режиме.

Такой подход сохраняет принцип архитектурного и структурного решения, путем согласованного включения ДТК в типовые блоки отечественных и зарубежных аналогов

4. Возникновение синергетического эффекта в отражателе тока Видлара.

На рис. 1. изображены 2 схемы ОТ: слева - стандартный ОТ Видлара, справа – модифицированный ОТ Видлара. По центру приведены коэффициенты передачи по току ОТ.



Рис. 1. Возникновение синергетического эффекта за счет подброса тока в модифицированном отражателе тока

Нижняя кривая здесь соответствует ОТ Видлара, верхняя – модифицированному ОТ Видлара. Сравнение их передаточных характеристик показывает, что модифицированный ОТ генерирует («подбрасывает») дополнительный ток при деградации коэффициента усиления по току транзистора. Левый отражатель тока, как видно из рисунка, работает только от источника тока, а правый ОТ работает от источника напряжения, то есть имеет большое входное сопротивление.

Такой эффект достигается за счет включения дополнительного транзистора Q, включенного по схеме с общей базой. При чем по переменному сигналу база транзистора подключена к низкоомному сопротивлению (земля). 5. Сравнение входных каскадов ОУ 140UD1 и предложенного входного каскада (рис. 2) на основе использования модернизированных ОТ



Рис.2 Входной каскад с использованием модифицированного ОТ

Сравнение коэффициентов передачи по напряжению входных каскадов ОУ 140UD1 и разработанного входного каскада показывает, что использование синергетического эффекта в модифицированном ОТ приводит к незначительному уменьшению усиления при деградации В.

Это означает, что в схеме ОУ практически отсутствует сдвиг нуля на выходе, что обеспечивает постоянство выходного напряжения при дозах 80-100 крад.

А это позволяет увеличить срок эксплуатации космического аппарата на 2-3 года и снизить экономические затраты

6. Заключение

Использование синергетического эффекта позволяет улучшить точностные и радиационные характеристики промышленных аналоговых ИС. Показывается, что образование синергетического эффекта осуществляется с помощью динамических токовых каскадов. Основой для образования динамического каскада служат различные модификации отражателей тока с подбросом тока при деградации коэффициента В.

Приводится пример использования синергетического эффекта для создания радиационно стойкого отражателя тока. Эффективность такого отражателя тока особенно ощутима при низких значениях коэффициента В. Предлагаемая структура диф. Каскада на модифицированных отражателях тока обеспечивает стабильность рабочей точки и получение максимального сигнала на выходе.

Synthesis of analog electronic component base, resistant to external influencing factors: architectural, structural, circuit solutions

A. A. Lebedev, V.A. Komleva, N. M. Klokov, I. I. Lyakhchilina, E.M.Savchenko, A.S.Budyakov

Abstract: Architectural, structural and circuit-making solutions for the creation of analog bipolar ECB with increased accuracy and speed are considered, with reduced sensitivity to the effect of LF. The use of such AIS will completely replace foreign analogs, will provide an acceptable cost of small-scale production and increase the life-cycle duration

Keywords: synergetic effect, current reflector, dynamic current stages.

Литература

1. N.J-H. Roche, S. Perez, J.Mekki, Y.G.Velo, L.Dusseau J.Boch, J-R. Vaillé, F.Saigné, R.Marec, F.Calvel, F.Bezerra, G.Auriel. Azaïs Band Buchner SP, 2011, IEEET, Nucl. Sci., **58**, 2980

2. S.Soclof. 1985, Analog Integrated Circuits (Los Angeles: Prentice-Hall)

3. A.A.Lebedev, A.E.Nazarenko, M.S.Vakhnenko, I.I.Liakhchilina, N.M.Klokov and A.A.Komlev. 2016, Schematic techniques for improving precision and radiation hardness of current feedback operational amplifiers, IOP Conf. Series: Mat. Sci. Eng., **151**, 012038

4. A.A.Lebedev, V.A.Felitsyn, V.A.Komleva and A.A.Komlev. 2016, Proc. on Int. Federation for Medical and Biological Engineering (Chisinau, Springer), **55**, p. 23

Применение троирования нетлиста в стандартном маршруте синтеза СБИС

А.А.Антонов¹, А.О.Власов², Е.А.Гагарин³

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹antonov@niisi.msk.ru ² vlaalex@cs.niisi.ras.ru, ³ gagarin@cs.niisi.ras.ru

Аннотация: Статья посвящена внедрению метода тройного резервирования в стандартный маршрут синтеза САПР для увеличения сбоеустойчивости микросхемы. Рассмотрены аспекты реализации троированной схемотехники блоков и их интеграции с окружением без резервирования. На примере синтеза нетлиста микросхемы 1907BM044[1] произведен анализ изменений параметров нетлиста при синтезе с применением тройного резервирования. Представлен маршрут схемотехнического синтеза микросхемы с троированием отдельных блоков.

Ключевые слова: сбоеустойчивость, тройное резервирование нетлиста, схемотехнический синтез

1. Введение

Для обеспечения функционирования микросхем в условиях факторов космического воздействия на всех этапах проектирования и производства применяется ряд мер для обеспечения необходимой по ТЗ сбоеустойчивости. Одним ИЗ методов. применяемых для улучшения данного параметра на этапе проектирования, является тройное резервирование компонентов ИС[2]. Данный подход может быть реализован на этапе:

• создания логического описания микросхемы (RTL). В основном применяется для резервирования на уровне блоков.

• схемотехнического синтеза логики СБИС. Позволяет в автоматическом режиме производить тройное резервирование на уровне библиотечных элементов. При этом происходит троирование регистров и связанной с ними логики исходного «нетроированного» RTL

работе В данной рассмотрена реализация именно этого метода тройного резервирования - троирование нетлиста во время схемотехнического синтеза СБИС. Современные САПР программы от таких ведущих фирм, как Synopsys, Cadence и Mentor не имеют в своем функционале средств реализации троирования элементов В нетлиста [3]. связи c этим обстоятельством, было решено разработать ряд подходов, которые бы позволили реализовать тройное резервирования с последующим внедрением в используемый маршрут схемотехнического синтеза. Таким образом, результатом данной работы стал новый маршрут для синтеза микросхем, содержащих блоки с тройным резервированием. Были рассмотрены следующие вопросы:

1. Переход от нетлиста стандартной формы к схеме с тройным резервированием

2. Интегрирование исключенных из тройного резервирования элементов: блоков заказного проектирования и памяти, в троированный нетлист

3. Внедрение троированного блока в состав проекта всей СБИС. Формальная верификация

4. Анализ изменения параметров блоков в результате применения метода тройного резервирования на примере произведенной микросхемы 1907ВМ044

5. Маршрут синтеза нетлиста микросхемы с троированием отдельных блоков. Проведена оценка того, как применение тройного резервирования в отдельных блоках микросхемы 1907ВМ044 влияет на её параметры

2. Техника создания схемы с тройным резервированием из нетлиста стандартной формы, получаемого в результате синтеза

На первом этапе реализации тройного резервирования в требуемом блоке производится схемотехнический синтез его логического описания. Синтез проводится по стандартному используемому маршруту с приоритетом оптимизации быстродействия.

Далее к нетлисту блока применяется разработанный для троирования скрипт, написанный на языке программирования Perl [4]. Данный скрипт, использующий программную библиотеку для работы с Verilog проектами (Verilog – базовый HDL язык в НИИСИ), производит троирование комбинационных цепей и замену триггеров на блоки, состоящие из трёх регистров и ячейки мажорирования (voter). Эти элементы реализуют функцию, определения «верного» значения входных сигналов: на выход подается то логическое состояние, которое установилось на большинстве её входов. Количество входов у такой ячейки должно быть нечетным и быть равным степени резервирования.



voter = a&b|b&c|a&c



Рис.1. Исходный и троированный нетлист

Ha показано структурное рис.1 изменение комбинационных цепей блока после исполнения данного скрипта. Если в библиотеке стандартных ячеек присутствует реализующий функцию мажорирования элемент, то его необходимо прописать в специальный Verilog модуль, используемый скриптом при троировании. Если же такая ячейка отсутствует в библиотеке, то в этом модуле собирается композиция из доступных элементов Кроме того, в рамках заказного проектирования можно создать ячейку мажорирования с лучшими параметрами, чем вышеописанные варианты. Например, по таким параметрам, как площадь, быстродействие и/или сбоеустойчивость.[5]

3. Интегрирование нетроируемых элементов и блоков

Перед запуском скрипта для троирования нетлиста, необходимо в его конфигурационном файле прописать правила замены триггеров на их троированные эквиваленты. Также существует ряд библиотечных элементов, для которых троирование не применяется по соображениям целесообразности и эффективности.

Чаще всего к ним относятся блоки памяти и модули, реализованные заказным проектированием. Чтобы интегрировать их в троированный проект, скрипт применяет к ним заранее созданную оболочку «враппер-3-в-1» (рис. 2a). В данном окружении на нетроируемый элемент входные сигналы подаются через ячейки мажорирования, а выходные подключаются к трём выходным портам.

Стоит отметить, что сигналы синхронизации исключены из этого правила, и на блок троированными не поступают. Это связано с тем, что при троировании в синхросигнал будут вноситься искажения, связанные как с временными характеристиками ячейки мажорирования, так и с возможной разбежкой ветвей системы синхронизации.

Кроме того, элемент voter при построении цепей распространения синхросигналов становится точкой реконвергенции, что усложняет реализацию системы синхронизации.

Всё выше сказанное справедливо также для случая интеграции нетроируемых синтезированных блоков внутрь троированного окружения. Имена элементов и блоков, которые исключаются из тройного резервирования, прописываются в конфигурационный файл скрипта. Для них отдельный скрипт автоматически создает необходимые «врапперы-3-в-1», использующиеся при троировании всего нетлиста.



Рис.2. Интегрирование: а)нетроируемых элементов, b) троированного блока

4. Внедрение троированного блока. Формальная верификация

Чтобы внедрить ранее троированный блок в состав всего проекта, требуется создать соответствующее окружение -«враппер-1-в-3» (рис. 2b). В данной оболочке для троируемого блока входные сигналы присоединяются к трём входным портам, а выходные подаются через ячейки мажорирования. Данные врапперы, как и в случае с «врапперам-3-в-1», автоматически генерируются по списку троируемых блоков отдельным скриптом.

В результате обработки исходного нетлиста блока разработанными скриптами вместо первоначального модуля в проект подставляется, с сохранением названия и иерархического пути, показанная на рис. 3 структура.



Рис.3. Изменения исходного модуля после модификации троированием

Новый блок полностью совпадает с исходным по интерфейсным сигналам. Данную сборку можно инкрементально оптимизировать в САПР синтеза для улучшения её параметров, после чего полученный нетлист можно эффективно использовать в составе проекта всей разрабатываемой микросхемы.

Олнако перед этим. чтобы гарантировать сохранение логической функции в модифицированном модуле. провести его необхолимо формальную проверку на соответствие исходному блоку. Для этого можно использовать САПР Synopsys Formality [6]. Два нетлиста в этой программе сличаются по точкам логического сравнения: интерфейсные выходные сигналы и значения на триггерах. Автоматически данный САПР не определяет для сравнения соответствие исходных регистров к регистрам, поставленным вместо них при троирования.

Чтобы обойти эту проблему, необходимо задать пользовательские указания соответствия.

Каждый триггер до троирования объявляется эквивалентным, как точка логического сравнения, трём соответствующим триггерам после троирования.

После этих действий формальная верификация троирования становится возможной.

5. Анализ изменения параметров блоков в результате троирования

При синтезе нетлиста микросхемы 1907ВМ044 описанные выше методы были применены для модулей различных интерфейсов.

В таблице 1 приведены свойства блоков для троирования в первоначальном нетлисте микросхемы. В таблице 2 приведены нормированные параметры блоков после тройного резервирования к соответствующим исходным значениям после синтеза схемы.

Таблица 1. Исходные свойства троируемых блоков

Блок	Кол-во макро	Доля в общей площади
GPIO32	0%	0,2%
intc	0%	0,2%
m2	97%	35,1%
MemCtrl	0%	2,4%
SpaceWire	32%	5,8%
spi	77%	1,1%
timer	4%	0,7%
uart	53%	1,1%

Таблица 2. Параметры блоков после троирования

Блок	Периол	Площадь	Мощность	
BNOK	период	ячеек		
GPIO32	121%	340%	223%	
intc	135%	373%	306%	
m2	138%	107%	103%	
MemCtrl	108%	342%	214%	
SpaceWire	107%	277%	243%	
spi	104%	164%	319%	
timer	113%	344%	213%	
uart	112%	221%	303%	

Стоит отметить несколько важных аспектов:

1. При троирование площадь не обязательно увеличивается в 3 раза.

Во-первых, троируется только логика, реализованная на стандартных ячейках, а не макроблоки. Во-вторых, добавляются ячейки мажорирования к каждой тройке триггеров и врапперах. В-третьих, во время BO оптимизации площадь ячеек может увеличиваться САПР попытках в компенсировать потери по быстродействию.

2. Вследствие увеличения числа и суммарной площади стандартных ячеек ожидаемо наблюдать рост потребляемой мощности.

3. Снижение рабочей частоты функционирования, увеличение площади и мошности зависит от структуры и функционала конкретного блока. К основным таким факторам относятся: относительный вклад суммарной площади макроблоков (нетроируемых модулей) в общую площадь ячеек и длина критических путей блока.

4. В основном, почти все троируемые блоки изначально занимают площадь меньше 6% от общей площади нетроированного нетлиста микросхемы. Блок М2 занимает 35% площади, но при этом на 97% состоит из макроблоков, и поэтому при троировании влияние изменения его площади и мощности на параметры всей микросхем будет слабым. Что же касается ухудшения быстродействия, то в таблице указано ухудшение задержки критических путей блоков, которые могут быть быстрее критических путей всей микросхемы.

5. Маршрут синтеза нетлиста микросхемы с троированием отдельных блоков

Как и для блоков с тройным резервированием, маршрут синтеза всей микросхемы начинается с синтеза нетроированного проекта-прототипа. В нём проводится характеризация троируемых блоков, и выделение их в отдельные проекты.

Далее проводится описанное выше троирование их нетлиста с использованием заранее созданных врапперов: «1-в-3» и «3-в-1». Полученные нетлисты совпадают по интерфейсным сигналам с исходными схемами, a, следовательно, лля их оптимизации применимы полученные ранее В результате характеризации временные ограничения. После этого полученные проекты троированных блоков готовы для

интегрирования на верхнем уровне вместо исходных модулей. Модули проходят формальную верификацию перед интегрированием их в состав микросхемы.. Проверка же финального нетлиста всей микросхемы происходит в три этапа:

1. Сравнение исходного нетлистапрототипа с RTL описанием

2. Проверка сохранности логической функции блоков при троировании и последующей оптимизации

финального 3. Сверка нетлиста с нетлистом. При нетроированным ЭТОМ используются модифицированные с учетом иерархического пути пользовательские vказания на соответствие триггеров логическим точкам сравнения для каждого троированного блока.



Рис.4. Маршрут синтеза нетлиста микросхемы с троированием отдельных блоков

В таблице 3 можно видеть, как изменился вклад троированных модулей и макроблоков в суммарную плошаль ячеек микросхемы. В исходном нетлисте макроблоки занимают 62% всей площади. Часть макроблоков находится внутри троируемых модулей (таблица 1), тем самым снижая эффект увеличения площади при реализации тройного резервирования. В троированном нетлисте микросхемы вклад макроблоков ожидаемо снизился, т.к. их площадь не менялась, а количество ячеек при троировании увеличилось.

Таблица 3. Вклад троируемых модулей и
макроблоков в суммарную площадь ячеек
микросхемы

	-	
Плошаль	Начальный	Троированный
площадь	нетлист	нетлист
Троир. Модули	47%	54%
Макроблоки	62%	47%

В таблице 4 приведены нормированные параметры нетлиста микросхемы 1907ВМ044 к соответствующим значениям исходной синтезированной схемы.

Таблица 4. Нормированные параметры микросхемы

	Период	Площадь ячеек	Мощность
Final netlist	117%	132%	138%

Как и упоминалось выше, после реализации тройного резервирования произошло ожидаемое ухудшение параметров финальной микросхемы. Стоит отметить, что при реализации тройного резервирования параметры нетлиста всей микросхемы в процентном соотношении изменились слабее, чем для отдельных троируемых модулей.

6. Заключение

В данной статье была рассмотрена реализация тройного резервирования нетлиста в рамках стандартного маршрута синтез СБИС. В контексте синтеза нетлиста микросхемы 1907ВМ044 были освещены такие аспекты, как: троирование отдельных модулей, маршрут синтеза микросхемы с троированными блоками, формальная верификация полученных нетлистов.

В заключение стоит отметить, что основная цель описанных операций направлена на увеличение сбоеустойчивости микросхемы при функционировании в условиях факторов космического воздействия. Ради этой цели приносятся в жертву остальные параметры: площадь, быстродействие и мощность.

По оценке, для микросхемы 1907ВМ044 снижение быстродействия составило 17% при увеличении суммарной площади ячеек на 32% и потребляемой мощности на 38%.

Applying of netlist triple redundancy in standard VLSI synthesis flow

A.A.Antonov, A.O.Vlasov, E.A.Gagarin

Abstract: This article introduces the triple-redundancy method in the standard IC synthesis flow for increasing the fault tolerance. Such aspects of implementation, as the blocks' netlists triplication and their further integration with ordinary environment are considered. The synthesis flow of IC, contained several blocks with triple-redundancy, is presented. The influence of the implementation triple-redundancy on IC's parameters was studied in the case of synthesis 1907VM044 chip netlist.

Keyword: Fault tolerance, triple-redundancy of netlist, circuitry synthesis

Литература

 Микросхема 1907ВМ044. Радиационно-стойкая система на кристалле, реализующая сбое- и отказоустойчивый 32-разрядный RISC-процессор с резервированием на кристалле и набором интерфейсов. / А.А. Антонов, А.Г. Дубровский, А. В. Клишин, А. А. Жуков и др. // Сб. тезисов докладов 17 всероссийской конференции "Стойкость-2014", г. Лыткарино, 3-4 июня 2014, C155-156.
 И.В.Иванов. Моделирование высокочастотных процессов в линиях связи. М., Наука, 2008.
 R. Do, "The Details of Triple Modular Redundancy An Automated Mitigation Methodology for I/O Signals," Revolutionary Electronics in Space (ReSpace). Military and Aerospace Programmable Logic Devices (MAPLD) 2011 Conference, Albuquerque, NM, Aug. 2011.

4. Design Compiler® User Guide Version I-2013.12, Synopsys, December 2013.

5. http://perldoc.perl.org

6. Igor A. Danilov, Member, IEEE, Maxim S. Gorbunov, Member, IEEE, Andrey A. Antonov, "SET Tolerance of 65 nm CMOS Majority Voters: a Comparative Study", IEEE Transactions on Nuclear Science 61 (4), 1597-16027. Formality® User Guide Version I-2013.12, Synopsys, December 2013.

Моделирование MOSFET транзистора с островком легирования в канале

А.В. Ванюшкин¹, Д.В. Трощенков², А.А. Краснюк ³

НИЯУ МИФИ и ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: ^{1,2,3} aakr@cs.niisi.ras.ru

Аннотация: Представлены результаты анализа тестовых МДП структур с островком легирования в канале. Основной задачей исследования является разработка при помощи приборно – технологических программ моделей транзисторных структур, которые можно использовать для экстракции SPICE параметров

Ключевые слова: МДП, встроенный канал, модуляция проводимости.

1. Введение

Наноразмерные МДП транзисторные структуры со встроенным каналом обеспечивают возможность формирования одномерных и двумерных элементов в скрытом слое двумерного электронного газа.

Считается, что применение расщепленэлектродов наиболее эффективно в ных структурах модуляционно-легированных И менее эффективно в дельта-легированных образцах [1]. В работах [2-3] рассматривались МДП транзисторные структуры по технологии PDCFET (periodically doped channel), в которых используется модуляционно-легированный Представляется актуальной канал. залача исследования подобных структур как структур с расщепленным затвором, поскольку позволяет рассмотреть возможность создания на их основе целого ряда датчиков и преобразователей, в частности для устройств на основе поверхностного плазменного резонанса [4].

2. Модель MOSFET транзистора с островком легирования в канале

Основной задачей исследования является разработка при помоши приборно технологических программ моделей транзисторных структур, которые можно использовать для экстракции SPICE параметров преобразователей латчиков И для высокотемпературной электроники, а так же характеристик исследование полученных устройств структур для на основе поверхностного плазменного резонанса. Предметом исследования в работе является МДП транзисторная структура с островком легирования. созданная по прототипу технологии **XFAB** 1.0мкм HT работе (высокотемпературная). было В проведено исследование по моделированию температурных зависимостей для МДП транзисторов с легированным каналом. Для

моделирования была использована программа COMSOL Multiphysics. В качестве опытных моделей были разработаны тестовые структуры транзисторов, один из которых являлся референсным, а другой содержал островок легирования В канале, что позволило проанализировать основные отличая В поведение МДП транзисторов построенных по стандартной схеме и МДП транзистора с легированной областью в канале (рис 1).



Рис. 1. МДП транзистор с легированным каналом (толщина подзатворного диэлектрика: 10нм)

При моделировании данного транзистора был соблюден определенный технологический маршрут, ключевым моментом которого является дополнительная ионная имплантация мышьяка для n-канального транзистора и бора для p- канального в подзатворную область. В результате этого канал транзистора приобретает так называемую периодичность легирования.

Так же при моделировании анализируемой структуры были сформированы слаболегированные LDD-области, которые удлиняют области стока и истока в сторону канала. В целях изоляции затвор МОПтранзистора окружен разграничительной прослойкой в виде толстого слоя окисла кремния.

Для дальнейшего исследования будем рассматривать п – канальный МОП транзистор и его характеристики. Для анализа полученной структуры были построены графики распределения примесей, на рис.2 приведено распределение концентрации примесей в подзатворной области.



Рис.2. Распределение концентрации примесей в подзатворной области

Анализ показал, что:

начальная эффективная длина канала составляет 0,25 мкм;

при формировании п – карманов транзистора максимальная концентрация примеси равна 3,16·10²⁰см⁻³;

 при формировании подзатворной области с помощью дополнительной имплантации бором максимальная концентрация примеси возникает на границе раздела кремний – оксид кремния.

Полученные результаты подтвердили формирования характер точек термостабильности как при наличии, так и при отсутствии области легирования канала. На рис. 3 и рис.4 приведены ВАХ тестовой структуры с точечной областью легирования канала. Это позволяет сделать вывод, что наличие легированной области в канале не приводит к деградации свойств структуры и не вносит существенных изменений в ожидаемые выходные характеристики.

Таким образом, есть потенциальная возможность использовать легирование канала для формирование сложных на кристалле.

При этом подобный подход должен позволить уменьшить плотность компоновки и как следствие уменьшить необходимость в использование металлических проводников.



Рис. 3. Стоко-затворная характеристика



Рис 4. Стоковая характеристика

3. Заключение

Разработана и исследована референсная модель для анализа MOSFET транзистора с островком легирования в канале.

Показано, что наличие встроенного канала с точками легирования вполне эффективно модуляционно-легированных в класса PDCFET. Снижение структурах крутизны, быстродействия и изменение ВАХ транзисторных структур не носит катастрофический характер. Можно предположить возможность применения данных транзисторных структур для формирования как внутренней трассировки, так и квантовых точек. При этом подобный подход должен позволить уменьшить плотность компоновки и как уменьшить следствие необходимость в использование металлических проводников в высокотемпературной электронике, устройствах эффектах поверхностного плазменного на резонанса.

Работа выполнена при поддержке Российского фонда фундаментальных исследований, грант № 14-29-09207.

MOSFET model with the quantum dot in the channel

A.V.Vanyushkin, D.V.Troschenkov, A.A. Krasnyuk

Abstract: The main purpose of this project is the development of the device-technological model of transistor structures, which could be used for the SPICE extraction under the extreme thermal conditions. The analysis of characteristics of this model in the presence of high temperature is also the concern of this project.

Keywords: MOSFET, periodically doped channel

ЛИТЕРАТУРА

- 1. A.Punnoose, A.M.Finkelstein. Metal-InsulatorTransition in Disordered Two-Dimensional Electron Systems, Science, vol. 130, 2005. P. 289.
- A.A.Krasnyuk, O.M.Orlov, E.V.Mar'ina. Analysis of characteristics for periodically doped channel field-effect transistors under extreme thermal conditions. Russian Microelectronics. 2015 Volume 44, Issue 4, pp 231-235.
- A.A.Krasnyuk, O.M.Orlov, A.Imametdinov, E.Maryina. Development and modeling for submicron PDCFET transistors//Problems of Perspective Micro- and Nanoelectronic Systems Development -2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part II, P. 155-158.
- 2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part II. P. 155-158.
 4. А.Д.Зотова. Устройство сопряжения электронных преобразователей на поверхностных плазмоная и КМДП СБИС// 17-я Межд. Телекомм. Конф. «Молодежь и наука»/ Под рук. А.А.Краснюк, URL: URL: http://mn.mephi.ru/2013/articles/984.

Моделирование элементов сравнения для КМОП селекторов, устойчивых к эффектам воздействия одиночных ядерных частиц

А.В. Антонюк

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: antonyuk@cs.niisi.ras.ru

Аннотация: Рассмотрена схема XOR на проходных ключах, как альтернатива схеме XOR на инверторах с третьим состоянием в составе логического элемента сравнения КМОП селекторов ассоциативных ЗУ с повышенной сбоеустойчивостью. Анализ показал, что при воздействии частицы на один блок транзисторов элемента сравнения выход схемы сохраняет верное логическое состояние в двух случаях из восьми. Моделирование показало, что в элементе сравнения на проходных ключах эффективная коррекция выходного состояния невозможна. С точки зрения помехоустойчивости схема XOR на инверторах с третьим состоянием предпочтительнее схемы XOR на проходных ключах.

Ключевые слова: компенсация, логический элемент, моделирование, одиночная ядерная частица, помехоустойчивость, топология, XOR.

1. Введение

Основа элементов сравнения для блоков регистров-селекторов ассоциативных запоминающих устройств (АЗУ), в том числе блоков TLB (translation lookaside buffer) микропроцессоров, - это комбинационные "Исключительное логические элементы и элементы памяти. С ИЛИ" (XOR) проектно-технологических уменьшением норм до КМОП 65 HM снижается устойчивость элементов АЗУ к эффектам воздействия одиночных ядерных частиц.

Уменьшение проектных норм приводит к снижению расстояний между чувствительными узлами сбоеустойчивой ячейки DICE (Dual Interlocked Storage Cell) и, как следствие, потери ее преимуществ перед традиционной 6-транзисторной ячейкой. В работе [1] предложено разделение транзисторов DICE ячейки на две группы (Spaced Transistor Groups DICE – STG DICE) для увеличения расстояния между узлами.

Моделирование и анализ ячейки STG DICE с транзисторами, разделенными на две группы и разнесенными на кристалле, показали, что воздействие одиночной ядерной частицы только на одну из двух групп не приводит к сбою [2].

Анализ экспериментальных данных для 65-нм КМОП ОЗУ на ячейках STG DICE подтвердил их высокую сбоеустойчивость по сравнению с 6-транзисторными ячейками [3].

Характерное для нано-размерных проектных норм снижение расстояний между чувствительными узлами логическихэлементов делает возможной компенсацию воздействия заряда на логический элемент.

Анализ коррекции импульсных помех на входах простых логических элементов воздействием заряда на их выход приведен в [4]. В работе [5] предложен 65-нм КМОП логический элемент сравнения лля ассоциативных запоминающих устройств на основе ячейки STG DICE. Результаты моделирования переходных процессов при воздействии одиночных ядерных частиц демонстрируют преимущество этого элемента над КМОП элементом сравнения на основе 6-транзисторной ячейки [5], [6]. Использование эффекта компенсации и логического маскирования позволяет проектировать помехоустойчивые элементы. Моделирование И анализ логических КМОП декодеров, элементов 28-нм проведенные в работе [7], показали их высокую помехоустойчивость. В работе [8] приведен анализ блоков на основе ячеек STG DICE И логических элементов с компенсацией в составе регистра TLB.

Целью данной работы является анализ схемы XOR на проходных ключах, как альтернативы схеме XOR на инверторах с третьим состоянием в составе логического элемента сравнения КМОП селекторов ассоциативных ЗУ.

2. Логический элемент сравнения на проходных ключах

На рис. 1 представлена схема логического элемента сравнения, состоящего из ячейки STGDICEи комбинационного элемента XOR. Ячейка STGDICE содержит две группы транзисторов и четыре информационных узла – А, В, С, D. Элемент ХОR включает в себя два проходных ключа, управляемых сигналами с узлов ячейки и два инвертора. Принцип работы элемента сравнения аналогичен элементу в [5]. Запись первой переменной осуществляется в четыре узла



Рис. 1. Схема логического элемента сравнения с разделенными на две группы транзисторами на основе ячейки STGDICE и логического элемента XOR на проходных ключах.



Рис. 2. Топология логического элемента сравнения на основе ячейки STGDICEи элемента XORна триггера A, B, C, D. Вторая переменная подается на входы Input 1, Input 2 в прямом и

инверсном виде соответственно. Проходные ключи элемента XOR, управляемые узлами A, B, C, D ячейки, блокируют передачу сигналов с выходов инверторов Inv 1, Inv 2 на выход схемы, обеспечивая выполнение логической функции.

Приведенная на рис. 2 топология элемента сравнения получается ИЗ топологии, представленной в [5], путем добавления электрической связи диффузионных областей между парами РМОП и ЛМОП транзисторов инверторов с третьим состоянием. При этом расположение и параметры транзисторов не меняются.

3. Элемент сравнения в нестационарном состоянии STGDICE

Воздействие частицы лишь на одну из групп триггера STG DICE не вызывает сбоя, а переводит триггер в нестационарное состояние [2].

Существуют восемь нестационарных состояний элемента сравнения. В двух из переходит них выход схемы XOR ввысокоомное состояние, в остальных шести - выходное напряжение принимает промежуточное значение $b_i V_{DD}$, где i=1, 2, 3,обусловленное протеканием сквозного тока с шины питания на общую шину. Множитель b_i – коэффициент делителя напряжения на XOR, принимающий значения выходе b₁= 0.17, b₂= 0.27, b₃ = 0.5 в зависимости от нестационарного состояния. В табл. 1 приведены значения b_i для шести случаев воздействия, когда напряжение принимает промежуточное значение. Три значения коэффициента соответствуют трем различным делителям напряжения на выходе, возникающих в зависимости от состояния проходных ключей, управляемых узлами триггера. Для схемы XOR на инверторах с третьим состоянием, проанализированной в [5], коэффициент деления имеет единственное значение $b_1 = 0.17$, для всех нестационарных состояний STGDICE.

Таблица 1. Состояния выхода схемы XOR на проходных ключах со значением напряжения b_i : V_{DD} в нестационарных состояниях триггера STGDICE при сборе заряда транзисторами инверторов.

				p		
Стационарное состояние STG DICE	"0"	"0"	··0"	" 0 "	"1"	"1"
Воздействие на	Первой	Первой	Второй	Второй	Первой	Первой
транзисторы STGDICE	группы	группы	группы	группы	группы	группы
Входы Input 1 и Input 2	In1 = 0, In2 = 1	In1 = 1, In2 = 0	In1 = 0, In2 = 1	In1 = 1, In2 = 0	In1 = 0, In2 = 1	In1 = 1, In2 = 0
Выход XNOR,b _i ·V _{DD}	$b_3 = 0.5$	b ₁ = 0.17 ↑	b ₁ = 0.17 ↑	$b_3 = 0.5$	b ₂ = 0.27↓	$b_2 = 0.27 \uparrow$
Выход XNORв результате воздействия	Неопреде- ленное состояние	Верное состояние	Ложноесос тояние	Неопреде- ленное состояние	Верное состояние	Ложное состояние



Рис. 3. Зависимость напряжений узлов триггера STGDICE и выхода схемы XOR на проходных ключах от времени при одновременном сборе заряда транзисторами триггера и транзистором одного инвертора. Начальное состояние триггера – 0101. Воздействие: (а) на первую группу; (б) на вторую группу.

4. Моделирование элемента сравнения

Прямое воздействие частицы на один из ЛВVХ блоков транзисторов элемента сравнения приведет к сбору заряда закрытыми транзисторами группы STGDICE, а также закрытым транзистором одного из инверторов Inv 1, Inv 2. В [5] показано, что сбор заряда соответствующим транзистором инвертора третьим состоянием с в нестационарном состоянии триггера может оказывать корректирующий эффект на выход логического элемента. На рис. 3 даны примеры зависимостей напряжений узлов ячейки STGDICE и выхода элемента сравнения от времени при воздействии частицы на один из блоков транзисторов. Эффект сбора заряда транзисторами триггера моделировался воздействием импульсов напряжения на пары из группы узлов А, В, С. D. Параметры импульса: амплитуда – V_{DD}, длительность - 120 пс, время нарастания -20 пс, постоянная времени спада - 50 пс. Сбор заряда стоком закрытого транзистора инвертора моделировался воздействием двух экспоненциального импульса тока на выход инвертора. Параметры импульса: амплитуда - 150 мкА, постоянные времени нарастания и спада – 5 пс и 50 пс соответственно.

Сбор заряда транзистором инвертора в нестационарном состоянии STGDICEс напряжением b_i·V_{DD} на выходе элемента сравнения приводит к незначительному изменению выходного напряжения. Верти-кальными стрелками ↑ или ↓ около коэффициентов b_i в табл. 1 отмечены направления изменения уровня выходного сигнала XOR. При этом эффективной компенсации помехи не происходит.

Значения коэффициентов деления b1 и b2

зависят от соотношения параметров РМОП и **NMOП транзисторов элемента XOR (значение** b₃ = 0.5 не зависит от параметров транзисторов). На рис. 4 представлена зависимость коэффициентаb₁ от ширины каналов РМОП и ЛМОП транзисторов элемента XOR на проходных ключах. Данная подобна зависимость зависимости коэффициента b₁ элемента XOR на инверторах с третьим состоянием из-за эквивалентности состояний транзисторов XOR в нестационарном состоянии ячейки STG DICE. Моделирование показало, что b₁ = 0.5 при соотношении ширины $W_P / W_N = 2.4$. При ширинах каналов транзисторов $W_P = 360$ нм, $W_N = 300$ нм коэффициенты $b_1 = 0.17$, $b_2 = 0.27$, а выходные напряжения $b_1 \cdot V_{DD}$ и $b_2 \cdot V_{DD}$ считываются с выхода XOR, как состояние логического "0", являющееся верным только в двух случаях (см. табл. 1).



Рис. 4. Зависимость коэффициента b₁ деления выходного напряжения логического элемента сравнения от ширины каналов *Р*МОП и *N*МОП транзисторов схемы XOR.

Таким образом, при воздействии заряда на одну группу STG DICE выход элемента сохраняет верное логическое состояние в двух случаях воздействия из восьми. Моделирование показало, что эффективная коррекция выходного состояния невозможна в элементе сравнения на проходных ключах.

5. Заключение

Широко используемая совместно с 6-транзисторными ячейками памяти схема

ХОВ на проходных ключах не подходит для применения в составе логического элемента сравнения КМОП селекторов АЗУ, работающего в нестационарном состоянии.

Элемент XOR на проходных ключах не рекомендуется для использования совместно с ячейками STGDICE, поскольку в этом варианте XOR в принципе невозможна заметная коррекция ложных результатов сравнения данных.

Simulation of comparison element for contentaddressable memory during single transient effects

A.V. Antonyuk

Abstract: XOR element on two transmission gates was analyzed as a part of comparison element for contentaddressable memory with resilience to single event effects. Analysis showed that the output of XOR keeps correct logical state only in two cases out of eightunder the impact of a single nuclear particle only on one block of transistors of the element. The simulation showed that efficient correction of the output signals is impossible. XOR element on two tristate inverters is better than XOR element on transmission gates in terms of resilience to single event effects.

Keywords: compensation, logical element, simulation, single nuclear particle, topology, XOR.

Литература

- 1. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Особенности проектирования DICE элементов 65нм КМОП статических запоминающих устройств с учетом эффекта кратного воздействия отдельных ядерных частиц. «Вестник НИЯУ МИФИ», т. 2 (2013), № 3, с. 363–370.
- 2. В.Я.Стенин. Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц «Микроэлектроника», т. 44 (2015), № 5, с. 368–379.
- 3. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Сбоеустойчивые ОЗУ на основе STGDICE элементов памяти с разделенными на две группы транзисторами. «Микроэлектроники», т. 45 (2016), № 6, с. 456–470.
- N.M. Atkinson, A.F. Witulski, W.T. Holman, J.R. Ahlbin, B.L. Bhuva, L.W. Massengill. Layout technique for single-event transient mitigation via pulse quenching. «IEEE Transactions on Nuclear Science», vol. 58 (2011), no. 3, pp. 885 – 890.
- А.В. Антонюк, В.Я. Стенин. Моделирование переходных процессов в 65 нм КМОП логическом элементе сравнения для ассоциативных запоминающих устройств при воздействии одиночных ядерных частиц. «Вестник НИЯУ МИФИ», т. 5 (2016), № 5, с. 445–453.
- V.Ya. Stenin, A.A. Antonyuk. Design of the 65-nm CMOS Comparison Element for a Content-Addressable Memory and Simulation of Single-Event Transients. «Proceedings of Telecommunications Forum», Belgrade, 22–24 November 2016, pp. 613–616.
- Yu.V. Katunin, V.Ya. Stenin, A.V. Antonyuk. Design of logical elements with single-event compensation for the 28-nm CMOS decoders. «Proceedings of Telecommunications Forum», Belgrade, 22–24 November 2016, pp. 617–620.
- V.Ya. Stenin, A.A. Antonyuk, Yu.V. Katunin, P.V. Stepanov. Design of logical elements for the 65-nm CMOS translation lookaside buffer with compensation of single events effects. «Proceedings of Internat. Siberian Conference on Control and Communications», Astana, 29–30 June 2017, pp. 1–6.

Моделирование характеристик логических вентилей на симметричных двух затворных КНИ КМОП нанотранзисторах с ассиметрично-легированной рабочей областью

Н.В. Масальский

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: volkov@niisi.ras.ru

Аннотация: При помощи численного моделирования исследуются характеристики логических вентилей, в частности инвертора, на суб-25 нм симметричных двух затворных КНИ КМОП нанотранзисторах с ассиметрично-легированной рабочей областью при напряжении питания менее 1 В. Используется вариант ассиметричного канала (считая от истока): высоколегированная и низколегированная области. Рассматривается математическая модель для распределения потенциала в рабочей области транзистора вытекающая из аналитического решения 2D уравнения Пуассона. Для моделирования вольт-амперных характеристик использовалась сформулированная в рамках зарядового разделения апробированная токовая модель с учетом модифицированного выражения для скорости насыщения. Для моделирования динамических характеристик инвертора, выполненных на выбранных транзисторах, использовалось математическое ядро программы HSPICE.

Ключевые слова: симметричный двух затворный КНИ КМОП нанотранзистор, 2D уравнение Пуассона, градиентно-легированная рабочая область, вольт-амперные характеристики, логический вентиль, низкая потребляемая мощность

1. Введение

Одна из главных проблем современной кремниевой микроэлектроники – при неуклонном масштабировании топологии транзистора концентрация носителей в его рабочей области снижается еще более высокими темпами. Это деструктивно влияет на производительность микросхем [1-5]. Традиционные методы решения данной проблемы наталкиваются на паразитные эффекты, которые особенно проявляются в немасштабируемых свойствах транзисторных структур (пороговое напряжение, подпороговый ток и т.д.) [6, 7].

В качестве варианта решения сформулированной выше задачи в работе исследуются потенциальные возможности двух затворной транзисторной архитектуры с ассиметрично-легированной рабочей областью. Такие структуры известны для объёмных МОП транзисторов [8-11].

В настоящей работе анализируется вариант ассиметричного канала (считая от истока): высоколегированная и низколегированная области. Такая архитектура предназначена того, чтобы для компенсировать влияние таких механизмов: деградация горячих носителей, roll-off порогового напряжения и паразитные биполярные эффекты, сопутствующие для однородно легированных транзисторов [1, 3, 4. 11. 12]. Таким образом, низко легированная область рядом с током может обеспечить эффективное подавление отмеченных выше отрицательных эффектов.

В модельной конфигурации двух затворного симметричного КНИ КМОП нанотранзистора, структура которого схематично представлена на рис. 1, рабочая область состоит из двух частей с разными концентрациями так, что

$$L_{g} = L_{g_{1}} + L_{g_{2}}$$

$$L_{g_{1}} = L_{g_{2}}$$

$$N_{A_{j}} = \begin{cases} N_{A_{1}}, 0 \le y \le L_{g_{1}} \\ N_{A_{2}}, L_{g_{2}} \le y \le L_{g} \\ N_{A_{1}} > N_{A_{2}} \end{cases}$$
(1)

где L_g - длина рабочей области (длина затвора), j = 1 область с концентрацией легирования N_{A1} и j = 2 область с концентрацией легирования N_{A2} .



Рис. 1. Структурная схема, где t_S - толщина рабочей области, t_g - толщина подзатворного диэлектрика, Ug – напряжение на затворах, Uds- напряжение сток/исток (или напряжение питания)

В данной работе исследуются такие структуры при помощи аналитического выражения для распределения потенциала следующего из решения 2D уравнения Пуассона.

На основании данного распределения потенциала вычисляются основные электрофизические характеристики нанотранзистора. При масштабировании к топологическим нормам близких к требуется придельным определить последовательность выбора параметров транзистора, которые отвечали бы требованиям, предъявляемым к ним при реализации проектов создания СБИС. нанотранзисторных двух Для затворных транзисторов имеет особую исследование важность не только оптимального выбора параметров транзистора, но и как это проявится на характеристиках логических схем.

В работе анализируются возможности синтеза динамических характеристик логических вентилей, в частности задержки и связанные с нею мощности переключения, при условии пониженного напряжения питания для логических вентилей, выполненных на двух затворных ассиметрично-легированных КНИ КМОП нанотранзисторах.

2. Аналитическое выражение для распределения потенциала в рабочей области транзистора

Аналитическое выражение для распределения потенциала рабочей области транзистора вытекает из решения классического 2D уравнения Пуассона, которое, как известно, широко используется для определения данной характеристики:

$$\frac{\partial^2 \varphi(x, y)}{\partial x^2} + \frac{\partial^2 \varphi(x, y)}{\partial y^2} = \frac{q N_{A_j}(y)}{\varepsilon_s}, \quad (2)$$

где q – заряд электрона, $\varphi(x, y)$ - потенциал в рабочей области транзистора, \mathcal{E}_{S} диэлектрическая проницаемость рабочей области.

Для аналитического решения 2D уравнения Пуассона необходимо дополнить к ним классические граничные условия с соотношениями об однородности потенциального и электрического полей на границе концентраций, чтобы учесть свойство неоднородности концентрации легирования рабочей области. Для решения (2) используются следующие граничные условия в виде:

$$\begin{split} \varphi(x,y)\big|_{x=0} &= \varphi_{f_j}(y) \\ \frac{\varepsilon_g}{t_g} (U_g - U_{FB_j} - \varphi_{f_j}(y)) = -\varepsilon_s \frac{\partial \varphi(x,y)}{\partial x} \big|_{x=0} \\ \frac{\varepsilon_g}{t_g} (U_g - U_{FB_j} - \varphi_{b_j}(y)) &= -\varepsilon_s \frac{\partial \varphi(x,y)}{\partial x} \big|_{x=t_s} \\ \varphi_1(x,0) &= U_{bi}^{(S)} \\ \varphi_2(x,L_g) &= U_{bi}^{(D)} + U_{DS} \\ \varphi_1(x,L_{g_1}) &= \varphi_2(x,L_g - L_{g_1}) = U_{bi}^{(c)} \\ \frac{\partial \varphi_{f_1}(y)}{\partial y} \big|_{y=L_{g_1}} &= \frac{\partial \varphi_{f_2}(y)}{\partial y} \big|_{y=L_g-L_{g_1}} \end{split}$$

где $\varphi_{f_j}(y)$ - фронтальный поверхностный потенциал j-той области, $\varphi_{b_j}(y)$ - поверхностный потенциал на обратной поверхности j-той области, ε_g - диэлектрическая проницаемость подзатворного окисла, U_g - напряжение на затворах, U_{FB_j} - напряжение плоских зон, $U_{bi}^{(S)}$ - встроенная разность потенциалов у истока, $U_{bi}^{(D)}$ - встроенная разность

потенциалов у стока, $U_{bi}^{(c)}$ - встроенная разность потенциалов на границе разнородно легированных областей, U_{DS} - напряжение сток-исток.

Распределение потенциала на фронтальной и обратной поверхностях вытекают из решения уравнения Пуассона полученного лля параметрического представления потенциала, которое получено в приближении разделения [12]. переменных В данном случае для выражения потенциалов можно представить в виде:

$$\varphi_{f_j}(y) = U_{1j} \exp(\frac{y}{l}) + U_{2j} \exp(-\frac{y}{l}) - A_{fj}l^2, \quad (3a)$$

$$\varphi_{b_j}(y) = U_{3j} \exp\left(\frac{y}{l}\right) + U_{4j} \exp\left(\frac{y}{l}\right) - A_{bj}l^2 \qquad (3b)$$

$$I_g \left(1 + 2\frac{t_g}{\varepsilon_s t_s}\right)$$

$$\begin{aligned} r_{\text{TRe}} \quad l &= t_{S} \, \sqrt{\frac{2k_{S}(2t_{g} + \varepsilon_{r}t_{S})}{2k_{S}(2t_{g} + \varepsilon_{r}t_{S})}} \\ A_{bj} &= \kappa_{S} \left[\frac{qN_{Aj}}{\varepsilon_{S}} - \frac{2((2t_{g} + \varepsilon_{r}t_{S})U_{g} + (t_{g} + \varepsilon_{r}t_{S})\varphi_{F_{2}}) + 2\varphi_{F_{1}})}{t_{g}t_{S}^{2}(1 + 2t_{g}/\varepsilon_{r}t_{S})} \right] \\ A_{fj} &= \frac{(1 + 2/\varepsilon_{r}t_{S})\varphi_{b_{j}}(y) + \varphi_{F_{2}} - \varphi_{F_{1}}}{(1 + 2\frac{t_{g}}{\varepsilon_{r}t_{S}})}, \end{aligned}$$

$$\mathcal{E}_r = \frac{\mathcal{E}_g}{\mathcal{E}_S}$$

и где l – характеристическая длина, коэффициенты U_{1j} , U_{2j} , U_{3j} и U_{4j} определяются из граничных условий (2), $\kappa_{\rm S}$ – подгоночный параметр, который связывает производную продольного электрического поля на любой глубине рабочей области с производной продольного электрического поля на фронтальной поверхности Si–SiO₂.

Полагая, что рабочая область достаточно тонкая ($t_{S} \approx 10$ нм), соотношение для κ_{S} можно представить в

виде
$$\frac{\partial^2 \varphi_j(y)}{\partial y^2} \cong \frac{1}{\kappa_s} \frac{\partial^2 \varphi_{f_j}(y)}{\partial y^2}$$

где φ_{F_1} , φ_{F_2} - положение уровня Ферми в областях 1 и 2, соответственно.

Полученное аналитическое выражение распределения поверхностного потенциала позволяют при необходимости вычислить распределение потенциала и электрического поля в рабочей области транзистора, пороговое напряжение, вольт-амперные характеристики.

Для исследований был выбран прототип двух затворного симметричного КНИ транзистора с параметрами $L_g=22$ нм, $t_s=8$ нм, $t_g=1.3$ нм, $N_{A1}=5.0 \times 10^{16}$ см⁻³, $N_{A2}=1.0 \times 10^{15}$ см⁻³. Максимальный уровень легирования стока/истока 5×10^{20} см⁻³.

На рис. 2 приведено рассчитанное распределение поверхностного потенциала в рабочей области транзистора, которое сопоставлялось с данными моделирования полученными при помощи коммерчески доступного программного пакета ATLASTM для 2D моделирования транзисторных структур [13]. Результаты расчетов и данные моделирования находятся в хорошем соответствии.



Рис. 2. Распределение поверхностного потенциала от нормированной координаты у при U_{DS} = 0.1 B, где звездочкой обозначенные даны моделирования, полученные при помощи программы ATLAS

представленном случае минимум В поверхностного потенциала расположен в высоколегированной области, примерно по середине между центром рабочей области и центром высоко легированной области. Распределение потенциала определяется отношением концентраций N_{A1} и N_{A2}. При снижении параметра N_{A2} минимум потенциала сдвигается влево и разница между минимальным значением потенциала и потенциалом соответствующим пологой При возрастании N_{A2} части возрастает. пологая часть в распределении потенциала постепенно исчезает и минимум потенциала сдвигается вправо. При выравнивании концентраций распределение потенциала в точности соответствует распределению потенциала для однородно-легированного случая.

3. Потенциальная модель тока транзистора

Для моделирования вольт-амперных характеристик (BAX) использовалась сформулированная в рамках дрейфо-диффузионного приближения апробированная модель [14], с учетом модифицированного выражения для скорости насыщения (vsat) и моделью подвижности Lombardi [15], которая модифицирована для учета высокой полевой деградации. Выражение для тока двух затворного КНИ транзистора можно интегрированием получить уравнения общего вида по всей рабочей области. При этом концентрация носителей существенным образом зависит от распределения потенциала в рабочей области. Подвижность носителей также определяется данным распределением. Пренебрегая влиянием фиксированного окисного заряда в режиме сильной инверсии, плотность тока в каждой части рабочей области, анализируемой двух транзисторной затворной архитектуры можно свести к выражению [16]:

$$i_{DSj} = W\mu_j(y)Q_{nj}(y)\frac{d\varphi_c(y)}{dy},$$
(4)

где
$$\mu_j(y) = \frac{\mu_{0j}}{\left(1 + (E_j(y)/E_{CRj})^2\right)^{1/2}}$$
 -

подвижность электронов, где μ_{0j} - низко полевая подвижность, $E_j(y)$ и E_{CRj} продольное и критическое поле соответственно, $Q_{nj}(y)$ - инверсионный заряд,

 $\varphi_{c}(y)$ - центральный потенциал. Пролольное поле

Продоляное ноне

$$E_{j}(y) = \frac{C_{g}(U_{FB_{j}} - U_{g} + \varphi_{c}(y))}{\varepsilon_{S}},$$

$$E_{CRj} = \frac{2v_{sat}}{\mu_{j}(E_{x})} - \text{напряженность}$$

критического поля, *v_{sat}* - дрейфовая скорость насыщения.

Зависимость скорости насыщения (в единицах 10⁷ см/сек) от длины затвора (в единицах нм) определяется следующим эмпирическим соотношением:

$$v_{sat} = v_{sat_0} + \chi L_g^{\alpha}, \qquad (5)$$

где v_{sat_0} - начальное значение скорости равное 2.0, χ - коэффициент длины затвора равный 19.2 и α = 1.43.

Следует отметить, что данное выражение применимо только для суб - 50 нм устройств.

Используемая модификация выражения скорости насыщения носителей для двух затворных транзисторов обеспечивает приемлемую оценку уровня Ion по сравнению с моделированием по методу Монте-Карло по широкому диапазону длин затворов (10-100 нм) [17].

Получено хорошее согласование эффективных подвижностей как функции толщины кремниевой пленки, которые определенны из результатов моделирования и экспериментальных данных.

Следует отметить, что соотношение (5) учитывает влияние баллистических эффектов только для толщин рабочей области более 5 нм.

Выражение для

$$\mu_j(E_x) = \frac{\mu_{oj}}{1 + \mathcal{G}_E \left| \frac{\partial \varphi(x, y)}{\partial x} \right|},$$

где \mathcal{G}_E — коэффициент деградации подвижности, выбираемый из условий эксперимента.

Взаимосвязь между поверхностным потенциалом $\varphi_f(y)$ и центром потенциала $\varphi_c(y)$ определяется соотношением вида [12]:

$$\varphi_{c}(y) = (H+1)\varphi_{f}(y) - H(U_{g} - U_{FB}),$$

где $H = \varepsilon_g t_s / 4 \varepsilon_s t_g$.

Значение полного тока транзистора I_{ds} вычисляется в результате не двойного интегрирования по координатам, а интегрированию по потенциалу для каждой области пределах от φ_{f1j} до φ_{f2j} . Тогда выражение (4) можно записать в следующем виде:

$$I_{ds} = W \sum_{j=1,2} \int_{\phi_{f_1}}^{\phi_{f_2}} d\varphi_s \times \frac{A_{3j} [A_4(\varphi_f - (U_g - U_{FB_j})) - A_{1j}(\varphi_f)^{\frac{1}{2}}]}{(1 + A_{2j}(\varphi_f - (U_g - U_{FB_j})^2)^{\frac{1}{2}}}, \quad (6)$$

1

где

$$\begin{split} A_{1j} &= (2qN_{Aj}\varepsilon_S)^{\frac{1}{2}}, \\ A_{2j} &= \frac{C_g^2(1+H)^2}{\varepsilon_S^2 E_{CRj}^2}, \\ A_{3j} &= \frac{\mu_{0j}(1+H)}{L_{gj}}, \\ A_4 &= C_g(1+H), \\ \varphi_{f11} &= \tan^{-1}(\sqrt{A_{21}}(U_{bi}^{(S)} - (U_g - U_{FB_1})), \\ \varphi_{f21} &= \tan^{-1}(\sqrt{A_{22}}(U_{bi}^{(S)} + U_{bi}^{(c)} - (U_g - U_{FB_1}))) \\ \varphi_{f12} &= \tan^{-1}(\sqrt{A_{22}}(U_{bi}^{(c)} - (U_g - U_{FB_2})), \\ \varphi_{f22} &= \tan^{-1}(\sqrt{A_{22}}(U_{bi}^{(c)} + U_{DS} - (U_g - U_{FB_2}))) \end{split}$$

В исследуемой архитектуре в общем случае ключевые токи транзистора (Ion и I_{OFF}) при прочих одинаковых технологических параметрах зависят от концентрации легирования каждой части рабочей области и от их отношения.

На рис. З в качестве иллюстрации приведены ВАХ прототипа транзистора из предыдущего пункта.

сравнению По с однородно структурой максимальное легированной значение тока I_{ds} существенно выше, примерно в полтора раза, ток I_{OFF} практически на порядок меньше. Этот факт может предпосылкой являться для производительности повышения электронных устройств по сравнению с аналогичными, но выполненными на однородно легированных транзисторах. Поскольку, как известно, высокий ток Ion предпосылка к уменьшению времени переключения электронного устройства.

Для достижения максимальных значений тока Ion следует повышать концентрацию N_{A1} до максимально возможной, а концентрацию N_{A1} снижать до минимально возможной. При этом величина тока Ion будет пропорционально увеличиваться как *N*

 $log(\frac{N_{A1}}{N_{A2}})$. Ток I_{OFF} возрастает несоизме-

римо больше, в придельном случае примерно







Рис. 3. ВАХ прототипа, где верхний - $I_{\rm DS}({\rm U}_{\rm DS})$ для различных ${\rm U_g}$, нижний $I_{\rm DS}({\rm U_g})$ при ${\rm U}_{\rm DS}=50~{\rm mB}$

на два порядка. Очевидно, что можно достичь некого оптимального соотношения концентраций N_{A1} и N_{A2}. Однако, разумнее при выборе этих параметров руководствоваться проектами микросхем, гле планируется применять данные транзисторы. Например, для схем с низким уровнем потребляющей мощности в режиме ожидания важным требованием является уровень тока I_{OFF} . Оптимизацию можно проводить, отталкиваясь от минимального значения N_{A2} , которое определяется требованиями выбранной технологии. Далее можно увеличь N_{A1}, чтобы повысить ток И, следовательно, увеличить Ion быстродействие. А для снижения влияния на ток I_{OFF} на несколько процентов повысить N_{A2}. Такие итерации концентрацию следует проводить, контролируя ток I_{OFF}, так чтобы $I_{OFF} < I_{OFF \ LSTP}$, где $I_{OFF \ LSTP}$ - параметр из ITRS (ITRS - International technology roadmap for semiconductor) [18]. что Следует отметить, для всех транзисторов суб 50 нм с низким уровнем потребляющей мощности В режиме ожидания $I_{OFF LSTP}$ составляет 10 рА/мкм.

Для высокоскоростных приложений можно использовать соотношение $I_{ON} > I_{ON_HP}$, где I_{ON_HP} - параметр из ITSR для данного технологического поколения. Из вышесказанного следует, что рассматриваемая транзисторная архитектура позволяет получать транзисторы с разными пороговыми напряжениями.

4. Характеристики логических вентилей

Определим два набора параметров прототипа КНИ КМОП транзисторов с длиной канала 22 нм, которые применимы для решения различных схемотехнических задач. Тип 1 может быть использован для высокоскоростных приложений. Тип 2 – для приложений обеспечивающих низкий уровень статической мощности. Иx основные параметры приведены в таблице 1. Максимальный уровень легирования стока/истока 5х10²⁰ см⁻³. Концентрационные зависимости низко полевой подвижности для n-И р-типов транзисторов детально представлены в [19]. Остальные технологические параметры выбраны в соответствии рекомендациями, сформулированными в [20].

Параметры	Тип 1	Тип 2
Толщина		
подзатворного	1.3	1,3
окисла, нм		
Толщина рабочей	8	8
области, нм		
Концентрация	5.0×10^{17}	1.3×10^{17}
легирования N _{A1} ,		
см ⁻³		
Концентрация	1.0×10^{15}	2.5×10^{15}
легирования N _{A2} ,		
см ⁻³		

Таблица 1. Основные параметры транзисторов.

Параметр k _s	0.88	0.73
Пороговое	190 и -220	245 и
напряжение		-270
Ток Ion, мкА/мкм	1380 и 760	631 и
		351
Ток loff, pA/мкм	95 и 53	6.5 и 3.6

Для моделирования характеристик инверторов, на выбранных транзисторах использовалось математическое ядро программы HSPICE. На рис. 4 приведены их статические характеристики.



Рис. 4. Статические характеристики инверторов, где 1 - тип 1, 2 – тип 2

В таблице 2 приведены основные характеристики вентилей временная задержка переключения (d) мощность одного переключения (P) при частоте 0,1 ТГц и уровень статической мощности (Pстат) при напряжении питания 1 В.

Таблица 2. Динамические характеристики вентилей

Annusin leekne kupuktepherman bentillen							
Вентиль		Параметры					
	d, пс P, мкВт Pe		d, пс P , мкВт		Pcm	ıam,	
				,		Зт	
	тип	ТИП	ТИП	ТИП	тип	тип	
	1	2	1	2	1	2	
инвертор (Udd= =1.0 B)	0.9	1.8	3.6	6.4	12.3	0.84	
инвертор (Udd= =0.65 B)	1.1	2.0	2.1	2.7	4.7	0.32	

Обобщая полученные результаты, можно сделать вывод, что при разработке суб 25 нм транзисторов в рамках полностью кремневой технологии можно добиться как повышения быстродействия, так и существенного снижения статической мощности. Для дальнейшего улучшения ключевых параметров необходимо использовать диэлектрические слои с высоким коэффициентом диэлектрической проницаемости.

На рисунке 5 приведены зависимости задержки переключения инвертора от напряжения питания в диапазоне от 1.0 до 0.3 В, рассчитанные при помощи программы HSPICE.



Рис. 5. Зависимость задержки инвертора (d) от напряжения питания, где 1 – тип 1, 2- тип 2

Заключение

При помощи численного моделирования проанализированы электро-физические характеристики двух затворных КМОП нанотранзисторов с ассиметричнолегированной рабочей областью. Ha основании полученного аналитического решения 2D уравнения Пуассона численно рассчитывается распределения потенциала в рабочей области транзистора, при помощи которого вычислены: электрическое поле, пороговое напряжение и вольт-амперные характеристики. Проанализирован вариант неравномерно-легированной рабочей области - высокое низкое легирование. профиль легирования Такой является наиболее оптимальным, чем однородно легированный профиль. В такой структуре успешнее всего решается проблема горячих носителей, roll-off порогового напряжения, ограничение уровня подпорогового тока. Таким образом, низколегированная область Как видно из представленных данных на участке $U_{dd} > 0,7$ В величина задержки практически не зависит от величины напряжения питания. В диапазоне $U_{dd} \leq 0,6$ В наблюдается рост величины задержки. Уровень напряжение питания, с которого наблюдается резкий рост задержки можно оценить как напряжение насыщения транзистора.

Анализ зависимостей произведения задержка на энергию переключения от напряжения питания для тех же вентилей показывает, что минимум данного параметра достигается при Udd=0.65 В для каждого вентиля. В таблице 2 приведены основные характеристики вентилей при этом напряжении питания.

Представленные результаты могут быть использованы при разработке низковольтных СБИС на структурах КНИ. В общем случае, чтобы решить задачу о пригодности выбранной архитектуры для создания кристаллов, устойчиво работающих малых напряжениях питания. при первоначальном необходимо этапе на оценить возможности технологии с учетом возможных разбросов по оптимизации электро-физических основных характеристик транзисторов. Эти данные будут служить руководством для разработки эффективной схемотехники для создания низковольтных СБИС с малой потребляемой мошностью на основе КНИ нанотранзисторов.

рядом со стоком может обеспечить эффективное подавление отрицательных эффектов.

В работе проанализирован один из возможных подходов разработки разно пороговой маломощной электроники применительно к суб 25 нм двух затворным КНИ КМОП транзисторам. Рассмотрен способ выбора технологических параметров транзисторов с разными порогами с учетом их применения для разных схемотехни-При ческих приложений. помощи программы HSPICE численно исследованы динамические характеристики инвертора на прототипах транзисторов. двух При напряжении питания 1 В минимальная задержка переключения вентилей меньше 1 пс, максимальная активная мощность переключения на частоте 100 ГГц не превышает 10 мкВт и минимальная статическая мощность составляет 0.84 рВт.

В диапазоне напряжений питания от 0,3 В до 1 В минимум произведения энергия переключения на задержку каждого инвертора соответствует напряжению питания 0,65 В.

В диапазоне напряжений питания от 1 до 0,65 В задержка переключения вентилей практически не меняется.

При напряжении питания 0,65 В активная мощность на частоте 100 ГГц и статическая мощность снижаются в два с половиной раза.

Simulation of gate characteristics on the symmetric double gate SOI CMOS nanotransistors with a asymmetric-doping channel

N. Masalsky

Abstract: By means of numerical modeling electro-physical characteristics of double gate SOI CMOS transistor nanostructures with non-uniform doping channel area are researched. The offered mathematical model implements approach of the numerical solution for a 2D Poisson equation. Based on the received potential distribution a threshold voltage, a subthreshold scope and volt ampere characteristics for sub-50 nm structures are calculated.

By means of numerical modeling characteristics of logical gates, in particular the inverter, on sub-25 nanometer of the symmetric double gate SOI CMOS nanotransistors with asymmetric doping channel are researched in case of supply voltage less than 1 V. Implementation version of the asymmetric channel (including from a source): high-doping and low-doping areas. The mathematical model for potential distribution in the transistor work area following from the analytical solution of 2D Poisson equation is considered. For simulation of volt ampere characteristics the approved current model formulated within charge division taking into account the modified expression for saturation speed was used. For simulation of the HSPICE program was used.

Keywords: symmetric double gate SOI CMOS nanotransistor, 2D Poisson's equation, gradientdoping channel, volt-ampere characteristics, logical gate, low supply power

Литература

1. J. Widiez, J. Lolivier, M. Vinet, T. Poiroux, B. Previtali, F. Dauge, M. Moui, S. Deleonibus. Experimental evaluation of gate architecture influence on DG SOI MOSFET's performance. «IEEE Trans. Electron Devices». v. 52(2005), № 5, 1772-1781.

2. M. Reyboz, O. Rozeau, T. Poiroux, P. Martin, J. Jomaah. An explicit analytical charge based model of undoped independent Double-Gate MOSFET. «Solid-State Electronics». v. 50(2006), № 5, 1276-1285.

3. H. Liu, Z. Xiong, K. Sin. Implementation and characterization of double-gate MOSFET using lateral solid-phase epitaxy. «IEEE Trans. Electron Devices». v. 50(2005), № 4, 1552-1557.

4. T. M. Chung, B. Olbrechts, U. Sodervall, S. Bengtsson, D. Flandre, J-P. Raskin. Planar double-gate SOI MOS devices: fabrication by wafer bonding pre-patterned cavities and electrical characterization. «Solid-State Electron». v. 51(2007), № 1, 231-239

5. C. Tsai. High-performance top and bottom double-gate low-temperature poly-silicon thin film transistors fabricated by excimer laser crystallization. «Solid-State Electron». v. 52(2008), N_2 2, 365-371. 6. H. Kaur, S. Kabra, S. Bindra, S. Haldar, R. S. Gupta. Impact of graded channel (GC) design in fully depleted cylindrical/surrounding gate MOSFET (FD CGT/SGT) for improved short channel immunity and hot carrier reliability. «Solid State Electronics». v. 51(2007), No.3, 398-404. 7. Н.В.Масальский. Характеристики двух затворных КНИ КМОП нанотранзисторов для перспективных технологий с низким уровнем потребляемой мощности. «Микроэлектроника». т. 41(2012), №6, 436-444.

8. M. A. Pavanello, J. A, Martino, V. Dessard, D.Flandre. Analog performance and application of gradedchannel fully depleted SOI MOSFETs. «Solid-State Electron.». v. 44(2000), № 4, 1219-1222.

9. M. A. Pavanello, J. A. Martino, J.-P. Raskin, D. Flandre. High performance analog operation of double gate transistors with the graded-channel architecture at low temperatures. «Solid-State Electron.». v. 49(2005), No 6, 1569-1575.

10. J. S. Martin, A. Bournel, P. Dollfus. Comparison of multiple-gate MOSFET architectures using Monte Carlo simulation. «Solid-State Electron». v. 50(2006), № 1, 94-101.

11. R. K. Sharma, R. Gupta, M. Gupta, R. S. Gupta. Graded channel architecture: the solution for misaligned DG FD SOI n- MOSFETs. «Semiconductors Science Technology». v. 23(2008), № 11, 75041-75051.

12. Н.В.Масальский. Двух затворные неравномерно легированные полевые нанотранзисторы. Saarbrücken, Germany, LAP LAMBERT Academic Publishing GmbH & Co, 2016.

13. URL: <u>http://www.silvaco.com</u>/ Silvaco Int. 2004: ATLAS User's Manual A 2D numerical device simulator (дата обращения 25.11.2016).

14. Н.В. Масальский. Полностью обедненные КМОП КНИ логические элементы для низковольтных применений. «Микроэлектроника». т. 37 (2008), №6, 470-480.

15. A. Kranti, Y. Hao, G.A. Armstrong. Performance projections and design optimization of planar double gate SOI MOSFETs for logic technology applications. «Semiconductor Science and Technology». vol. 23 (2008), № 2, 45001-45011

16. M. K. Pandey, S. Sen, R. S. Gupta. Thermal characterization of double-gate silicon-on-insulator MOSFET. « J Phys D: Appl Phys». Vol. 32 (1999), №1, 344-349.

17. A. Kranti, G. A. Armstrong. Engineering source/drain extension regions in nanoscale double gate (DG) SOI MOSFETs: Analytical model and design considerations. «Solid - State Electronics», vol. 50 (2006), N_{2} 4, 437 – 447.

18. International technology roadmap for semiconductor 2014 edition. - [Электронный ресурс] – Режим доступа: http:// public.itrs.net.

19. С. Зи. Физика полупроводниковых приборов. М., Мир, 1984.

20. Н.В. Масальский. Синтез характеристик логических вентилей на двух затворных суб-25 нм КНИ КМОП транзисторах для маломощных применений. «Нано- и микросистемная техника». т. 18 (2010), № 5, 41-46.

Оценка дозы легирования LDD-областей МОП-транзисторов с использованием САПР конструкторско-технологического моделирования

Г.А. Яшин¹, А. В. Амирханов², А.А. Глушко³, В.В Макарчук⁴, А.С Новоселов⁵

^{1,4} МГТУ им. Н. Э. Баумана, Москва, Россия, E-mail's: ¹ georgtree@gmail.com, ⁴ vmakarchuk@gmail.com,

^{2, 3, 5} ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ² aav@srisa.ru, ³ andrey_glushko@srisa.ru, ⁵ anton_novoselov@srisa.ru,

Аннотация: В работе была продемонстрирована структура тестирования сопротивления LDD-областей n и р типа проводимости, описана приборно-технологическая модель структуры. Проведены экспериментальные исследования тестовой структуры партии кристаллов. В дальнейшем было проведено моделирование вольт-амперных характеристик с оптимизацией дозы легирования. Дана оценка возможной средней дозы легирования на основе результата оптимизации дозы в приборно-технологической модели.

Ключевые слова: LDD-области, СБИС, модель, оптимизация

1. Введение

В конструкции МОП-транзисторов современных СБИС дополнительные слаболегированные, так называемые LDD-области (lightly doped drain) уже стали индустриальным стандартом. Их наличие позволяет снизить напряженность электрического поля в канале транзистора и тем самым повысить его пробивное напряжение, уменьшив при этом влияние эффекта горяносителей [1]. Кроме того, наличие чих LDD-областей изменяет величину сопротивления, открытого МОП-транзистора, что оказывает существенное влияние на его статические и динамические характеристики. [2]

Конструкционные параметры LDD-областей, такие как форма профиля и суммарная доза легирования, а также глубина p-n-перехода влияют на вольт-амперные характеристики МОП-транзистора, что особенно важно при оценке функционирования СБИС с учетом вариаций параметров технологического процесса.

Технологическая операция формирования LDD-областей имеет следующие особенности. Во-первых, ионная имплантация примеси выполняется при малых энергиях (около 8 кэВ), вследствие чего к поверхности пластины перед ее выполнением предъявляются особые требования по стабильности толщины маскирующего окисла, а, во-вторых, важно, чтобы после проведения операции литографии, выполняемой перед ионной имплантацией примеси, не допустить на поверхности пластины наличия остаточного слоя фоторезиста.

Указанные причины требуют постоянного контроля параметров выполнения этой операции с целью обеспечения их повторяемости и стабильности в общем технологическом процессе производства СБИС.

Проведенный анализ возможных способов контроля выполнения указанной операции показал, что наиболее целесообразным будет контроль дозы легирования посредством измерения поверхностного сопротивления LDDобластей. Для решения этой задачи в параметрический монитор была введена специально спроектированная тестовая структура, с помощью которой можно было измерить поверхностное сопротивление этих областей.

2. Тестовая структура сопротивления LDD-областей

Разработанная тестовая структура представляет собой две параллельные полоски поликремния, из которого формируются затворы транзисторов, расположенные на расстоянии, позволяющем в дальнейшем двум оксидным спейсерам сомкнуться друг с другом, полностью закрыв LDD-область, находящуюся между ними (рисунок 1). В результате образуется протяженрезистор, тело которого представляет ный LDD-область, на концах которого для подключесформированы высоколегированные обния ласти, к которым через контактные окна подведены проводящие дорожки слоя металлизации, выведенные на четыре контактные площадки для измерения поверхностного сопротивления 4-х зондовым методом, контакты I+, I- для подачи V-, V+ - для измерения напряжения тока, (рисунок 2). К имеющимся четырем контактным площадкам дополнительно сформированы две контактные площадки, которые обеспечивают контакты к карману и затворам МОП-структур.



Рисунок 1. Топология тестовой структуры



Рисунок 2. Топология ячейки тестовой структуры



На рисунках 3-7 показаны фотографии тестовой структуры, выполненные с помощью установки NanoSEM-3D.

Рисунок 3. Фотография структуры до осаждения спейсера



Рисунок 4. Приближенная фотография затвора до осаждения спейсера



Рисунок 5. Фотография структуры после осаждения спейсера



Рисунок 6. Приближенная фотография затвора после осаждения спейсера

Согласно фотографиям на пластине, зазор между поликремниевыми затворами воспроизвелся согласно исходной топологии (расстояние между поликремниевыми затворами равно исходным 0.3мкм с учетом небольшого сужения около краев структуры). Смыкание спейсеров так же осуществилось согласно предсказаниями, создав таким образом маску для последующих за легированием LDD-областей имплантациям.


Рисунок 7. Трехмерная модель тестовой структуры п-типа

3. Приборно-технологическая модель тестовой структуры

В пакете приборно-технологического моделирования TCAD Sentaurus была создана трехмерная модель описанной тестовой структуры для n- и p-типа, изображенная на рисунке 7.

Модель имеет контакты к карману и поликремнию для фиксации потенциала, а так же контакты к концам протяженного LDD-резистора, длина модели резистора эквивалента длине реальной структуры. Моделирование ионной имплантации структур было проведено с применением статистического метода Монте-Карло.

Расчет вольт-амперных характеристик проводился в пакете Sentaurus Device, в результате относительное отклонение вольт-амперной характеристики от средней экспериментальной

по партии составляло 12% процентов для n-типа и 16% для p-типа.

4. Измерения тестовых структур и оптимизация дозы легировния

С помощью рассмотренной тестовой структуры были проведены измерения вольтамперных характеристик структур n- и p-типа на различных кристаллах пластин, изготовленных по технологии с проектными нормами 0,25 мкм.

На рисунке 8 тонкими линиями изображены вольт-амперные характеристики структуры п-типа, измеренные на различных кристаллах одной пластины, а на рисунке 9 — аналогичные характеристики структуры р-типа.



Рисунок 8. ВАХ тестовой структуры n-типа



На основании измеренных данных была проведена оптимизация параметров приборнотехнологической модели тестовой структуры, в частности, дозы легирования LDD-областей, по критерию минимизации разности между расчетной вольт-амперной характеристикой модели тестовой структуры и усредненной измеренной характеристике по набору кристаллов.

На рисунках 8 и 9 вольт-амперная характеристика модели показана пунктирной утолщенной линией. По результатам оптимизации доза легирования LDD-областей была уменьшена на 12% и 16 % для n и р типа соответственно.

5. Заключение

В результате работы были получены семейства экспериментальных вольт-амперных характеристик резисторов на основе LDD-областей, обработав которые, была получена информация о технологическом разбросе дозы легирования областей.

Также была проведена оптимизация дозы легирования приборно-технологической модели, в результате чего воль-амперные характеристики модели стали отображать среднюю дозу легирования по партии кристаллов – суммарная доза для областей n- и p- типа была уменьшена, что может говорить, например, о более высокой плотности оксида кремния, выступающего в роли маски перед ионной имплантацией.

Работа выполнена при частичной финансовой поддержке РФФИ (грант 15-07-03116)

Estimation of the doping level of LDD regions of MOSFETs using TCAD modeling

G.A. Yashin, A. V. Amirkhanov, A.A. Glushko, V.V. Makarchuk, A.S. Novosyolov

Abstract: The structure of resistance testing of LDD-regions of n and p type was demonstrated, the devicetechnological model of the structure was described. Experimental studies of the test structure of a batch of crystals are carried out. In the future, the simulation of volt-ampere characteristics was performed with optimization of the doping dose. An estimate of the possible average dose of doping based on the result of dose optimization in the instrument-technological model is given.

Keywords: LDD, VLSI, model, optimization

Литература

1. Г.Я.Красников. Конструктивно-технологические особенности субмикронных МОП-транзисторов – Издание 2-е, исправленное – М.: Техносфера, 2011. – 800 с.

2. Donald A. Neamen. Semiconductor physics & devices: basic principles - Fourth edition, - New York: McGraw-Hill, 2011 - 760c

Регрессионный контроль производительности разрабатываемой RTL-модели микропроцессора

Д.А. Трубицын¹, П.А. Чибисов²

^{1,2} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail's: ¹ trubicin@cs.niisi.ras.ru, ² chibisov@cs.niisi.ras.ru

Аннотация: Предложен подход к контролю производительности RTL-модели микропроцессора. В рамках этого подхода предлагается методика, позволяющая не только контролировать производительность, но и указывать фрагменты кода, выполнение которых приводит к изменению производительности. Также рассматривается адаптация больших тестовых пакетов измерения производительности для запуска на RTL-модели: получение коротких репрезентативных фрагментов трассы тестов либо синтез нового набора уменьшенных тестов по заданным параметрам.

Ключевые слова: производительность микропроцессора, RTL-модель, регрессионные тесты, адаптация тестов производительности, параметры сложности кода теста, SPEC CPU2006.

1. Введение

Одной ИЗ актуальных задач при разработке микропроцессора (МП) является оценка производительности его RTL-модели. На стадии разработки RTL-модели создаются регрессионные базы функциональных тестов и производительности. База тестов тестов производительности содержит микротесты производительности, нацеленные на проверку определенных элементов микроархитектуры МП [1], адаптированные фрагменты реальных вычислительных программ [2], макротесты для тестирования взаимодействий различных компонент микроархитектуры. Результатом регрессионной запуска базы тестов производительности является вердикт 0 производительности соответствии текущей версии RTL-модели некоторой заданной эталонной версии проекта. Также контроль производительности осуществляется на стадии ПЛИС-прототипа путем запуска тестов OC производительности под Linux [3]. Примерами таких тестов являются тестовые пакеты Coremark, Lmbench, SPEC CPU2000, SPEC CPU2006.

как He всегда очевидно, правки, вносимые разработчиком в RTL-модель, влияют на производительность проекта в целом. Существуют нетривиальные зависимости между элементами микроархитектуры, приводящие к повышению показателей ряда микротестов, однако снижающих производительность МП в целом на реальных вычислительных программах. Для оценки влияния вносимых разработчиком правок в код RTL-модели на производительность, a также для исследования эффективности принимаемых решений при проектировании требуется микроархитектуры разработка контроля специального инструмента производительности моделей.

2. Методика регрессионного контроля

Тест производительности показывает время выполнения одной операции или набора операций, количество операций за единицу времени, либо отношение количества инструкций к количеству тактов, затраченных на решение задачи (*IPC, instruction per cycle*). В данной статье предлагается использовать значение IPC тестов для измерения производительности версий RTL-моделей и их сравнения. Регрессионный контроль производительности осуществляется на стадии разработки RTL-модели микропроцессора в несколько этапов.

На первом этапе на контролируемом запускаются регрессионные базы проекте функциональных тестов и тестов производительности. Для каждого теста системой формируется отчет в виде таблицы, состоящей из следующих полей: название теста, значения ІРС теста на контролируемом и эталонном проектах, соотношение ІРС_{текущее} / ІРС_{эталонное}. Эталонными данными может быть как максимально хороший результат, полученный ранее, так и желаемый которого стремится результат, добиться разработчик [4]. Пример приведен в Таблице 1.

Таблица 1. Пример сравнения значений IPC

Имя теста	IPC		IPC _{эт}	Отношение
Test _perf_1	0.249	$^{\prime}$	0.268	1.080
Test _perf_2	0.329	<	0.354	1.078
Test _perf_3	0.350	<	0.327	0.935

Следующим этапом является выбор группы тестов с наименьшим соотношением IPC_{текущее} / IPC_{эталонное}. Важно учитывать изменение усредненного значения IPC по всей базе тестов для анализа влияния вносимых правок в RTL-модель с целью принятия решения о включении этих правок в проект даже в случае, если для отдельных тестов соотношение значений IPC уменьшилось.

Заключительным этапом контроля производительности является выявление наиболее проблемных с точки зрения производительности участков трасс тестов из выбранной на предыдущем этапе группы. Трассы выполнения выбранного теста на текущей и эталонной модели разбиваются на N фрагментов, для каждого из которых вычисляется время его выполнения ΔT_i . Далее производим сравнение всех ΔT_i для текущего и эталонного проектов. Таким образом, фрагменты теста, для которых $(\Delta T_{i \text{ текущее}} - \Delta T_{i \text{ эталонное}})$ принимает максимальное значение, указывают на участки трассы, на падение которых наблюдается производительности.

В итоге, тесты с указанием данных фрагментов передаются разработчику RTLмодели для дальнейшего анализа с помощью графической интерпретация сигналов. Сравнение производительности проектов может быть представлено графически (рис. 1).



Рис. 1. Графическое представление результатов сравнения производительности проектов для одного теста

Также часто представляется полезным продемонстрировать графически наиболее проблемные с точки зрения производительности участки трасс тестов с детальным указанием диапазона инструкций (рис. 2).



Рис. 2. Детальное графическое представление проблемного участка трассы теста

Все этапы регрессионного контроля производительности автоматизированы с помощью управляющих программ, написанных на языках Bourne Shell и PERL.

3. Тесты производительности для RTL-модели

Тесты функциональности могут применяться только на начальном этапе контроля производительности. Помимо тестов функциональности в качестве источников кода могут выступать специально сгенерированные псевдослучайные последовательности инструкций, а также известные (признанные и повсеместно применяемые) тесты контроля производительности с доступным исходным кодом под OC Linux.

Примерами таких тестов являются тесты, входящие в состав пакетов SPEC CPU2000, SPEC Phoronix Test Suite, MediaBench, CPU2006. Mibench, Polybench, NAS Parallel Benchmark и других. Эти тесты представляют собой фрагменты реальных вычислительных задач из разных областей. При этом совокупность тестов подбирается таким образом, чтобы они по возможности покрывали различные аспекты архитектуры и микроархитектуры микропроцесссоров, влияющие на производительность. Однако эти тесты являются крайне продолжительными (десятки миллиардов инструкций в одном тесте), запуск невозможно осуществить в И ИХ отведенное на тестирование время, так как скорость выполнения программ на RTL-модели микропроцессора крайне мала.

С другой стороны, существуют и не очень продолжительные популярные тесты, такие как Dhrystone, Whetstone, Coremark, Scimark. Ho их недостаточно для создания полной характеристики производительности модели микропроцессора, так как они являются искусственно созданными тестами для оценки ряда показателей без привязки к какому-либо приложению, к тому же их код целиком помещается в кэш-память микропроцессора).

4. Адаптация больших тестов производительности

Запуск непродолжительных тестов на RTL-модели не представляет собой сложную задачу, в то время как продолжительные тесты требуют ряда мер по адаптации к запуску. Фактически, требуется решить задачу выборки нескольких репрезентативных частей из продолжительного теста.

Для выборки репрезентативного фрагмента можно воспользоваться профилировщиком.

Первый заключается в использовании механизма срезки-восстановления [5] состояния модели микропроцессора, получаемого при запуске эталонного эмулятора. При использовании этого механизма вся последовательность команд теста разбивается на множество подпоследовательностей, которые параллельно на выполняются разных вычислительных устройствах. Но этот способ значительным недостатком обладает существует вероятность, что полученный фрагмент теста будет содержать нерепрезентативный код, по которому невозможно будет корректно оценить изменение производительности проекта. Для повышения точности оценки производительности предлагается использовать совокупность фрагментов вместо всего пакета тестов. Таким образом, адаптация больших тестов сводится к обоснованному сокращению всей трассы теста до небольших, но показательных фрагментов с наименьшими потерями точности.

Второй вариант получения непродолжительных репрезентативных тестов производительности для RTL-модели микропроцессора выявлении заключается в И описании характерных признаков и особенностей реальных вычислительных задач, входящих в состав тестовых пакетов, с последующей генерацией эквивалентных по этим признакам тестов. Существует подходы [6], [7] к анализу сходства тестовых программ с последующим синтезом новых эквивалентных наборов тестов обладающих теми же ключевыми особенностями и в то же время являющихся гораздо меньшими по сравнению с оригинальным набором тестов. Конечно, точность измерения производительности снижается, однако для регрессионного производительности RTL-модели контроля микропроцессора абсолютные важны не значения, показываемые тестами, а относительные значения результатов эталонной и текущей моделей.

В работе [8] предлагается ввести более 50 параметров, по которым можно судить о сложности кода теста. В качестве примера приводятся следующие метрики:

 набор инструкций: инструкции обращения к памяти, инструкции ветвления, целочисленные арифметические операции, операции с плавающей точкой;

- параллелизм на уровне инструкций;

- зависимости по регистрам;

- количество промахов в кэш-память всех уровней на 1000 обращений;

- степень локализованности обращений в сегмент памяти; - точность предсказания переходов инструкций ветвления.

Метрики можно разделить на зависимые от микроархитектуры (например: количество промахов в кэш-память, точность предсказания инструкций ветвления) и независимые от микроархитектуры (инструкции, входящие в тест, возраст зависимостей по регистрам).

Этот же набор метрик можно применить как для обнаружения и изучения сходства тестовых программ, так и для синтеза набора уменьшенных тестов, которые могут быть использованы для регрессионного контроля производительности RTL-модели микропроцесссора. Синтез таких уменьшенных тестов имеет смысл при выполнении двух условий: тест воспроизводит характеристики выполнения машинного кода того приложения, на котором он основан, и достигает того же результата за гораздо меньшее время. Уменьшенный тест представляет собой программу, написанную на языке С, с низкоуровневыми вставками на языке Ассемблер. Погрешность результата таких уменьшенных тестов зависит от их состава и обычно составляет единицы процентов. Для тестов с большим количеством инструкций ветвления, работающих с большим объемом памяти, погрешность может доходить до десятков процентов. В итоге, множество созданных коротких репрезентативных тестов производительности, время выполнения которых на RTL-модели занимает до 10 минут, используется вместо продолжительных тестов, запуск которых не представляется возможным за требуемое время.

5. Выводы

В статье предлагается метод контроля производительности RTL-модели микропроцесссора, с помощью которого можно не только оценить изменение производительности модели на этапе ее разработки, но и указать конкретный фрагмент кода, в ходе выполнения которого меняется производительность.

Этот метод помогает при анализе кода и существенно облегчает задачу оптимизации производительности.

Кроме того, с целью сокращения времени тестирования RTL-модели микропроцессора предлагается подход к адаптации таких больших тестовых пакетов как SPEC CPU2000 и SPEC CPU2006, заключающийся в получении коротких репрезентативных фрагментов трассы тестов либо в синтезе нового набора уменьшенных тестов, которые могут быть использованы для регрессионного контроля производительности RTL-модели микропроцессора.

Performance regression control of developed microprocessor RTL-model

D.A.Trubitsyn, **P.A.Chibisov**

Abstract: This paper presents the method for microprocessor RTL-model performance control. The proposed regression control technique makes it possible to reveal test code fragments that indicate the change of RTL-model performance. Benchmark suites adaptation to be executed on the model is considered. Two ways of representative code fragments achievement are offered. One way is to take benchmark code from real performance applications (like SPEC), and the second way is to synthesize reduced benchmark automatically from the execution characteristics of actual applications.

Keywords: microprocessor performance, RTL-model, regression tests, performance tests adaptation, workload characterization, SPEC CPU2006.

Литература

- 1. Н.В.Николина. Микротесты для оценки производительности RTL-моделей микропроцессоров // Программные продукты и системы. 2012, №3. С. 103 107.
- С.И.Аряшев, А.А.Краснюк, П.А.Чибисов. Адаптация тестов для оценки производительности 64-разрядного универсального суперскалярного микропроцессора // Проблемы разработки перспективных микроэлектронных систем - 2005. Сборник научных трудов / под общей редакцией А.Л. Стемпковского. М.:ИППМ РАН, 2005. С. 263-268.
- 3. П.А.Чибисов. Тестирование микропроцессоров и их RTL-моделей приложениями пользователя под ОС Linux. // Программные продукты и системы, №3, 2012, с. 112-116.
- С.И.Аряшев, Н.В.Николина, П.А.Чибисов. Организация регрессионного процесса тестирования RTL-моделей микропроцессоров // Параллельные вычисления и задачи управления. Сборник трудов конференции PACO'2012, с. 231-237.
- С.Г.Бобков, П.А.Чибисов. Повышение качества тестирования высокопроизводительных микропроцессоров методами встречного тестирования с анализом функционального тестового покрытия выделенных приложений. // Информационные технологии, №8, 2013, с. 26-33.
- 6. L. van Ertvelde and L.Eeckhout. Benchmark synthesis for architecture and compiler exploration, International Symposium on Workload. Characterization, pp. 1-11, 2010.
- R.Bell and L.Jonh. The Case for Automatic Synthesis of Miniature Benchmarks. Performance and Functional Verification of Microprocessors. pp.110-118, 2008
- A.Joshi, A.Phansalkar, L.Eeckhout. Microarchitecture-independent workload characterization. IEEE Micro, 27(3), pp. 63–72, 2007.