

Федеральное государственное учреждение «Федеральный научный центр
Научно-исследовательский институт системных исследований Российской академии наук»
(ФГУ ФНЦ НИИСИ РАН)

ТРУДЫ НИИСИ РАН

ТОМ 8 № 3

**МАТЕМАТИЧЕСКОЕ И КОМПЬЮТЕРНОЕ МОДЕЛИРОВАНИЕ
СЛОЖНЫХ СИСТЕМ:**

ТЕОРЕТИЧЕСКИЕ И ПРИКЛАДНЫЕ АСПЕКТЫ

МОСКВА
2018

Редакционный совет ФГУ ФНЦ НИИСИ РАН:

В.Б. Бетелин (председатель),
Е.П. Велихов, В.А. Галатенко, В.Б. Демидович (отв. секретарь), Б.В. Крыжановский,
А.Г. Кушниренко, А.Г. Мадера, М.В. Михайлюк, В.Я. Панченко, В.П. Платонов,
В.Н. Решетников

Главный редактор журнала:

В.Б. Бетелин

Научный редактор номера:

М.П. Горбунов

Тематика номера:

Номер содержит материалы «XVII Всероссийской научно-технической конференции “Электроника, микро- и наноэлектроника”: 14-18 мая 2018 года, г. Суздаль, Россия».

Тематика журнала:

Журнал публикует оригинальные статьи по следующим областям исследований: математическое и компьютерное моделирование, обработка изображений, визуализация, системный анализ, методы обработки сигналов, информационная безопасность, информационные технологии, высокопроизводительные вычисления, оптико-нейронные технологии, микро- и наноэлектроника, математические исследования и вопросы численного анализа, история науки и техники.

The topic of the issue:

The issue contains the materials of «XVII All-russian Scientific and Technical Conference “Electronics, Mikro- and Nanoelectronics”: May 14-18, 2018, Suzdal, Russia».

The topic of the Joournal:

The Journal publishes novel articles on the following research arias: mathematical and computer modeling, image processing, visualization, system analysis, signal processing, information security, information technologies, high-performance computing, optical-neural technologies, micro- and nanoelectronics, mathematical researches and problems of numerical analysis, history of science and of technique.

Заведующий редакцией: Ю.Н. Штейников

Издатель: ФГУ ФНЦ НИИСИ РАН,
117218, Москва, Нахимовский проспект 36, к. 1

СОДЕРЖАНИЕ

I. ПРОЕКТИРОВАНИЕ СБИС. НАНОЭЛЕКТРОНИКА

<i>А.А.Антонов, А.О.Власов, Е.А.Гагарин, О.В.Месярикова.</i> Особенности разработки троированной СБИС по технологии 65 нм.....	5
<i>А.В.Антонюк, П.В.Степанов.</i> Оптимизация логики суммирования сигналов сопоставления 65 нм КМОП блока ассоциативной памяти	10
<i>А.Ю.Богданов, С.А.Морев, П.А.Мамонов.</i> Отладка аппаратного видеodeкодера с поддержкой стандарта ITU-T H.265.....	16
<i>А.М.Антонова, П.С.Зубковский.</i> Разработка фильтра запросов когерентности.....	21
<i>С.И.Бабкин, С.И.Волков, С.А.Морозов, А.С.Новосёлов, С.В.Румянцев.</i> Исследование параметров высоковольтных LDMOS транзисторов при высоких температурах	25
<i>С.И.Бабкин, Д.А.Байдаков, С.И.Волков, А.А.Глушко, С.А.Морозов, А.С.Новосёлов, А.А.Столяров.</i> Разработка технологии формирования высоковольтных LDMOS КНИ транзисторов для экстремальной электроники.....	31
<i>Ю.Б.Рогаткин, А.О.Власов, А.В.Каплин, Д.Н.Скурихин.</i> Разработка библиотеки радиационно-стойких элементов по 65 нм КМОП технологии.....	37
<i>П.Г.Кириченко, А.О.Власов, А.А.Морозов, П.В.Тургенев, А.Г.Васильев.</i> Разработка компиляторов радиационно-стойких сбоеустойчивых СОЗУ по 65 нм КМОП технологии	42
<i>А.В.Смирнов, П.А.Чиби́сов.</i> Генерация последовательностей инструкций для тестов подсистемы памяти многоядерных микропроцессоров.. ..	46
<i>В.Р.Джафаров, А.С.Щербаков.</i> Обеспечение целостности данных контроллером доступа к флеш-памяти NOR-типа (NOR flash) и статистической памяти (SRAM)	51
<i>А.В.Андрюанов.</i> Реализация возможности пошаговой отладки при отладке тестовых сценариев на модели СБИС СиК	56

II. ЭЛЕКТРОННЫЕ СИСТЕМЫ

<i>А.А.Дубровин.</i> Преимущества гибридного контроллера твердотельного накопителя, проанализированные с использованием алгоритма wear-leveling	61
---	----

III. РАДИАЦИОННАЯ СТОЙКОСТЬ ЭЛЕКТРОННЫХ УСТРОЙСТВ И СИСТЕМ

<i>Ю.В.Катунин, В.Я.Стенин.</i> Моделирование устойчивости к сбоям КМОП элементов ассоциативной памяти с использованием средств TCAD.....	71
<i>П.В.Степанов, В.Я.Стенин, Ю.В.Катунин, А.В.Антонюк.</i> 65-нм КМОП буфер ассоциативной трансляции на элементах с повышенной устойчивостью к воздействию отдельных ядерных частиц	80
<i>П.В.Степанов, Ю.В.Катунин.</i> Повышение надёжности считывания данных в статических КМОП ОЗУ при воздействии отдельных ядерных частиц	88
<i>В.С.Першенков, А.С.Бакеренков, В.А.Фелицын, А.С.Родин.</i> Обобщённая модель эффекта низкой интенсивности в биполярных приборах	94
<i>В.М.Кисель, А.Ю.Малявина, А.С.Бакеренков, В.А.Фелицын, А.С.Родин, В.С.Першенков.</i> Исследование радиационной деградации источника опорного напряжения LM 4050	99
<i>Д.С.Костюченко, А.Б.Каракозов, Н.С.Дятлов, П.В.Некрасов, К.А.Епифанцев, В.А.Марфин, Н.Д.Кравченко, О.А.Калашиников, А.В.Уланова.</i> Требования к	

программному обеспечению, оборудованию и оснастке для сложно-функциональных СБИС при проведении радиационного эксперимента	102
<i>А.А.Голубцов, А.Н.Рябев, А.О.Шишкин, А.С.Костин.</i> Метод прогнозирования отказов силовых транзисторов при воздействии тяжёлых заряженных частиц в среде TCAD	111
<i>И.А.Харитонов.</i> Учёт отжига радиационных эффектов в SPICE моделях МОП-транзисторов для расчётов радиационно стойких КМОП БИС	118
<i>О.С.Пивко, А.М.Галимов, Г.И.Зебрев.</i> Экспериментальное усреднение сечения сбоев от ТЗЧ по полному телесному углу	125

IV. МЕТОДЫ И СРЕДСТВА МОДЕЛИРОВАНИЯ И ПРОЕКТИРОВАНИЯ

<i>Н.В.Масальский.</i> Моделирование распределения потенциала в двух затворном КНИ КМОП нанотранзисторе с неравномерно-легированной рабочей областью	130
<i>М.С.Ладнушкин.</i> Метод дублирования функциональных триггеров в системах скан-тестирования с компрессией	138
<i>Г.И.Зебрев, М.С.Горбунов, В.О.Турин, Р.А.Дашкин, П.О.Черняков.</i> Моделирование радиационно-индуцированной вариативности параметров в наноразмерных интегральных схемах	146
<i>Г.А.Яшин, А.В.Амирханов, А.А.Глушко, В.В.Макарчук, А.С.Новосёлов.</i> Анализ пригодности современных компактных моделей КНИ МОП-транзисторов к моделированию в расширенном диапазоне температур.....	150

Особенности разработки троированной СБИС по технологии 65нм

А.А.Антонов¹, А.О.Власов², Е.А.Гагарин³, О.В.Мещерякова⁴

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹ antonov@niisi.msk.ru, ² vlaalex@cs.niisi.ras.ru, ³ gagarin@cs.niisi.ras.ru, ⁴ olgavm@niisi.msk.ru

Аннотация. Представлены особенности проектирования сбоеустойчивой системы на кристалле по технологии 65 нм. Приведены основные типы сбоев внутри системы на кристалле. Рассмотрены различные подходы по реализации резервированной микросхемы. Оценено увеличение площади и мощности потребления микросхемы.

Ключевые слова: сбоеустойчивость, резервирование, КМОП 65нм.

1. Введение

В условиях факторов экстремального воздействия для обеспечения функционирования микросхем на всех этапах проектирования и производства применяется ряд мер для обеспечения надёжного функционирования, необходимого по техническому заданию. Однако уменьшение технологических норм производства, особенно в рамках субмикронного диапазона, выдвигает дополнительные требования для реализации требуемой стойкости и сбоеустойчивости.

2. Анализ результатов испытания тестового кристалла по технологии 65нм КМОП

В НИИСИ РАН был разработан тестовый кристалл по технологии 65нм КМОП. При проектировании тестового кристалла была разработана библиотека стандартных элементов, ячейки ввода/вывода. В состав тестового кристалла вошли:

- 4 блока памяти различной реализации
- Кольцевой генератор на элементах ячеек ввода/вывода.
- Различные варианты схем мажорирования [1]

Для исключения сбоев в логике управления применялась специальная схемотехника.

При исследовании тестовых образцов после испытаний [2] были получены следующие результаты:

- Изменения частоты кольцевого генератора не зафиксировано

- Исследуемая память сохранила работоспособность до 1,2 Мрад (Si) (испытания были прекращены)
- рост тока утечки в памяти с охранными кольцами составил менее 10% (без - в 5раз)
- В памяти наблюдались многократные сбои из-за попадания ТЗЧ в чувствительную зону. Радиус трека ТЗЧ < 2.5мкм
- Наблюдался эффект радиационно-индуцированного усиления разброса параметров
- При проектировании сбоеустойчивых систем на базе 65 нм технологий следует использовать триггеры на стандартных элементах, а DICE-триггеры не дают выигрыша ни по быстродействию, ни по сбоеустойчивости.

3. Реализация тройного резервирования при технологических нормах 65нм

Метод тройного резервирования для повышения сбоеустойчивости микросхем подразумевает наличие трёх потоков данных, обрабатываемых идентичными вычислительными трактами. Одинаковые значения поступают на элементы мажорирования (на английском языке voters – «избиратели»). Эти элементы реализуют функцию, определения «верного» значения входных сигналов: на выход подается то логическое состояние, которое установилось на большинстве её входов. Количество входов у такой ячейки должно быть нечетным и быть равным степени

резервирования. В нашем случае мы используем тройное резервирование.

Рассмотрим виды реализации тройного резервирования при проектировании СБИС:

- Блочное. Вместо одного блока реализуются три одинаковых. Выходные данные проходят через элементы мажорирования, и определяется достоверное значение:
 - Основное преимущество состоит в том, что исправляется сразу несколько ошибок, возникших при вычислении.
 - Однако возможно накопление сбоев в одном блоке, что может привести к системной ошибке, прошедшей через систему мажорирования
- Применение тройного резервирования на уровне триггеров:
 - Резервируются только триггера. На фоне всей микросхемы данный метод относительно слабо увеличивает суммарную площадь, а в некоторых случаях, фактически, ненамного увеличивает плотность размещения на кристалле. При этом подходе, возможно возникновение сбоев в комбинационных вычислительных цепях, что приведёт «к выбору» ложного значения
 - Триггера и комбинационная логика. Более затратный с точки зрения проектирования и площади метод, но и значительно более надёжный, в смысле, сбоеустойчивости метод, чем предыдущий.
 - Всё, включая дерево синхросигналов. Данный подход увеличивает затраты на проектирования, но при этом позволяет значительно повысить сбоеустойчивость, в том числе и за счёт временного разнесения прибытия синхросигналов на триггера. Применение этого подхода, как правило, снижает быстродействие микросхемы.
- Смешанное: сочетание вышеописанных методов при проектировании. Применение оправдано, только лишь в случае достижения максимально возможной устойчивости к сбоем, вызванных внешним воздействием.

Кроме этого, особенно при проектировании по субмикронным технологическим нормам, стоит учитывать и физико-геометрические подходы по снижению сбоев. В [3] было установлено,

что ширина трека ТЗЧ всегда меньше 2,5мкм. Из исследований [4] было установлено, например, что при технологических нормах 65нм, активные области в DICE триггерах должны быть разнесены на расстояние не менее 2мкм. Попадание ТЗЧ в чувствительную зону может приводить к следующим видам отказов:

- SEL – тиристорный эффект: протекание сильных токов через паразитные биполярные транзисторы КМОП технологии. Тиристорный эффект относят к условно-жестким сбоям, потому что его воздействие можно остановить при помощи отключения источника питания. Эта мера, однако, весьма неудобна. Наиболее эффективно данный тип отказа удаётся нивелировать на технологическом уровне или на этапе проектирования библиотечных элементов
- Одиночный сбой – единичное нарушение логического состояния в результате попадания ТЗЧ в чувствительную зону. Данный тип характерен для «крупных» технологических норм, таких как 180 и 250нм.
- Множественные сбои. Они характерны для субмикронных технологий с топологическими регулярными размерами меньше 100нм. Расстояния между чувствительными областями могут быть меньше радиуса трека ТЗЧ, в результате чего происходит сбой в нескольких транзисторах. Например, для технологических норм 65нм характерные размеры стандартных ячеек как раз сопоставимы с максимальным размером трека ТЗЧ. Соответственно, для устранения возможности возникновения множественных сбоев необходимо топологическое разнесение ячеек.

Таким образом, для увеличения сбоеустойчивости при проектировании СБИС по субмикронным технологическим нормам необходимо сочетание использования радиационно-стойкой библиотеки, сбоеустойчивых элементов – DICE триггеров, троирования вместе с геометрическим разнесением, которое может быть:

- Декларативным, т.е. заданным непосредственно через команды САПР
- Обусловленным геометрией используемых элементов. Например, использование мультибитовых триггеров при троировании, гарантированно

обеспечит разнесение резервных копий

В НИИСИ РАН есть опыт разработки микросхемы с тройным резервированием основных блоков [5]. На рисунке А показан подход реализации тройного резервирования микросхемы 1907BM044 (250nm)



Рисунок А. Тройное резервирование блоков микросхемы 1907BM044

Крупные функциональные блоки данной СБИС были спроектированы с тройным резервированием. При этом верхний уровень был реализован без тройного резервирования, а части некритичных блоках для увеличения сбоеустойчивости использовались только DICE триггера.

При проектировании рассматриваемой в данной статье микросхемы такой подход недостаточен: как уже упоминалось, для 65nm норм требуется не только троирование, но и троирование с разнесением. К тому же, DICE триггера на данной технологии не обеспечивают достаточный уровень сбоеустойчивости, чтобы можно было реализовать какие-то блоки, только использованием при проектировании только их. Учитывая эти обстоятельства, в рассматриваемой микросхеме было решено произвести тройное резервирование с геометрическим разнесением триггеров и элементов мажорирования во всех модулях, включая верхний уровень. Исключение составили лишь блоки памяти, заказные блоки и ячейки ввода вывода. Все они окружались специальной схемотехнической обвязкой, обеспечивающей коммуникацию троированного окружения с их интерфейсами. Примеры таких «оболочек» показаны на рисунках Б1 и Б2.

На рисунке В показано изменение схемы рассматриваемой СБИС при внедрении тройного резервирования. Каждый триггер, «защелка», «клок-гейт» заменяются на троированный аналог, внутри которого применяется декларативное

пространственное разнесение: непосредственно устанавливаются расстояния между ячейками триггеров и элементами мажорирования, равное необходимым 2,5мкм. Кроме того, в троированных аналогах учтена ситуация соприкосновения в общей топологии двух подобных ячеек: геометрия их топологий такая, что гарантирует необходимое расстояние между их внутренними элементами для избегания ситуации возникновения множественного сбоя.

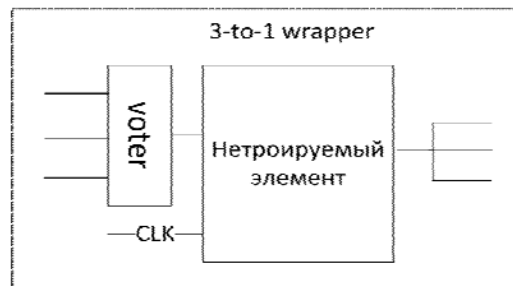


Рисунок Б1. Внедрение нетролируемого элемента (блока памяти или заказного) в схему с тройным резервированием

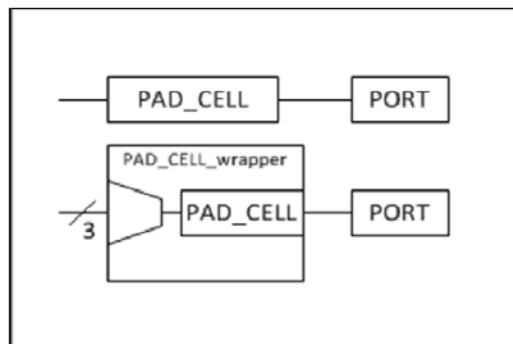


Рисунок Б2. Сопряжение ячейки ввода/вывода с троированным окружением

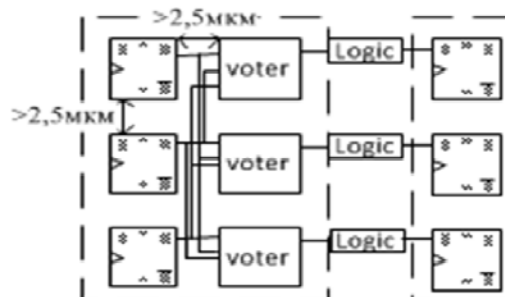
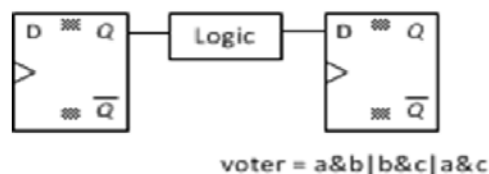


Рисунок Б. Результат внедрение тройного резервирования в схему.

Параметры троированных аналогов триггеров существенно отличаются от значений для соответствующих библиотечных ячеек:

- Разумеется, в первую очередь увеличивается площадь. Не смотря на формальное увеличение суммарной площади ячеек в 5-6 раз троированного аналога, реальные топологические размеры с учетом топологического разнесения в 12 раз больше
- Быстродействие падает на 6% в основном из-за наличия элементов мажорирования
- Статическая мощность увеличивается в 6 раз, что, примерно, отражает увеличение количества активных элементов
- Динамическая мощность данных элементов становится больше в 4 раза

Все троированные аналоги проектировались по одному маршруту и имеют одинаковую структуру. Поэтому приведенные соотношения с учетом погрешности соответствуют всем типам троированных элементов.

Используя описанные аналоги библиотечных триггеров, с помощью имеющегося от предыдущих проектов маршрута внедрения тройного резервирования была произведена оценка изменения параметров схемы разрабатываемой СБИС относительно исходного варианта.

Первоначально в проекте 67% всей суммарной площади элементов занимали макроблоки. В схеме с тройным резервированием их доля в общей площади, которая увеличилась в 1,75 раза, составила уже 38%. При этом площадь стандартных ячеек увеличилась в 3,28 раза.

В реальности, при оценке нужно

обязательно учитывать геометрическое разнесение в топологии элементов при троированный проекта. С учетом этого обстоятельства вклад макроблоков уменьшился 22%, площадь стандартных ячеек увеличилась в 7,2 раза, а общая площадь в 3,06 раз. Падение быстродействия при этом составило 18%

Таким образом, можно сделать вывод, что при внедрении тройного резервирования на субмикронных технологиях происходят следующие эффекты:

- Значительное увеличение площади относительно исходного проекта
- Вклад в общую площадь макроблоков снижается
- Большая часть площади микросхемы – «пустая», т.е. не занятая логическими элементами, для увеличения сбоеустойчивости

Данные особенности показывают существенное отличие тройного резервирования по технологическим нормам 250мкм, от троирования по нормам 65нм.

Заключение

В данной работе были рассмотрены подходы по повышению сбоеустойчивости. На момент написания статьи для микросхемы с тройным резервированием, проектируемой по технологическим нормам 65нм, адаптируется маршрут синтеза и троирования, разработанный для норм 0.25мкм.

Была произведена оценка влияния наличия тройного резервирования на параметры проекта.

Implementation VLSI with triple redundancy for 65-nm CMOS technology

A.A.Antonov, A.O.Vlasov, E.A.Gagarin, O.V.Meshcheryakova

Abstract. Design specifics of a fault-tolerant system on a 65 nm technology are presented. The main types of faults inside the system on a chip are observed. Approaches for implementing a redundant VLSI are considered. Growth parameters' values- area, performance and power consumption- is estimated.

Keywords: fault tolerance, redundancy, CMOS 65nm.

Литература

1. I.A. Danilov, M.S. Gorbunov, A.A. Antonov, "SET Tolerance of 65 nm CMOS Majority Voters: A Comparative Study," IEEE Trans. on Nucl. Sci., vol. 61, no. 4, August 2014, pp. 1597 - 1602.
2. Design of 65 nm CMOS SRAM for Space Applications: A Comparative Study. M.S.Gorbunov, P.S.Dolotov, A.A.Antonov, IEEE Transactions on Automatic Control. 2014. T. 61. № 4. С. 1575.
3. Impact of Heavy Ion Energy on Charge Yield in Silicon Dioxide. V.V.Emeliyanov, A.S.Vatuev., R.G.Useinov, IEEE Transactions on Nuclear Science. 2018.
4. Architectural and Micro-Architectural Techniques for Software Controlled Microprocessor Soft-error Mitigation. A.R.Gogulamudi, L.T.Clark, Chad Farnsworth, Srivatsan Chellappa, and Vinay Vashishtha.
5. Применение троирования нетлиста в стандартном маршруте синтеза СБИС // Труды научно-исследовательского института системных исследований Российской академии наук. Москва: ФГУ ФНЦ НИИСИ РАН, 2017. Том 7 №2. С. 120-124. А.А.Антонов, А.О.Власов, Е.А.Гагарин.

Оптимизация логики суммирования сигналов сопоставления 65нм КМОП блока ассоциативной памяти

А.В. Антонюк¹, П.В. Степанов²

¹ ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ^{1, 2} НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹ antonyuk@cs.niisi.ras.ru, ² stepanov@cs.niisi.ras.ru

Аннотация: Приводятся результаты анализа энергопотребления схем суммирования сигналов сопоставления блока ассоциативной памяти по технологии КМОП 65-нм. Рассматриваются две схемы суммирования: на основе комбинационной логики и на основе линии сопоставления с опорным регистром. Энергопотребление комбинационной логической схемы суммирования зависит от количества N входов схемы, изменивших свое состояние, минимальное и максимальное значения мощности отличаются более, чем в 50 раз. Энергопотребление схемы суммирования на основе линии сопоставления не зависит от N и соответствует энергопотреблению комбинационной логической схемы при изменении состояния половины входов. Схема с линией сопоставления обладает на 35% меньшей площадью на кристалле и на 22% меньшей задержкой выходного сигнала.

Ключевые слова: ассоциативная память, комбинационная логика, линия сопоставления, моделирование, мощность, суммирование.

1. Введение

Ассоциативная память (content addressable memory – CAM) используется в высокопроизводительных системах поточной обработки данных. Регистр ассоциативной памяти состоит из элементов сопоставления сохраненных битов данных со входными битами, элементов маскирования результатов сопоставления отдельных бит и схемы суммирования сигналов сопоставления элементов в общий сигнал сопоставления для регистра. Блоки CAM обладают повышенной потребляемой мощностью по сравнению с традиционными ОЗУ из-за одновременного переключения элементов сопоставления и элементов схем суммирования во всех регистрах CAM. Оптимизация схем суммирования сигналов сопоставления – приоритетная задача при проектировании блоков ассоциативной памяти.

В регистрах ассоциативной памяти сигналы сопоставления суммируются с помощью линии сопоставления (match line) [1]. Современные модификации этих схем позволяют уменьшить потребляемую мощность более, чем в 5 раз по сравнению с традиционным решением. В схеме из работы [2] осуществляется неполный разряд линии сопоставления до уровня, соответствующего порогу считывающего усилителя. В работе [3] заряд линии осуществляется только после предварительного сопоставления части слова, в результате чего линии сопоставления заряжаются не во всех регистрах накопителя. В статье [4] предложена схема с опорным регистром, сокращающая время разряда линии до оптимального значения. При увеличении разрядности регистров растут задержки выходного сигнала схемы, а также увеличиваются просадки напряжения на линии сопоставления, вызванные эффектом

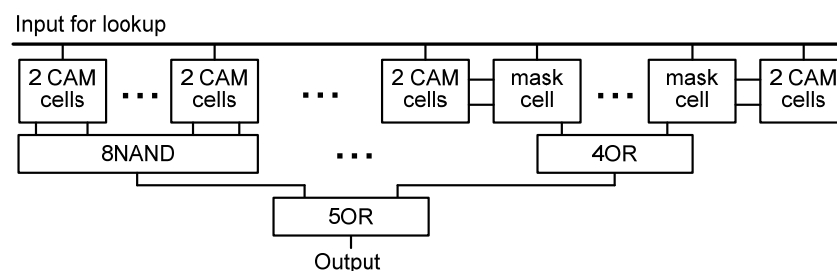


Рис. 1. Функциональная схема регистра ассоциативной памяти со схемой суммирования на основе комбинационной логики.

разделения заряда [5]. В работе [6] проанализированы преимущества схемы суммирования на основе комбинационной логики в составе регистров 28-нм буфера ассоциативной трансляции.

В данной работе проведен анализ энергопотребления схем суммирования на основе комбинационной логики и на основе линии сопоставления с опорным регистром. Проведено сравнение схем суммирования по параметрам потребления, быстродействия и площади топологии.

2. Схема суммирования с комбинационной логикой

Основу регистров ассоциативной памяти составляют элементы сопоставления [7] и элементы маскирования. Элемент сопоставления осуществляет хранение бита данных и выполняет логическую операцию ИСКЛ. ИЛИ (XOR) над хранящимся битом и входной последовательностью битов, формируя сигнал сопоставления элемента. В случае совпадения хранящегося бита и входного бита, сигнал сопоставления элемента принимает значение логической “1”, а в случае несовпадения – логического “0”. Схема суммирования формирует общий сигнал сопоставления регистра ассоциативной памяти из сигналов сопоставления всех элементов в регистре. При совпадении данных во всех элементах регистра выход схемы суммирования принимает состояние логического “0”, при несовпадении хотя бы в одном элементе выход принимает состояние логической “1”. Элементы маскирования управляют логическим маскированием отдельных сигналов сопоставления при суммировании.

В предыдущей работе [8] был спроектирован регистр ассоциативной памяти на базе сбоеустойчивых ячеек STG DICE (Spaced Transistors Groups Dual Interlocked Cell) [9], а сигналы сопоставления в регистре суммируются при помощи комбинационной логической схемы.

Схема регистра с комбинационной логикой приведена на рис. 1. Здесь “2 CAM cells” – сдвоенные элементы сопоставления, “mask cells” – элементы маскирования. Входные данные для сопоставления поступают с входной шины (Input for lookup). Схема суммирования состоит из 5-входового элемента OR, 8-входовых логических элементов NAND, 4-входовых элементов OR, а также логических вентилей в составе элементов “mask cell”, осуществляющих маскирование. Такая схема суммирования представляет из себя многовходовой комбинационный логический элемент И-НЕ с возможностью логического маскирования отдельных входов. Количество входов для суммирования – 39, количество входов для маскирования – 8. Каждый элемент маскирования может одновременно маскировать два элемента сопоставления, таким образом число маскируемых элементов сопоставления – 16.

3. Схема суммирования с линией сопоставления

В данной работе проводится анализ варианта регистра CAM с линией сопоставления с синхронным управлением. В регистре с линией сопоставления реализована схема “гонки токов” (current race scheme), предложенная в [10]. Схема регистра приведена на рис. 2. Элементы сопоставления “2 CAM cells” и элементы маскирования “mask cell” такие же, что и в регистре с комбинационной логикой. Схема включает линию “match line”, PMOП транзисторы, управляемые сигналами сопоставления элементов “2 CAM cells”, PMOП транзисторы, управляемые элементами маскирования, транзистор заряда P_{PR} , разряжающий транзистор N_{ML} и выходной инвертор. Как и в схеме на основе комбинационной логики, количество входов суммирования в схеме – 39, количество входов маскирования – 8.

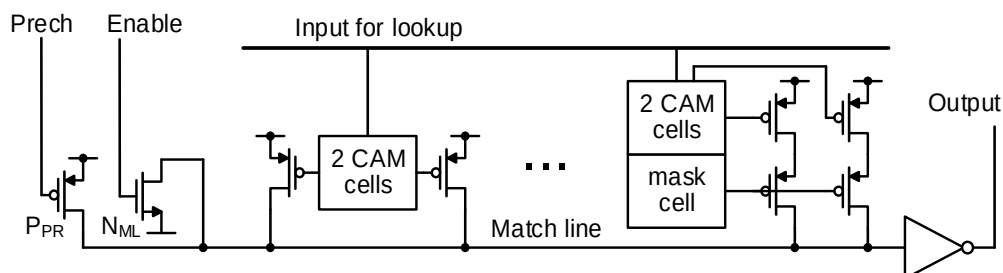


Рис. 2. Регистр ассоциативной памяти со схемой суммирования на основе линии сопоставления “match line”.

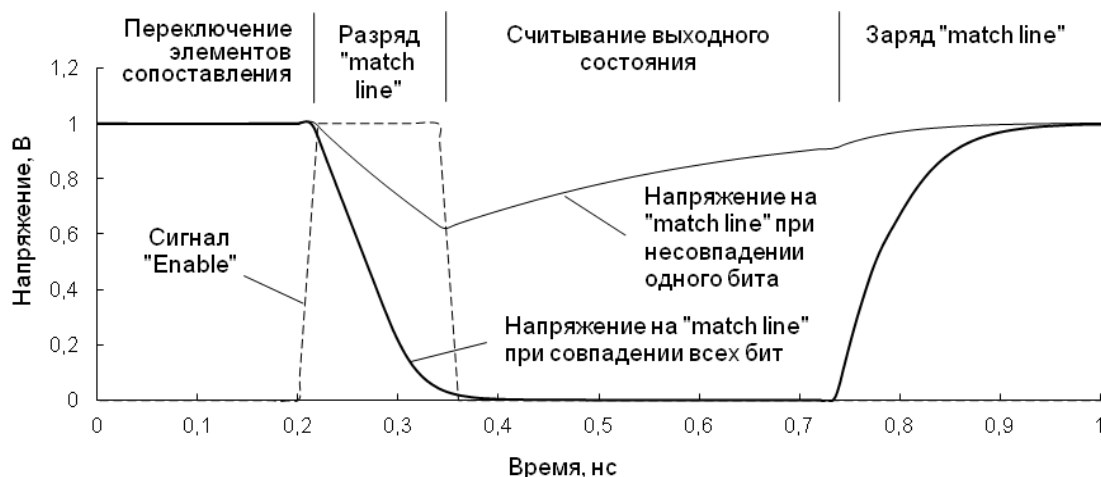


Рис. 3. Временные диаграммы напряжений схемы суммирования на основе линии сопоставления в случае совпадения всех бит и в случае несовпадения одного бита.

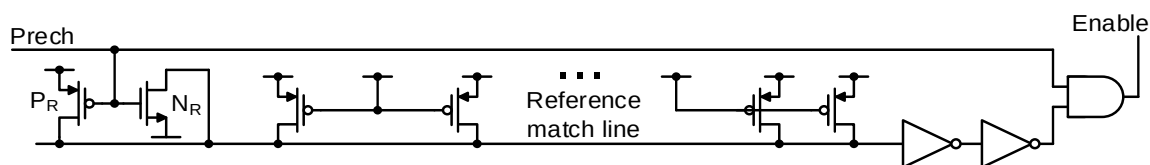


Рис. 4. Схема опорного регистра, формирующего сигнал “Enable” для схемы суммирования на основе линии сопоставления.

Сопоставление данных в регистре происходит следующим образом. Перед циклом сопоставления линия “match line” заряжается транзистором P_{PR} до напряжения питания, транзистор N_{ML} закрыт. Цепь заряда отключается, на затвор транзистора N_{ML} подается положительный сигнал управления разрядом линии сопоставления (Enable). Линия “match line”, заряженная до напряжения питания, подключается к общей шине через транзистор N_{ML} . При совпадении во всех элементах регистра все PMOS транзисторы закрыты, “match line” разряжается до потенциала общей шины, а выход переходит в состояние логической “1”. При несовпадении хотя бы в одном элементе сопоставления линия “match line” подключена к шине питания через открытый PMOS транзистор (транзисторы), через “match line” протекает сквозной ток, а напряжение линии “match line” сохраняет высокое значение. На рис. 3 представлены временные диаграммы напряжений линии “match line” для двух случаев: совпадение во всех элементах сопоставления, несовпадение в одном элементе сопоставления.

При несовпадении данных в регистре через “match line” протекает сквозной ток с шины питания на общую шину пока сигнал “Enable” находится в состоянии “1”. В таком случае потребляемая мощность определяется

длительностью сигнала “Enable”, отпирающего транзистор N_{ML} , и величиной сквозного тока, которая определяется параметрами PMOS транзисторов и транзистора N_{ML} . Для уменьшения потребляемой мощности длительность сигнала “Enable” должна быть минимальной. Однако длительность “Enable” должна быть достаточной для осуществления разряда линии “match line” при совпадении во всех элементах сопоставления (см. рис. 3).

Для установления оптимальной длительности сигнала “Enable” использован опорный регистр [4], схема которого приведена на рис. 4. Опорный регистр включает схему суммирования на основе линии сопоставления, все входы которой находятся в состоянии логической “1”, транзисторы P_R и N_R , а также схему, формирующую сигнал “Enable”. По высокому уровню сигнала предварительного заряда линии “match line” (Prech) прекращается заряд линии сопоставления опорного регистра (reference match line), и открывается транзистор N_R . Сигнал “Enable” устанавливается в “1”, линия “reference match line” начинает разряжаться до потенциала общей шины. Когда напряжение на “reference match line” достигает уровня переключения инвертора, сигнал “Enable” устанавливается в состояние “0” с задержкой

Таблица 1. Значения потребляемой мощности за один цикл сопоставления для схем суммирования на основе комбинационной логики (P_{CL}) и линии сопоставления (P_{ML}), а также потребляемой мощности регистров на основе комбинационной логики ($P_{REG,CL}$) и линии сопоставления ($P_{REG,ML}$) для различных состояний входов схем суммирования.

Изменение состояния входов схемы суммирования в начале цикла сопоставления*	P_{CL} , мкВт	P_{ML} , мкВт	$P_{REG,CL}$, мкВт	$P_{REG,ML}$, мкВт
Переключение 39 входов из 0 в 1	97	48	360	316
Переключение 39 входов из 1 в 0	104	57	202	155
Переключение 38 входов из 0 в 1, один вход сохраняет состояние 0	75	52	345	316
Переключение 1 входа из 0 в 1, остальные входы сохраняют состояние 0	3	57	9	63
Переключение 1 входа из 1 в 0, остальные входы сохраняют состояние 0	2	56	5	58

*Состояние “0” входа схемы суммирования соответствует несовпадению в элементе сопоставления, а состояние “1” – совпадению в элементе сопоставления.

переключения двух инверторов и элемента “И”. Схемы суммирования опорного регистра и функционального регистра имеют одинаковые принципиальную схему и топологию, поэтому длительность разряда линии “reference match line” опорного регистра равна длительности разряда линии “match line” функционального регистра. Таким образом, опорный регистр позволяет сформировать сигнал “Enable” оптимальной длительности. Общий опорный регистр использован для формирования управляющего сигнала одновременно для всех функциональных регистров блока ассоциативной памяти.

4. Анализ энергопотребления схем суммирования

Мощность, потребляемая схемой на основе комбинационной логики, зависит от количества переключившихся логических вентилей в составе схемы ввиду изменения состояния входов схемы (выходов элементов сопоставления). Бит данных, записанный в элементе сопоставления не изменяется в течение цикла сопоставления. Поэтому состояние выхода элемента изменяется только в виду переключения входного бита данных с шины “Input for lookup”. Таким образом, количество переключившихся входов схемы суммирования равно количеству бит шины “Input for lookup”, изменивших свое состояние.

Потребление схемы с линией сопоставления зависит от результата сопоставления в регистре. При совпадении во всех элементах “match line” отключена от шины питания и разряжается через

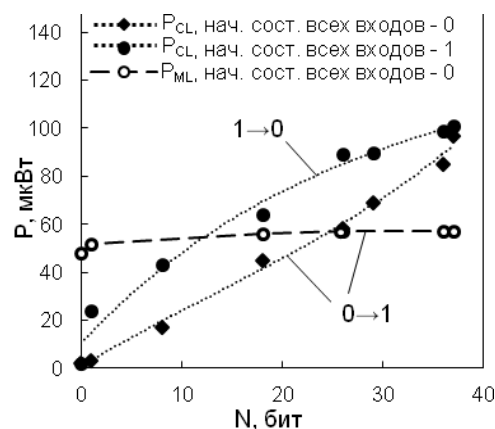


Рис. 5. Зависимость потребляемой мощности схем суммирования с комбинационной логикой P_{CL} и линией сопоставления P_{ML} от количества N входов схемы суммирования, изменивших свое состояние. Графики “0→1” соответствуют переходу N входов из “0” в “1”, остальные входы остаются в изначальном состоянии “0”. График “1→0” соответствует переходу N входов из “1” в “0”, остальные входы остаются в изначальном состоянии “1”.

транзистор N_{ML} . Тогда потребляемая мощность ограничена значением $P_{ML} = V_{DD}^2 \times C_{ML} / T$, где V_{DD} – напряжение питания, C_{ML} – емкость линии сопоставления, T – длительность операции сопоставления. При несовпадении данных в регистре через “match line” протекает сквозной ток пока сигнал “Enable” находится в состоянии “1”. При этом мощность определяется длительностью сигнала “Enable”, и величинами сквозных токов транзисторов.

В табл. 1 представлены значения потребляемой мощности схем суммирования с комбинационной логикой (P_{CL}) и линией сопоставления (P_{ML}) для различных

состояний выходов элементов сопоставления. Моделирование производилось в среде Cadence Virtuoso симулятором Spectre для структур с проектно-технологической нормой КМОП 65 нм с экстракцией параметров из топологии при напряжении питания, равном 1 В, тактовой частоте, равной 1 ГГц. Модели транзисторов – tt, температура – 25°C. Элементы сопоставления в регистрах с рассмотренными схемами суммирования одинаковые и потребляют одинаковое количество мощности. Мощность комбинационной схемы суммирования (P_{CL}) зависит от последовательности данных, поступающих с шины “Input for lookup” и варьируется от 2 до 104 мкВт. Мощность схемы с линией сопоставления (P_{ML}) зависит от количества совпавших бит только в текущем цикле сопоставления и варьируется от 48 до 57 мкВт. Диапазон значений мощности P_{ML} меньше диапазона значений мощности P_{CL} в 11.3 раза. Также в табл. 1 приведены суммарные значения мощности для регистров в целом ($P_{REG,CL}$ и $P_{REG,ML}$) с учетом энергопотребления элементов сопоставления.

На рис. 5 представлена зависимость потребляемой мощности схем суммирования от количества N входов схемы, изменивших свое состояние. В случае, обозначенном “0→1”, изначально все входы находятся в состоянии “0” и N входов переходят в состояние “1”. В случае, обозначенном “1→0”, изначально все входы находятся в состоянии “1” и N входов переходят в состояние “0”. В случае “1→0” схема с комбинационной логикой потребляет больше мощности, чем в случае “0→1”, поскольку в случае “1→0”, при том же количестве входов, изменивших свое состояние, переключается большее количество логических вентилях. Схема суммирования на комбинационной логике является многовходовым элементом И-НЕ и если все входы находятся в состоянии “1”, изменение состояния даже одного входа вызывает переключение цепочки логических вентилях и изменение состояния выхода схемы. Если же все входы находятся в состоянии “0”, изменение состояния одного входа не влияет на состояние выхода и не приводит к переключению ни одного логического вентиля. Сравнение зависимостей на рис. 5 показывает, что схема с комбинационной логикой потребляет меньше мощности, чем схема с линией сопоставления при переключении не более, чем половины

Таблица 2. Параметры схем суммирования на основе комбинационной логики и линии сопоставления.

Параметр	Комбинационная логика	Линия сопоставления
Количество входов суммирования	39	39
Количество входов маскирования	8	8
Количество транзисторов	280	108
Площадь, мкм ²	110	72
Минимальная мощность, мкВт	2	48
Максимальная мощность, мкВт	104	57
Задержка сигнала сопоставления, нс	0.23	0.18

входов. Если слова данных, поступающие на шину “Input for lookup” отличаются менее, чем половиной бит, то схема с комбинационной логикой будет потреблять меньше мощности, чем схема с линией сопоставления. В табл. 2 приведены параметры схем на основе комбинационной логики и линии сопоставления. Значения потребляемой мощности схемы на основе линии сопоставления “match line” в 11.3 раза меньше, чем у схемы на комбинационной логике. Схема с линией сопоставления имеет на 35% меньшую площадь и на 22% меньшую задержку выходного сигнала.

5. Заключение

Мощность, потребляемая схемой на комбинационной логике, зависит от последовательности данных, подаваемых на вход блока ассоциативной памяти. Схема на комбинационной логике потребляет меньше мощности, чем схема с линией сопоставления “match line”, если последовательно подаваемые на вход слова данных побитно отличаются друг от друга не более, чем на половину. При этом схема с линией сопоставления обладает меньшей площадью на кристалле и меньшей задержкой выходного сигнала.

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0009 «Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ».

Optimization of the logic for matching signals summation in 65 nm CMOS associative memory

A.V. Antonyuk, P.V. Stepanov

Abstract: Power consumption of the circuits for summation of signals of matching in 65 nm CMOS associative memory block was analyzed. Two summation circuits of signals of matching are considered: circuit based on combinational logic and circuit based on match line with reference register. Power consumption of circuit based on combinational logic depends on number N of inputs that change their logical states. Minimum and maximum values of power consumption differ by more than 50 times. The value of power consumption of summation circuit based on match line does not depend on N and equals the value of combinational logic power consumption in case of switching of one half of all inputs. The summation circuit based on match line takes 35% less area and have a 22% less delay of output signal than the summation circuit based on combinational logic.

Keywords: content-addressable memory, combinational logic, match line, power consumption, simulation, summation of signals.

Литература

1. K.J. Schultz. Content-addressable memory core cells: a survey. «Integration, VLSI Journal», v. 23 (1997), № 2, 171–188.
2. A.T. Do, C. Yin, K. Velayudhan, Z.C. Lee, K.S. Yeo, T.T-H. Kim. 0.77 fJ/bit/search content addressable memory using small match line swing and automated background checking scheme for variation tolerance. «IEEE Journal of Solid-State Circuits», v. 49 (2014), № 7, 1487–1498.
3. C.A. Zukowski, S.-Y. Wang. Use of selective precharge for lowpower content-addressable memories «Proc. of IEEE International Symposium of Circuits Syst (ISCAS). – Hong Kong, 12 Jun. 1997», 1788–1791.
4. I. Arsovski, R. Wistort. Self-referenced sense amplifier for acrosschip-variation immune sensing in high-performance content-addressable memories. «Proc. of IEEE Custom Integrated Circuits Conference, CICC. – San Jose, CA, USA, 10-13 Sept. 2006», 453–456.
5. Л.А. Соловьева. Проектирование гибридного регистра ассоциативной памяти. «Проблемы разработки перспективных микро- и наноэлектронных систем. – Москва, 2016 г. (сборник трудов, часть III.)», М.: Изд-во ИППМ РАН, 2016, 171 – 177.
6. П.Г. Кириченко, Л.А. Соловьева, И.В. Тарасов. Проектирование 14-портового регистрового файла и буфера трансляции адресов со сниженным потреблением с учетом особенностей технологии 28 нм. «Проблемы разработки перспективных микро- и наноэлектронных систем. – Москва, 2016 г. (сборник трудов, часть III.)», М.: Изд-во ИППМ РАН, 2016, 129 – 135.
7. А.В. Антонюк, В.Я. Стенин. Моделирование переходных процессов в 65 нм КМОП логическом элементе сравнения для ассоциативных запоминающих устройств при воздействии одиночных ядерных частиц. «Вестник НИЯУ МИФИ», т. 5 (2016), № 5, 445–453.
8. V.Ya. Stenin, A.V. Antonyuk, Yu.V. Katunin, P.V. Stepanov. Design of Logical Elements for the 65-nm CMOS Translation Lookaside Buffer with Compensation of Single Events Effects. «Proc. of International Siberian Conference on Control and Communications (SIBCON – 2017). – Astana, Kazakhstan, 29-30 Jun. 2017», 1–6.
9. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами. «Микроэлектроника», т. 45 (2016), № 6, 456 – 470.
10. I. Arsovski, T. Chandler, A. Sheikholeslami. A ternary content-addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme «IEEE J. Solid-State Circuits», v. 38 (2003), № 1, 155–158.

Отладка аппаратного видеodeкодера с поддержкой стандарта ITU-T H.265

А.Ю. Богданов¹, С.А. Морев², П.А. Мамонов³

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹ aubogdan@cs.niisi.ras.ru, ² morev@cs.niisi.ras.ru, ³ piton@cs.niisi.ras.ru

Аннотация. Представлены результаты верификации блока аппаратного видеodeкодера D5500MP2 от компании Imagination. Приведены временные характеристики моделирования на платформе прототипирования Protium S1 от компании Cadence.

Ключевые слова: видеodeкодер, ПЛИС, Linux, Protium

1. Введение

Тестирование сложнофункциональных (СФ) блоков в составе системы на кристалле (СнК) необходимая задача при проектировании микросхем, в частности, микропроцессоров. В ФГУ ФНЦ НИИСИ

РАН разрабатывается СнК, в состав которой входит множество СФ-блоков, одним из которых является блок аппаратного видеodeкодера с поддержкой стандарта ITU-T H.265 - D5500MP2 от Imagination (рисунок 1).

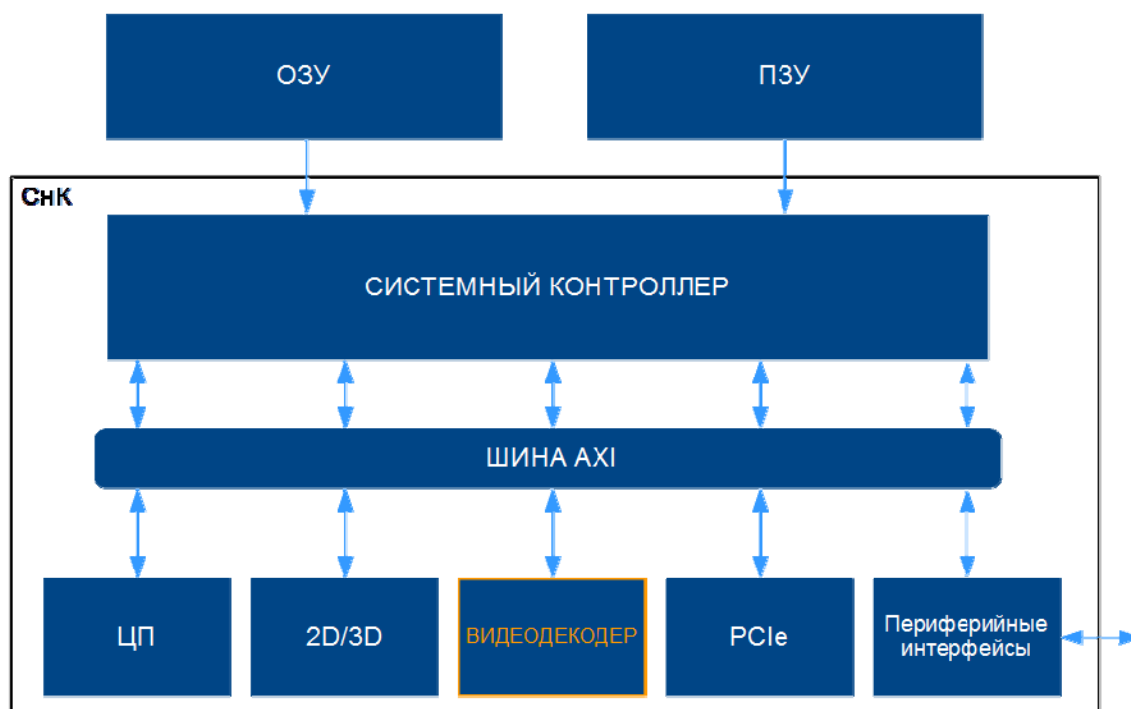


Рисунок 1. Блок-схема системы на кристалле

При проектировании применяется стандартный маршрут, включающий в себя этапы моделирования и прототипирования. Для простейшего тестирования правильной интеграции данного блока в состав СнК могут использоваться RTL-тесты входных воздействий на встраиваемый тестируемый блок, которые запускаются на стадии моделирования RTL-модели СнК с помощью САПР. Верификация встраиваемого СФ-блока с использованием тестов,

поставляемых вместе с исходным кодом СФ-блока является неприемлемой в связи со значительными временными затратами, необходимыми для полной верификации блока (таблица 1), в связи с чем было принято решение более раннего перехода к этапу прототипирования. На данный момент ПЛИС Arria 10 компании Altera обладает наибольшим объемом логических ресурсов среди ПЛИС, используемых для прототипирования в ФГУ ФНЦ НИИСИ

РАН. Но при попытке её использования для проекта СнК с СФ-блоком видеodeкодера, выяснилось, что её ресурсов недостаточно. С недавнего времени в ФГУ ФНЦ НИИСИ РАН появилась возможность прототипирования на аппаратно-программном

комплексе Protium S1 от Cadence. Несмотря на меньшую частоту работы по сравнению с ПЛИС, Protium S1 смог обеспечить приемлемое время моделирования и верификации СФ-блока D5500MP2.

Таблица 1. Временные затраты при RTL-моделировании средствами САПР NCsim

Название теста	Описание теста	Время моделирования
regs_tests_img_pipes2	Проверка внутренних регистров декодера, запись/чтение	~ 24 часа
dma_test	Проверка работы декодера с памятью, режим ПДП	более 72 часов (не был завершён)

2. СФ-блок D5500MP2

D5500MP2 представляет собой видеodeкодер высокого разрешения, поддерживающий множество стандартов кодирования. Ориентирован на мобильные устройства, медиапроигрыватели, телеприставки воспроизведения HD-трансляций и т.п. Обладает высокой производительностью и

энергоэффективностью, обеспечивая полное декодирование видеопотока для стандартов HEVC, H.264, VC1/WMV9, VP8, MPEG4, MPEG2, AVS, VP6, RealVideo, Sorenson (таблица 2). Декодер поддерживает 10-битные форматы пикселей для HEVC и H.264, кроме того, поддерживается высокий профиль (High profile) для стандарта H.264 - 4:2:2, 4:4:4.

Таблица 2. Поддерживаемые D5500MP2 стандарты кодирования

Стандарт кодирования	4:2:0	4:2:2	4:4:4	Бит на пиксель
HEVC	Да	Нет	Нет	8, 10
H.264	Да	Да	Да	8, 10
VC1	Да	Нет	Нет	8
VP8	Да	Нет	Нет	8
MPEG2	Да	Нет	Нет	8
MPEG4	Да	Нет	Нет	8
AVS	Да	Нет	Нет	8
VP6	Да	Нет	Нет	8
RealVideo	Да	Нет	Нет	8
Sorenson	Да	Нет	Нет	8
JPEG	Да	Да	Да	8

Производительность СФ-блока D5500MP2 представлена в таблице 3. Для увеличения производительности при работе с HEVC и H.264 видеопотоками

используется два конвейера обработки данных. Максимальная частота работы ядра декодера – 400 МГц.

Таблица 3. Производительность D5500MP2

Стандарт кодирования	Разрешение	Формат пикселя	Производительность (кбит/с)	Частота (МГц)
HEVC	3840*2160p60	4:2:0	210,000	350
HEVC	4096*2304p60	4:2:0	240,000	400
H.264	1080p120	4:2:0	200,000	250
H.264	1080p120	4:2:2	266,000	333
H.264	1080p60	4:4:4	200,000	250
H.264	3840*2160p30	4:2:0	200,000	250
Другие стандарты	1080p60	4:2:0	100,000	250

3. Платформа прототипирования Protium S1

Protium S1 – это универсальная платформа для создания прототипов специализированных заказных интегральных схем. Она позволяет использовать имеющееся описание микропроцессора на языке описания аппаратуры и создавать на его основе прототип на базе ПЛИС. Средства Protium S1 автоматически выполняют перенос структур микропроцессора на ресурсы, доступные на ПЛИС Ultrascale 440 компании Xilinx.

Основу данной платформы составляют две платы с четырьмя ПЛИС каждая, установленные в единый корпус с блоком питания, системой охлаждения и необходимыми внутренними интерфейсами между ПЛИС (рисунок 2).



Рисунок 2. Платформа прототипирования Protium S1

Основные характеристики данной системы показаны ниже:

- 8 ПЛИС Ultrascale 440;
- Суммарный объем логических элементов 8 ПЛИС 8x25M;
- Автоматический маршрут проектирования, используемый по умолчанию, позволяет получить частоту работы прототипа от 3 до 20 МГц;
- Полная интеграция с САПР Vivado при размещении элементов и трассировке соединений (place & route tool);
- Отладочная информация доступна через САПР Vivado ChipScope, максимальный объем до 128K в каждой ПЛИС.

Основные стадии сборки проекта для системы Protium S1 показаны на рисунке 3. На вход Protium S1 подается исходное описание проекта на языке Verilog. Также используется конфигурационный файл, содержащий в себе настройку системы для

данного проекта: используемые платы расширения, значения частот синхронизации, список отладочных сигналов, назначение контактов ПЛИС и др. Программное обеспечение платформы Protium S1 осуществляет компиляцию и разделение проекта между заданным количеством ПЛИС. Полученная информация подается программным обеспечением Protium S1 на вход САПР Vivado, который в автоматическом режиме выполняет размещение элементов, трассировку соединений и создание битовых файлов для конфигурирования каждой ПЛИС. Это выполняется в полностью автоматическом режиме с минимальными изменениями исходного описания проекта.

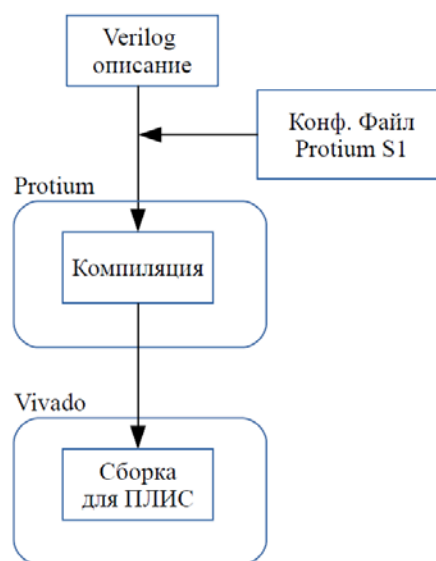


Рисунок 3. Основные стадии сборки проекта для системы Protium S1

4. Отладочный стенд

Для проверки встроенного СФ-блока D5500MP2 используется отладочный стенд (рисунок 4), в состав которого входит следующее оборудование:

- Платформа прототипирования Protium S1;
- Ethernet SpeedBridge;
- Инструментальная машина.

В системе Protium S1 реализован прототип микропроцессора. Для работы с DDR3 памятью используется плата расширения XDRAM, объем памяти которой равен 16 Гбайт. Для подключения к локальной вычислительной сети применяется Ethernet SpeedBridge, подключенный к системе через GMI интерфейс.

Инструментальная машина служит для взаимодействия с системой через UART

интерфейс и получения отладочной информации через JTAG интерфейс, посредством САПР Vivado Chipscope.

В таблице 4 приведен объем использования логических ресурсов ПЛИС при различных конфигурациях проекта.

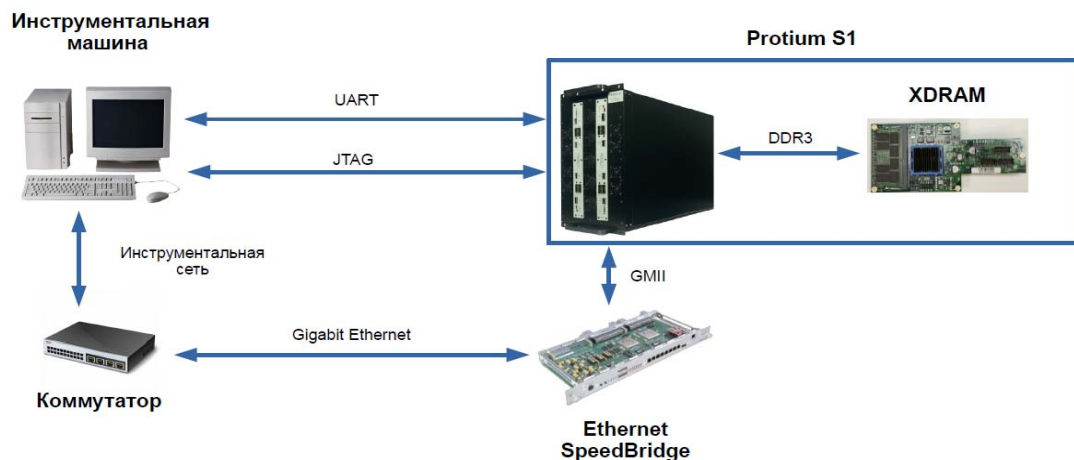


Рисунок 4. Отладочный для системы Protium S1

Таблица 4. Объем использования логических ресурсов ПЛИС

Состав моделируемого проекта	Количество ПЛИС	Объем использования логических ресурсов, вентилей	Частота работы проекта, МГц
Без видеodeкодера	1	2 749 139	8
С видеodeкодером	4	14 647 864	5

5. Программная верификация СФ-блока D5500MP2

Программная верификация СФ-блока видеodeкодера была выполнена с помощью поставляемой вместе с ним тестовой системы. Тест был портирован под архитектуру тестируемой СнК. Он представляет собой гибкую программную систему, позволяющую программировать регистры блока видеodeкодера произвольным образом, и формировать в ОЗУ блоки данных произвольного содержимого по произвольным адресам. Работа теста определяется тестовым сценарием, который передается тесту при запуске. В результате работы теста формируется журнал, содержащий считанные значения регистров блока видеodeкодера и блоки данных сформированные видеodeкодером в ОЗУ с помощью прямого доступа к памяти (ПДП). Полученный журнал верифицируется с эталонным журналом с помощью утилиты поставляемой вместе с тестовой системой.

Функциональное тестирование СФ-блока видеodeкодера было выполнено в ОС GNU/Linux. Драйвер видеodeкодера для Linux из поставки был сопряжен с ядром Linux версии 4.14. Тест для функционального тестирования видеodeкодера был собран в программном окружении Debian GNU/Linux (jessie). При запуске тесту передается короткий видеофрагмент, закодированный в формате H.264/H.265, фрагмент распаковывается блоком видеodeкодера и сохраняется в формате YV12/NV12. Корректность распаковки проверялась визуально при проигрывании распакованного фрагмента. Визуальный контроль не выявил артефактов в декодированном видео, помимо уже имевшихся.

6. Результаты

Благодаря платформе прототипирования Protium S1 была успешно проведена верификация встраиваемого СФ-блока: выполнены внутренние тесты блока,

тесты в составе СнК, а также отладка драйвера за приемлемое время.

Также была выполнена оценка производительности видеodeкодера путем сравнения времен декодирования видеофрагментов с помощью аппаратного видеodeкодера и процессорного ядра СнК. Декодирование видео на процессоре осуществлялось с помощью открытого программного обеспечения – утилиты ffmpeg. Замеры показали (таблица 5), что

блок видеodeкодера обеспечивает производительность декодирования в 5 раз выше, чем при декодировании с помощью ffmpeg на процессорном ядре при частотах видеodeкодера и процессора равных 62,5 МГц и 125 МГц, соответственно. Таким образом, при работе на равных частотах аппаратный видеodeкодер обеспечивает производительность декодирования видео в формате H.264 в 10 раз выше (в H.265 ~ 9 раз), чем процессорное ядро.

Таблица 5. Время распаковки тестового видеофайла

Название тестового файла	Моделируемая частота процессора / декодера (МГц)	Время получения выходного файла аппаратным декодированием (сек.)
AUD_MW_E.264	125 / 62,5	30 / 6
BQMall.265	125 / 62,5	790 / 173

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-

2018-0008 «Исследование и разработка моделей микропроцессоров, ориентированных на задачу горения для создания отечественной суперЭВМ» (№ AAAA-A18-118041190167-3).

Verification of hardware video decoder core with ITU-T H.265 standard supporting.

A.Y. Bogdanov, S.A. Morev, P.A. Mamonov

Abstract. Verification results of hardware video decoder core IP D5500MP2 from Imagination are presented. Timing characteristics of modelling on the platform of prototyping Protium S1 from Cadence are given.

Key words: video decoder, FPGA, Linux, Protium

Литература

1. D5500MP2. Core User Guide. Imagination Technologies. 2017.
2. D5500MP2. IMG Video Documentation. Imagination Technologies. 2017.
3. Protium User Guide. Product Version 16.2. Cadence Design Systems. 2017.

Разработка фильтра запросов когерентности

А.М. Антонова¹, П.С. Зубковский²

^{1,2} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ¹НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹ amantonova@cs.niisi.ras.ru, ² zubkovsky@niisi.ras.ru

Аннотация. В статье представлена методика тестирования различных видов фильтров запросов когерентности для использования в многоядерной микропроцессорной системе на кристалле (СнК) с архитектурой SMP. Ключевым параметром тестирования является эффективность фильтрации запросов когерентности. По результатам тестирования была выбрана архитектура фильтра. Разработан фильтр на основе выбранной архитектуры, получены данные о повышении производительности.

Ключевые слова: когерентность кэш-памяти, фильтр запросов когерентности.

1. Введение

Разработка фильтра запросов когерентности (snooper filter в англоязычной литературе, далее фильтр) для фильтрации запросов обеспечения когерентности (далее запросы) является актуальной задачей для SMP (Symmetric multiprocessing) системы на кристалле (СнК), что обусловлено тем, что использование фильтра позволит уменьшить потребление и повысить производительность многоядерного микропроцессора за счет уменьшения числа промахов в кэш-память при работе протокола когерентности.

Основная идея фильтра состоит в том, что фильтр должен хранить в себе информацию об адресах, которые были подтянуты в кэш-память, либо об адресах, которые отсутствуют в кэш-памяти, и отсеивать ненужные запросы в кэш-память, которым гарантировано отсутствие в кэш-памяти.

Одними из первых, кто предложил различные реализации фильтров были А. Moshovos и др. [1,2], в своих статьях они предложили инклюзивный, эксклюзивный и гибридный варианты фильтра JETTY для фильтрации запросов.

Другой реализацией фильтра является использование для этой цели «Потоковых регистров» (или Stream registers в англоязычной литературе, далее SR), каждый SR состоит из двух регистров, базового (base) и маскирующего (mask). Сам фильтр состоит из нескольких SR, такой вариант реализации фильтра был предложен Salapura и др. в 2007 году [3] и называется Stream registers.

Однако минусом такого фильтра является то, что со временем при изменении маскирующего регистра ухудшается фильтрация запросов. Эта проблема решается добавлением счетчика к каждому

SR. Такой вариант реализации фильтра был предложен А. Ranganathan в 2012 году [4] и называется «Считающие потоковые регистры» (или Counting Stream Registers, далее CSR).

В работе [5] более подробно описывались упомянутые выше фильтры. В данном исследовании проводился сравнительный анализ данных фильтров на возможность их использования в разрабатываемой SMP СнК.

Для изучаемых различных видов фильтров разрабатывались RTL-модели для данной SMP СнК, которая включает в себя два микропроцессорных ядра и общий системный контроллер с симметричным доступом к общей памяти ОЗУ.

Во второй главе рассматриваются более подробно запросы, формула эффективности фильтрации для инклюзивных фильтров, используемая в сравнительном анализе.

Третья глава посвящена обсуждению методики тестирования различных вариантов реализаций фильтров, приведены предпосылки для повышения производительности SMP СнК при использовании фильтров.

В заключении подводятся итоги исследования, формируются выводы об лучшем по эффективности фильтрации фильтре для использования в разрабатываемой SMP СнК.

2. Запросы обеспечения когерентности

Рассмотрим более подробно запросы в SMP СнК. В дальнейшем то ядро, которое инициирует проверку о наличии данных по конкретному тегу в кэш-памяти соседнего ядра, будет называться ядром 1, а то ядро, в котором проверяется запрос, будет

называться ядром 0. Запросы проверяют состояние строки с конкретным адресом в кэш-памяти ядра 0, они используются при обеспечении когерентности. При этом в многопроцессорных системах запросы могут занимать значительную долю всего межпроцессорного трафика, заметно снижая производительность. Очевидно, что в случае, если запрос промахивается в кэш-память ядра 0, то таким образом увеличивается нагрузка на данную кэш-память, а также увеличивается энергопотребление.

В итоге большое количество ненужных запросов в СнК архитектуры SMP приводит к:

- снижению производительности СнК из-за того, что кэш-памяти ЯО приходится обрабатывать запросы ядра 1 при работе протокола когерентности в независимости от основной работы кэш-памяти.
- повышение энергопотребления СнК в целом из-за увеличения количества промахов в кэш-память ядра 0 [1,2].

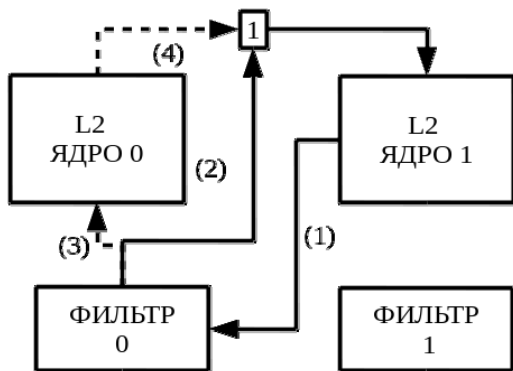


Рис.1 Структурная схема SMP СнК с фильтрами.

Структурная схема SMP СнК при наличии фильтра представлена на рис.1. Фильтр ставится перед каждой L2 кэш-памятью соответственного ядра 0. Пусть первое ядро отправляет запрос (1) во второе ядро. В случае инклюзивного фильтра, если запрос «промахивается» в фильтр, то на этот запрос отвечает фильтр (2), ответ обозначен прямой линией. Если же происходит попадание в фильтр, то запрос проверяется в L2 кэш-памяти ядра 0 (3), на запрос отвечает L2 кэш-память ядра 0 (4), ответ обозначен штриховой линией.

Эффективность фильтрации для различных исследуемых инклюзивных фильтров EF является отношением отфильтрованных запросов F ко всем промахнувшимся в отсутствие фильтра запросам N_{miss} :

$$EF = \frac{F}{N_{miss}} \quad (1)$$

Эта формула для эффективности фильтрации используется в дальнейшем для сравнительного анализа различных фильтров.

3. Экспериментальные результаты

Методика тестирования различных фильтров состояла в следующем. Для проверки функциональности и выявления лучшего фильтра с наивысшей эффективностью фильтрации первоначально фильтры тестировались на направленных псевдослучайных тестах, при этом фильтры подключались параллельно к L2 кэш-памяти (рис.2), ответы от фильтров и L2 кэш-памяти сравнивались в блоке «Проверка». Для этого были разработаны три RTL-модели фильтров для разрабатываемой SMP СнК. Затем фильтр с наилучшей эффективностью фильтрации подключался к общей системе напрямую. Кроме того, фильтры тестировались на ПЛИС Altera, в том числе при решении конкретных задач.

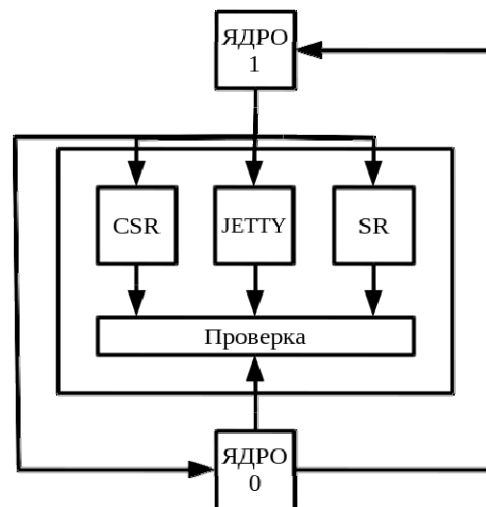


Рис.2 Структурная схема параллельного подключения фильтров

Во-первых, фильтры подключались параллельно к разрабатываемой SMP СнК, поэтому проверяемые запросы от ядра 1 одновременно отправляются на проверку как в фильтры, так и в кэш-память ядра 0. Результаты при тестировании на направленных псевдослучайных тестах фильтров представлены на рис.3. За счет того, что в фильтре CSR маска периодически инициализировалась заново, он показывал более высокие результаты по эффективности фильтрации.

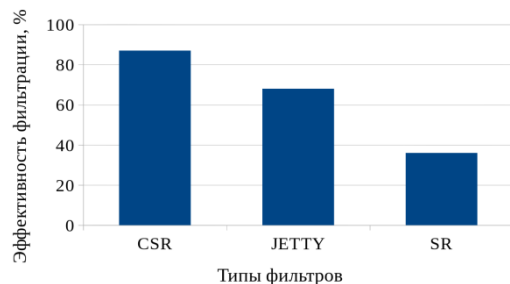


Рис.3 Эффективность фильтрации запросов для фильтров JETTY, SR и CSR при тестировании на направленных псевдослучайных тестах.

Далее для получения данных о повышении производительности был выбран фильтр CSR, его подключили напрямую в SMP СнК к соответствующему ядру 0. В L2 кэш-памяти запросы могут обрабатываться до нескольких десятков тактов. Следующий график (рис.4) показывает, как фильтр CSR может фильтровать запросы, обрабатываемые несколько тактов. По оси у представлено количество запросов, по оси х — количество тактов, затраченное на ответ L2 кэш-памяти ядра 0 на запрос ядра 1.

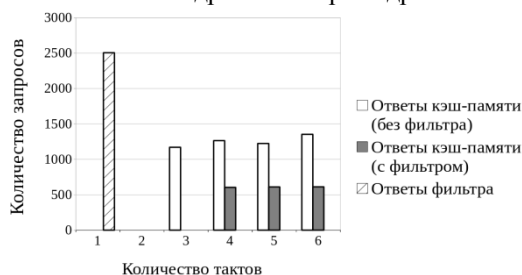


Рис.4. Количество запросов от количества тактов, затраченных на ответ L2 кэш-памяти ядра 0 на запрос ядра 1.

Первый столбец показывает количество запросов, отфильтрованных фильтром, т. е. количество ответов от фильтра. Белые столбцы показывают количество обрабатываемых запросов в L2 кэш-памяти при отсутствии фильтра (ответ может быть через различное количество тактов). Столбцы серого цвета показывают

запросы, прошедшие на проверку в L2 кэш-память при наличии фильтра.

При прямом подключении крайним случаем является тот, когда большинство запросов попадают в L2 кэш-память, т.е. когда большинство запросов нужные.

Это может произойти, например, в ситуации многочисленных итерационных обращений на запись к совпадающим кэш-линиям в различных ядрах, т. е. при false sharing, в таком случае фильтр может замедлять ответ для ядра 1.

Однако за счет того, что фильтр отвечает быстрее, а также того, что различные запросы могут с различной длительностью обрабатываться в L2 кэш-памяти, может быть получен выигрыш в производительности для SMP СнК.

Закключение

Выбранная методика тестирования различных видов фильтров продемонстрировала, что фильтр на основе архитектуры CSR по результатам сравнительного анализа показал лучшее значение эффективности фильтрации запросов.

Показаны возможности повышения производительности данной SMP СнК при использовании данного фильтра.

Итогом работы стала разработка фильтра на основе выбранной архитектуры для данной SMP СнК.

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0008 «Исследование и разработка моделей микропроцессоров, ориентированных на задачу горения для создания отечественной суперЭВМ» (№ АААА-А18-118041190167-3)

The Snoop Filter Development

A.M. Antonova, P.S. Zubkovsky

Abstract. The testing methodology of different snoop filters used in the SMP SoC is discussed in this article. There was the key parameter such as the Filtering Effectiveness of unnecessary tag lookups. On the basis of that investigation, we have chosen the snoop filter type. Thereafter, the snoop filter based on the selected type was designed. We also have derived performance improvement data.

Keywords: snoop filter, cache coherence.

Литература

1. A.Moshovos, G. Memik, G. Mittal, A. Baniasadi et al. JETTY: Reducing Snoop-Induced Power Consumption in Small-Scale, Bus-Based SMP Systems. «Center for Parallel and Distributed Computing», (2000).
2. A.Moshovos, G. Memik, B. Falsafi, A. Choudhary. JETTY: Filtering Snoops for Reduced Energy Consumption in SMP Servers. «IEEE», (2001), 85 – 96.
3. V. Salapura, M. A. Blumrich, and A. Gara. Design and implementation of the Blue Gene/P snoop filter . «High Performance Computer Architecture», (2008), № 5, 5 – 14.
4. A. Ranganathan, A.G. Bayrak, T. Kluter, Ph. Brisk et al. Counting Stream Registers: An Efficient and Effective Snoop Filter Architecture. «International Conference on Embedded Computer Systems (SAMOS)», (2012), 120-127.
5. А.М.Антонова, М.Е.Барских, П.С.Зубковский. Способы фильтрации snoop-запросов в многоядерных микропроцессорах. «ТРУДЫ НИИСИ РАН», т. 7 (2017), № 2, 27 – 31.

Исследование параметров высоковольтных LDMOS транзисторов при высоких температурах.

С.И.Бабкин¹, С.И.Волков², С.А. Морозов³, А.С.Новоселов⁴, С.В.Румянцев⁵

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, .

E-mail's: ¹ Sergey_Babkin@srisa.ru, ² Sviatoslav_Volkov@srisa.ru, ³ Sergey_Morozov@srisa.ru,
⁴ Anton_Novoselov@srisa.ru, ⁵ Sergey_Rumyantsev@srisa.ru

Аннотация. Исследованы параметры низковольтных КМОП транзисторов и высоковольтных LDMOS транзисторов, изготовленных на КНИ структуре в едином технологическом цикле, в диапазоне температур от 25⁰С до 225⁰С. Показано, что транзисторы сохраняют свою работоспособность при максимальной температуре. Изменчивость параметров в данном диапазоне температур в целом меньше выражена для низковольтных транзисторов. Температурный коэффициент порогового напряжения для низковольтных КМОП транзисторов составил 1,7 мВ/град, а для LDMOS транзисторов 2,1-2,2 мВ/град.

Ключевые слова: LDMOS, КНИ, КМОП, высоковольтный транзистор, высокая температура

1. Введение

В настоящее время в автомобильной электронике, системах промышленного контроля, телекоммуникациях и космической электронике широкое применение находят интеллектуальные монолитные интегральные схемы (ИМИС). ИМИС состоят из низковольтных и высоковольтных МОП транзисторов. Последние изготавливают с использованием технологии High Voltage LDMOS далее HV LDMOS. Такие ИМИС повышают надежность, уменьшают объем и вес, а также увеличивают эффективность системы в целом [1, 2]. Нередко к HV LDMOS предъявляется требование сохранения работоспособности в экстремальных условиях, характеризующихся, прежде всего высокой температурой (>125⁰С).

Решение может быть найдено в использовании технологии кремний-на-изоляторе (КНИ) [3]. В этом случае уменьшается площадь р-п перехода, и как следствие снижаются токи утечек. Формирование HV LDMOS транзисторов сочетается с традиционной КМОП КНИ технологией [4]. Эти преимущества позволяют использовать монолитную интеграцию нескольких силовых устройств, низковольтных схем управления и процессорных ядер на одном чипе. Схемы, использующие КНИ технологию, обладают повышенной стойкостью к ионизирующему облучению и к воздействию нейтронов высокой энергии и тяжелых заряженных частиц [5,6]. До настоящего времени фирма

X-FAB использует КНИ процесс формирования HV LDCMOS транзисторов в сочетании с традиционными КМОП транзисторами с проектными нормами 1 мкм. ИМИС, изготовленные в этом процессе, работают в диапазоне температур от -55⁰С до 225⁰С [7].

В данной работе ставилась задача исследовать параметры п (NLDMOS) и р (PLDMOS) канальных HVLDMOS и низковольтных п и р канальных транзисторов в диапазоне температур от 25⁰С до 225⁰С. Транзисторы изготовлены в едином технологическом цикле на основе базового КМОП КНИ процесса с проектными нормами 0,5мкм. Особенностью технологического процесса явилось формирование подзатворного окисла с большим, чем обычно, значением толщины 14 нм, что должно улучшить показатели надежности транзисторов [8,9].

2. Тестовые образцы и методы их исследования

На Рис. 1 представлена конструкция тестовых высоковольтных LDMOS транзисторов, сформированных на структуре КНИ с параметрами: толщина рабочего слоя кремния КНИ=190 нм; толщина слоя изолирующего окисла BOX = 150 нм. Варьировались следующие параметры: длина канала L = 0,5 , 0,8, 1,5 мкм; ширина канала W = 5, 10, 20 мкм; длина области толстого полевого окисла F; длина протяженного стока DRIFT C = 3 и 6 мкм; величина перекрытия затвором (GATE)

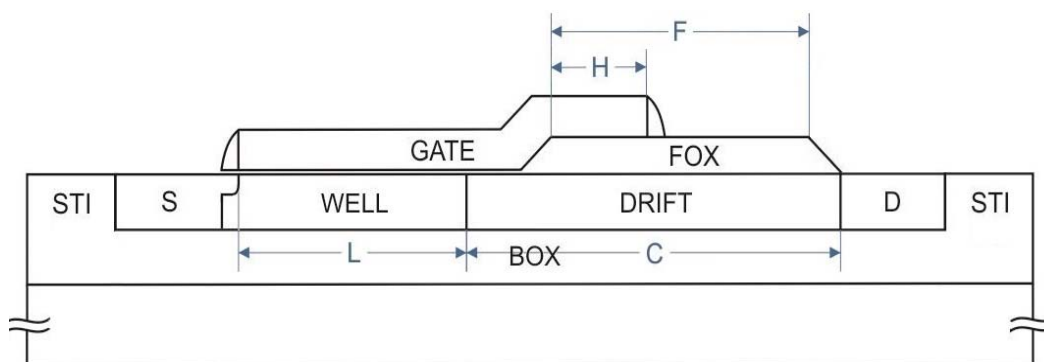


Рис. 1 Конструкция исследуемого LDMOS КНИ транзистора.

Таблица 1. Характеристики аппаратно-программного комплекса.

Измеряемые параметры	Диапазон	Разрешение
Температура	от - 60 до +300 °С	0,5°С
Напряжение	от -100 до + 100 В;	0,5 мкВ
Ток	от-100 мА до+100 мА	1 фА
Частота	от 1 кГц до 5 МГц	1 мГц
Емкость	от 1 фФ	0,1 фФ
Макс. мощность на канал	2Вт	100мА при V<20В

области толстого окисла (F) $H = 1, 2, 3$ мкм. На этой структуре изготовлены также КМОП транзисторы с длиной канала $L = 0,5$ мкм и шириной канала $W = 5$ мкм.

Для исследования параметров транзисторов в диапазоне температур 25°С - 225°С использовался автоматизированный аппаратно-программный комплекс.

Аппаратная часть комплекса состоит из трех подсистем:

измерительной – на основе оборудования фирмы Keysight Technologies (параметрический анализатор B1500A, матричный коммутатор E5250, осциллограф DSO6104L);

системы контактирования – на основе зондовой станции фирмы Suss Microtech;

температурной – на основе термосистемы фирмы АТТ.

Для интеграции комплекса, генерации и исполнения команд и обеспечения хранения результатов измерений используется управляющий компьютер.

Управление комплексом, создание измерительных программ производится с помощью программного обеспечения Easy Expert и среды программирования VEE фирмы Keysight Technologies.

Возможности созданного аппаратно-программного комплекса и диапазон измеряемых параметров представлены в Таблице 1.

3. Основные результаты

На Рис.2 представлены выходные ВАХ NLDMOS а и PLDMOS б для при температурах 25°С и 225°С. Исследовались транзисторы с шириной канала $W=5$ мкм, длиной канала $L=0,5$ мкм, длиной полевого окисла $F=6$ мкм. Аналогичные ВАХ для низковольтных транзисторов с шириной канала $W=5$ мкм, длиной канала $L=0,5$ мкм представлены на рис.3. В обоих случаях напряжение на затворе V_g менялось в диапазоне $0 \div +3,3$ В для п канальных транзисторов и $0 \div -3,3$ В р канальных транзисторов. При этих условиях величина напряженности поля в подзатворном окисле не превышала $E=3,3\text{В}/14 \cdot 10^{-9}\text{ м}=2,35 \cdot 10^8$ В/м. Это значение существенно меньше критического значения напряженности поля $E_{кр}=7,5 \cdot 10^8$ В/м, принятого для термического окисла [8]. Из ВАХ видно, что LDMOS транзисторы сохраняют свою работоспособность в исследуемом диапазоне температур. При этом происходит существенное изменение параметров, прежде всего порогового напряжения V_{th} и тока насыщения I_{on} . Эти изменения связаны с фундаментальными процессами термогенерацией собственной проводимости кремния и уменьшением подвижности носителей из-за рассеяния на фононах.

Зависимости порогового напряжения и тока насыщения от температуры для LDMOS и низковольтных КМОП транзисторов представлены на Рис. 4,5,6,7

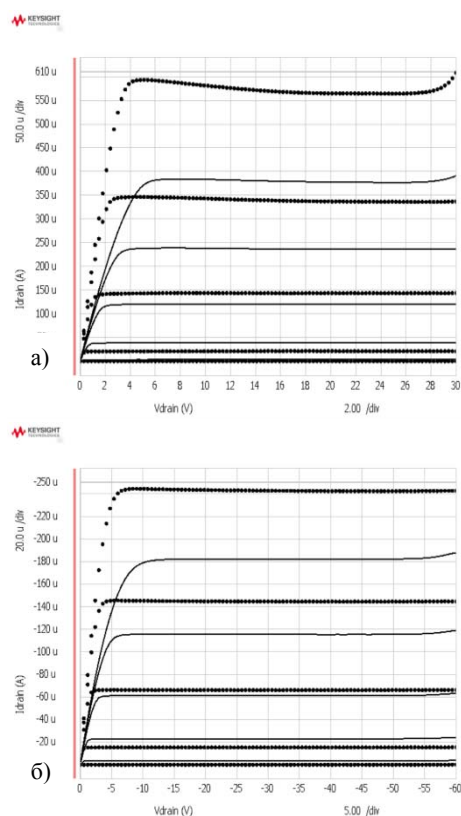


Рис. 2 ВАХ NLD MOS- а и PLD MOS- б транзисторов при температуре 25°C (пунктирная линия) и 225°C (сплошная).

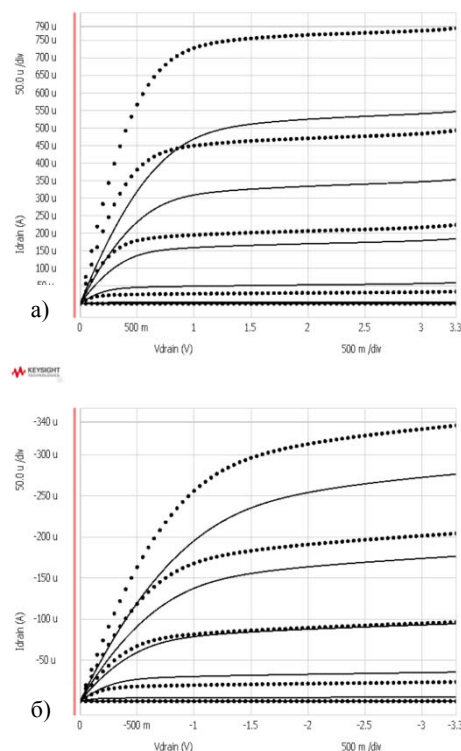


Рис. 3 ВАХ низковольтных п МОП-а и р МОП-б транзисторов при температуре 25°C (пунктирная линия) и 225°C (сплошная).

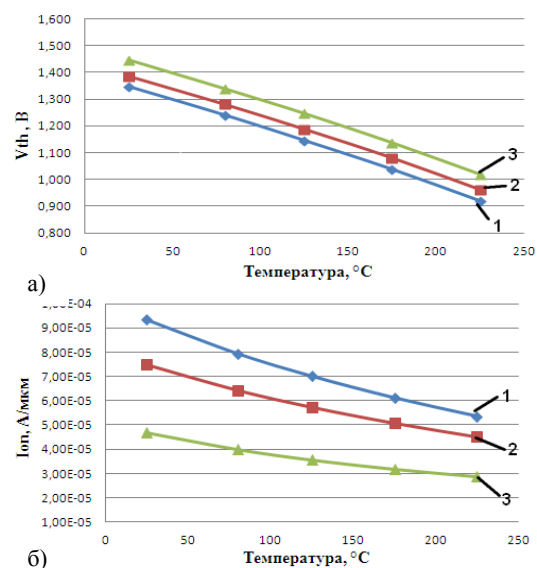


Рис.4 Зависимость порогового напряжения-а и тока насыщения-б NLD MOS транзистора с длиной канала $L=0.5; 0.8; 1.5 \mu\text{m}$ (кривые 1,2,3) и $C=6 \mu\text{m}$ от температуры.

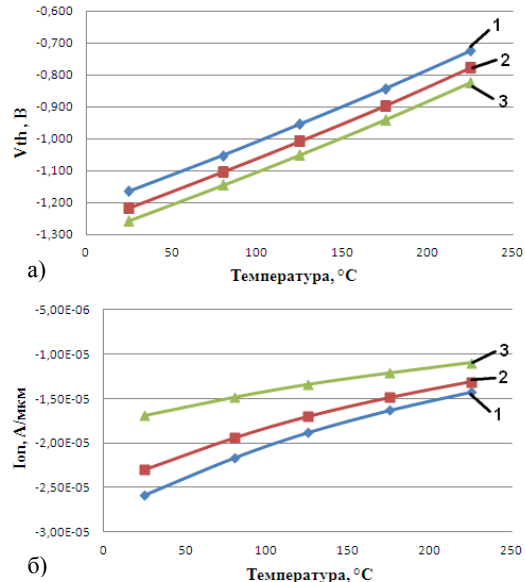


Рис.5 Зависимость порогового напряжения V_{th} -а и тока насыщения I_{on} -б PLD MOS транзистора с длиной канала $L=0.5; 0.8; 1.5 \mu\text{m}$ (кривые 1,2,3) и $C=6 \mu\text{m}$ от температуры.

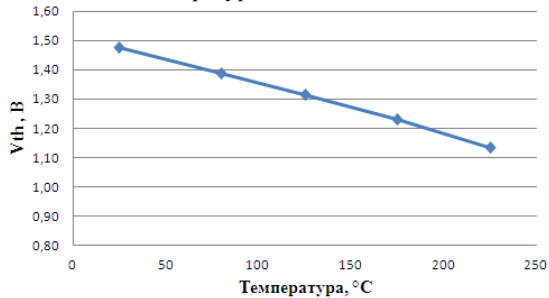


Рис.6а Зависимость порогового напряжения V_{th} -низковольтного п-канального МОП транзистора от температуры.

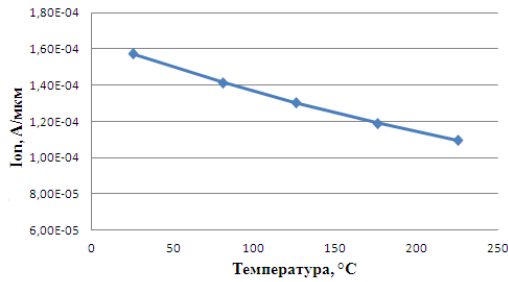
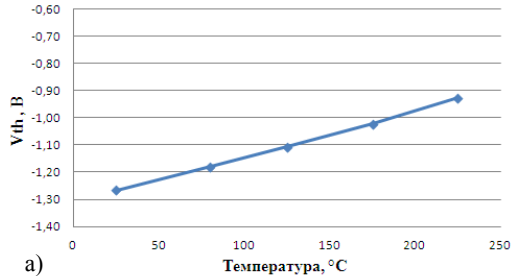
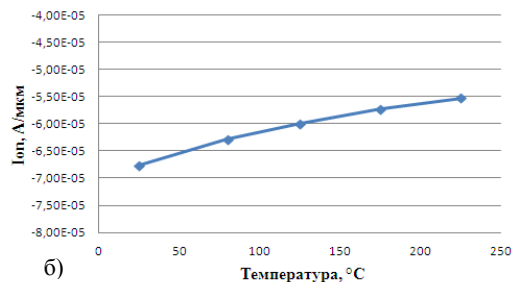


Рис.6б Зависимость тока насыщения I_{op} низковольтного n-канального МОП транзистора от температуры.



а)



б)

Рис.7 Зависимость порогового напряжения V_{th} -а и тока насыщения I_{op} -б низковольтного p-канального МОП транзистора от температуры.

Из представленных данных следует, что характер зависимостей V_{th} и I_{op} от температуры для LDMOS и низковольтных транзисторов одинаков. Температурный коэффициент порогового напряжения TCV_{th} можно определить из соотношения:

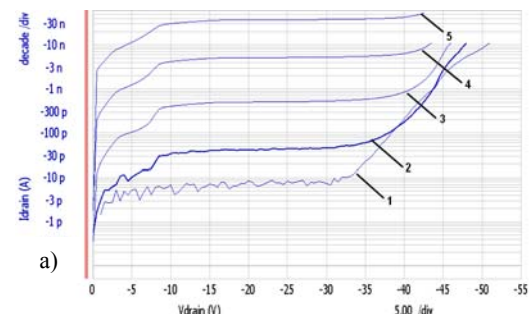
$V_{th}(T) = V_{th}(T_0) + TCV_{th} \cdot (T - T_0)$, где $V_{th}(T)$ -значение порогового напряжения при температуре T ; $V_{th}(T_0)$ -значение порогового напряжения при температуре T_0 ; TCV_{th} -Температурный коэффициент порогового напряжения.

В Таблице 2 представлены параметры LDMOS транзисторов с длиной канала $L=0,5$ мкм, шириной канала $W=20$ мкм, длиной области DRIFT=6 мкм и толщиной окисла $h=14$ нм.

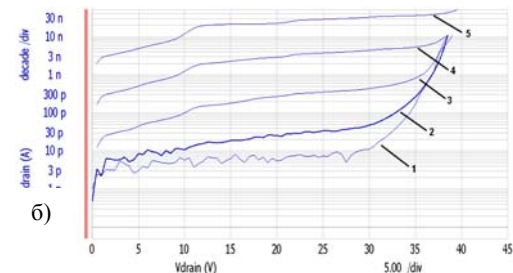
Исследовались: V_{th} - пороговое напряжение; B_e - крутизна; I_{op} - ток насыщения; V_{br} - напряжение пробоя в закрытом состоянии, измеренное по уровню тока 20нА; R_{on} - сопротивление в открытом состоянии при значениях $V_d=0,2$ В, $V_g=3,3$ В.

Из Таблицы 2 следует, что температурный коэффициент изменения порогового напряжения TKV_{th} для LDMOS транзисторов составил 2,1-2,2 мВ/град, что сопоставимо с данными процесса X110 фирмы X-FAB. Для исследуемых параметров введен коэффициент изменчивости $K_{изм}$, определяемый как отношение минимальное значение/максимальное значение параметра в исследуемом диапазоне температур.

На Рис. 8 представлены ВАХ области стока высоковольтных LDMOS с $L=0,5$ мкм, $W=20$ мкм, $C=1,5$ мкм. При напряжениях на стоке $V_d=30$ В и температуре 225°C ток стока для транзисторов обоих типов проводимости составляет порядка $I_d=1,5$ нА/мкм. При $V_d=30$ В и $V_g=3,3$ В из ВАХ, представленных на рис. 2 величина $I_d=75$ мкА/мкм и $I_d=36$ мкА/мкм для NLDMOS и PLDMOS соответственно. Величина отношения указанных токов, характеризующая работоспособность транзистора составила $>2 \cdot 10^4$.



а)



б)

Рис.8 Зависимость тока стока I_{drain} от напряжения на стоке V_{drain} при $V_g=0$ В, температурах 1-25°C, 2-80°C, 3-125°C, 4-175°C, 5-225°C для PLDMOS -а и NLDMOS-б соответственно.

В таблице 3 приведены параметры низковольтных КМОП транзисторов в исследуемом температурном диапазоне. I_{off} - ток стока в закрытом состоянии при $V_d=3,3$ В и $V_g=0$. Величина TKV_{th} составила 1,7 мВ/град. Сравнивая значения $K_{изм}$ можно сделать вывод, что низковольтные КМОП транзисторы менее чувствительны к изменению температуры, что, по-видимому, обусловлено влиянием DRIFT области.

Таблица 2. Параметры высоковольтных NP LDMOS транзисторов в температурном диапазоне 25°C- 225°C

Temp, град C	Vth, B		Be* E-06, B/A2		Ion* E-05, A/мкм		Vbr, B		Ron, Ом	
	PVM	NVM	PVM	NVM	PVM	NVM	PVM	NVM	PVM	NVM
25	-1,16	1,34	5,23	30,4	-2,59	9,33	-50	38	5087	1342
80	-1,05	1,24	4,14	23,5	-2,17	7,93	-47	38	6202	1615
125	-0,95	1,14	3,41	18,2	-1,88	7,00	-45	38	7236	1867
175	-0,84	1,03	2,86	14,6	-1,63	6,11	-43	38	8436	2187
225	-0,72	0,92	2,43	11,7	-1,43	5,35	-42	38	9734	2542
Кизм.	0,62	0,69	0,46	0,38	0,55	0,57	0,84	1,0	0,52	0,53

Таблица 3. Параметры низковольтных КМОП транзисторов в температурном диапазоне 25°C- 225°C

Tem p, град C	Vth, B		Be* E-5, B/A2		Ion* E-5, A/мкм		Vbr, B		Ron, Ом		Ioff,*E- 13A/мкм	
	pМОП	nМОП	pМОП	nМОП	pМОП	nМОП	pМОП	nМОП	pМОП	nМОП	pМОП	nМОП
25	-1,27	1,48	1,97	10	-6,76	15,7	-8,96	8,97	2695	701	-5,71	5,61
80	-1,18	1,39	1,66	7,84	-6,29	14,2	-8,87	9,14	3026	868	-6,71	6,26
125	-1,11	1,32	1,47	6,56	-5,99	13,0	-8,76	9,25	3272	996	-17,4	12,5
175	-1,02	1,23	1,31	5,20	-5,73	11,9	-8,6	9,26	3520	1169	-99,2	81,5
225	-0,93	1,14	1,19	4,32	-5,53	11,0	-8,39	9,14	3729	1350	-917	992
Кизм	0,73	0,77	0,60	0,42	0,81	0,70	0,94	0,98	0,72	0,51		

Таблица 4. Параметры сборок высоковольтных NP LDMOS транзисторов в температурном диапазоне 25°C-225°C

Temp, град C	Vth, B		Be* E-06, B/A2		Ion* E-05, A/мкм		Vbr, B		Ron, Ом	
	PVM1	NVM1	PVM1	NVM1	PVM1	NVM1	PVM1	NVM1	PVM1	NVM1
25	-1,2	1,38	9,26	48,2	-2,97	7,56	-48	37	63	19
80	-1,1	1,28	7,69	36,2	-2,62	6,68	-46	37	75	23
125	-1,0	1,19	6,35	28,8	-2,39	5,90	-44	37	86	27
175	-0,91	1,09	5,54	23,5	-2,21	5,42	-43	37	98	31
225	-0,80	0,98	4,73	18,9	-2,02	4,84	-41	37	110	36
Кизм	0,67	0,71	0,51	0,39	0,68	0,64	0,85	1,0	0,57	0,53

Возможности аппаратно-программного комплекса позволили измерить параметры сборки HV LDMOS транзисторов PVM1 и NVM1, составленной на основе транзисторов с $L=0,8$ мкм и $W=20$ мкм $C=6$ мкм с суммарной шириной $\Sigma W=1$ мм. Эти параметры представлены в таблице 4.

Из представленных данных следует, что сборки HV LDMOS транзисторов сохраняют параметры, характерные для отдельных транзисторов. Это создает предпосылки создания мощных высоковольтных транзисторов, работающих в экстремальных условиях.

Заключение

Низковольтные КМОП транзисторы и высоковольтные LDMOS транзисторы, и сборки на их основе сохраняют работоспособность в исследуемом диапазоне температур. При этом коэффициент изменчивости параметров LDMOS транзисторов при изменении температуры от 25°C до 225°C несколько выше для LDMOS транзисторов в сравнении с низковольтными транзисторами, что можно объяснить влиянием DRIFT областей.

Study of high voltage LDMOS transistor parameters at high temperatures.

S.I.Babkin, S.I.Volkov, S.A.Morozov, A.S.Novosyolov, S.V.Rumyancev

Abstract. The parameters of low-voltage CMOS transistors and high-voltage LDMOS transistors made on the SOI structure in a one technological process are studied in the temperature range from 25⁰C to 225⁰C. It is shown that the transistors retain their efficiency at the maximum temperature. Variability of parameters in this range of temperatures is generally less pronounced for low-voltage transistors. The temperature coefficient of the threshold voltage for low-voltage CMOS transistors was 1.7 mV / deg, and for LDMOS transistors 2.1-2.2 mV / deg.

Keywords: LDMOS, SOI, CMOS, high-voltage transistor, high temperature.

Литература

1. B. Murari, F. Bertotti, G.A. Vignola, Smart Power ICs, Springer, Germany, 1996.
2. A. Nakagawa, Recent Advances in High Voltage SOI Technology for Motor Control and Automotive Application, Proceedings of International on Bipolar/BiCMOS Circuits and Technology Meeting, 1996, pp. 69 – 72.
3. F. Udreă, D. Garner, K. Sheng, A. Popescu, H.T. Lim, V.I. Milne, SOI power devices, Electron. Commun. Eng. J. 12 (1) (2000) 27 - 40.
4. G.Toulon, I.Cortes,F. Moranco . Analysis and Optimization of LUDMOS Transistors on a 0.18 um SOI CMOS Technology. International Journal of Microelectronics and computer science, Vol.1, No.1, 2010.
5. J.P. Colinge, Thin-film SOI technology: the solution to many submicron CMOS problems, in: Electron Devices Meeting, 1989. IEDM'89. Technical Digest., International, IEEE, 1989, pp. 817 - 820.
6. J.R. Schwank, V. Ferlet-Cavrois, M.R. Shaneyfelt, P. Paillet, P.E. Dodd, Radiation effects in SOI technologies, IEEE Trans. Nucl. Sci. 50 (3) (2003) 522-538.
7. The XI10 series is X-Fab's 1.0-micron Modular Silicon-On-Insulator Technology.
8. Г.Я. Красников. Конструктивно-технологические особенности субмикронных МОП-транзисторов. Ч1 М., Техносфера, 2002.
9. Edited by John D. Cressler H.Alan Mantooth. Extreme environment electronics. New York 2013

Разработка технологии формирования высоковольтных LDMOS КНИ транзисторов для экстремальной электроники.

С.И.Бабкин¹, Д.А.Байдаков², С.И.Волков³, А.А.Глушко⁴,
С.А. Морозов⁵, А.С.Новоселов⁶, А.А.Столяров⁷

^{1,2,3,4,5,6,7} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ⁴ МГТУ им. Н.Э. Баумана, Москва, Россия,

E-mail's: ¹ Sergey_Babkin@srisa.ru, ² Baydakov_Denis@srisa.ru, ³ Sviatoslav_Volkov@srisa.ru,
⁴ Andrey_Glushko@srisa.ru, ⁵ Sergey_Morozov@srisa.ru, ⁶ Anton_Novoselov@srisa.ru,
⁷ Alexander_Stolyarov@srisa.ru

Аннотация. Рассматриваются особенности технологии формирования высоковольтных LDMOS транзисторов на основе базового процесса КМОП БИС с проектными нормами 0,5 мкм на подложках со структурой кремний на изоляторе. Оптимизация режимов ионной имплантации и термических процессов проводилась с использованием программы сквозного технологического моделирования TCAD. Исследовались ВАХ LDMOS транзисторов различных конструктивно-технологических вариантов и КМОП транзисторов, изготовленных в едином технологическом цикле.

Ключевые слова: LDMOS, КНИ, КМОП, высоковольтный транзистор.

1. Введение

Интеллектуальные монолитные интегральные схемы (ИМИС), включающие в свой состав низковольтные схемы и высоковольтные МОП транзисторы, сформированные с использованием процессов диффузии в горизонтальном (lateral) направлении (High Voltage LDMOS далее HV LDMOS), находят широкое применение в автомобильной электронике, системах промышленного контроля, телекоммуникациях и бытовой электронике. Такие ИМИС повышают надежность, уменьшают объем и вес, а также увеличивают эффективность системы в целом [1, 2]. При использовании технологии кремний-на-изоляторе (КНИ) создается компактная изоляция между элементами слоя SiO₂ [3], уменьшаются паразитные емкости, и, как следствие, повышаются частотные характеристики схемы, снижаются токи утечек, а также ИМИС могут работать при более высоких температурах по сравнению с системами, созданными на базе традиционной объемной технологии. При этом формирование HV LDMOS транзисторов сочетается с традиционной КМОП технологией [4]. Эти преимущества позволяют использовать монолитную интеграцию нескольких силовых устройств, низковольтных схем управления и процессорных ядер на одном чипе. К тому же, КНИ технология обладает неоспоримым преимуществом по сравнению

с объемной технологией в части повышенной стойкости к ионизирующему облучению (отсутствует тиристорный эффект [5]) и к воздействию высокоэнергетических нейтронов и тяжелых заряженных частиц [6].

Например, в настоящее время фирма X-FAB использует КНИ процесс формирования HV LDCMOS транзисторов в сочетании с традиционными КМОП транзисторами с проектными нормами 1 мкм. Изготовленные на этом процессе ИМИС работают в диапазоне температур от -55 С до 225 С [7].

2. Подготовка образцов и методы исследования

В данной работе ставилась задача исследовать возможность изготовления n и p канальных LDMOS (NPLDMOS) транзисторов на основе базового КМОП КНИ процесса с проектными нормами 0,5 мкм. Преимуществом базовой технологии подразумевала использование структур КНИ, изготовленных по технологии SIMOX, со следующими параметрами: толщина слоя кремния КНИ=190 нм; толщина слоя изолирующего окисла BOX = 150 нм; удельное сопротивление подложки p-типа 10-20 Ом×см.

Использовались базовые процессы имплантации областей n, p карманов (WELL), исток-стоков (SD), LDD областей, a

также самосовмещенная (SALICIDE) технология формирования TiSi_2 . Для оценки технологии и исследования транзисторов был разработан тестовый кристалл, включающий в себя различные конструктивные варианты п и р канальных LDMOS транзисторов А-типа, работающих в режиме частичного обеднения (PDSOI). Конструкция п и р канальных LDMOS КНИ транзисторов приведена на рис. 1

Применялась технология формирования области толстого окисла (FOX) аналогичная описанной в работе [8]. При этом достигалась минимальная длина пути прохождения носителей в DRIFT области. Варьировались следующие параметры: длина канала $L = 0,5, 0,8, 1,5$ мкм; ширина канала $W = 5, 10, 20$ мкм; длина области толстого полевого окисла F ; длина протяженного стока DRIFT $C = 3$ и 6 мкм; величина перекрытия затвором (GATE) области толстого окисла (F) $H = 1, 2, 3$ мкм. Тестовый кристалл содержал также сборки п и р канальных LDMOS транзисторов с $W=20$ мкм с суммарной шириной канала 1 мм и набор тестовых структур, позволяющий характеризовать стандартные п и р канальные КМОП транзисторы А-типа,

включая возможность построения параметров SPICE-моделей.

Оптимизация процессов имплантации DRIFT областей, затворного окисления и термических обработок проводилась с использованием программы сквозного технологического моделирования TCAD. Предварительно проводилась калибровка моделей ионной имплантации и процессов быстрого термического отжига (RTA). Критерием оптимизации было достижение максимальных значений напряжений пробоя в закрытом и открытом состоянии и минимизация электростатического потенциала в транзисторной структуре в наиболее критичных точках.

Толщина затворного окисла оценивалась по оптическим измерениям на установке APECS 3020 и по ВФХ МОП конденсаторов и составила 14 нм. Оценка параметров транзисторов выполнялась на измерительном комплексе Hewlett Packard с зондовым устройством, позволяющем проводить измерения на пластине в диапазоне температур от минус 60°C до 300°C .

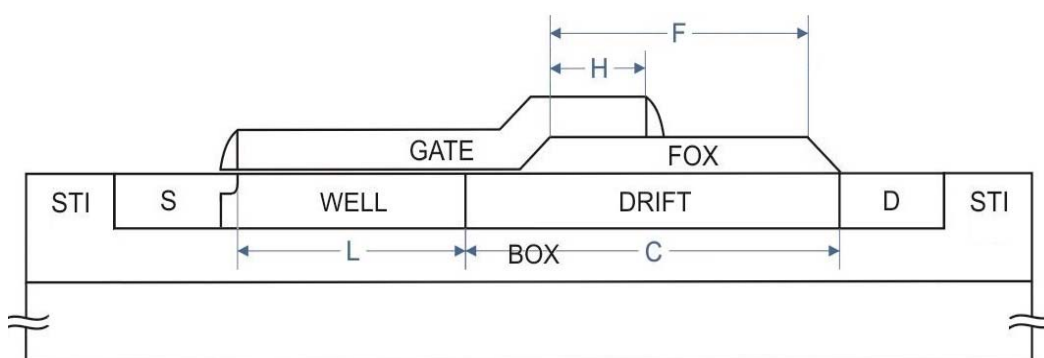


Рис. 1 Конструкция исследуемого LDMOS КНИ транзистора.

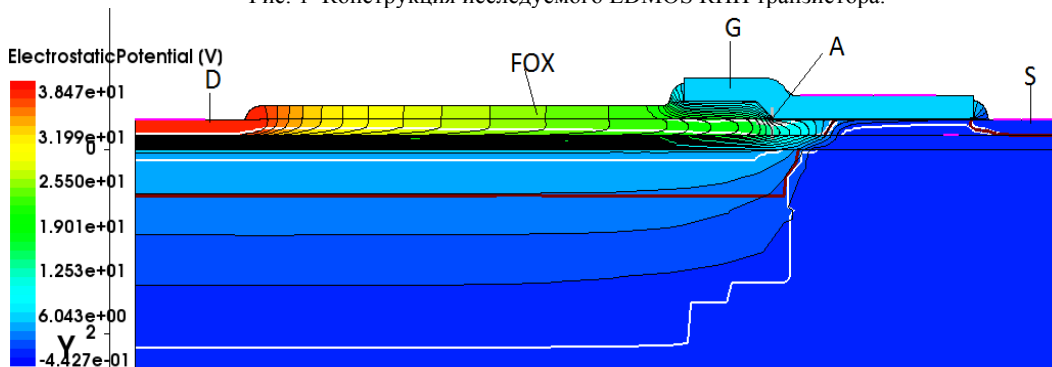


Рис. 2 Распределение электростатического потенциала в LDMOS транзисторе.

3. Основные результаты

На рис. 2 представлены результаты расчета распределения электростатического потенциала в n канальном LDMOS транзисторе с конструктивными параметрами $L=1,5$ мкм $F=6$ мкм в открытом состоянии при напряжениях на стоке $V_d=38$ В и напряжении на затворе $V_g=5$ В. Наиболее критичной с точки зрения возникновения пробоя подзатворного окисла является область А-перехода затвора G с «тонкого» на толстый FOX окисел. Расчет потенциала в точке А дает значение 11 В. Таким образом, разность потенциалов между затвором и точкой А составит 6 В. Напряжение пробоя подзатворного окисла, измеренное по МОП конденсатору, составило 14 В. Таким образом, в рассматриваемом режиме обеспечивается двукратный запас по пробивному напряжению.

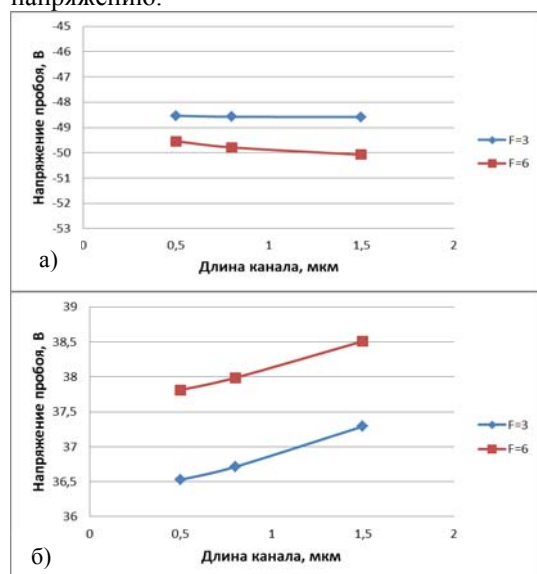


Рис. 3 Зависимость напряжения пробоя V_{br} p канальных (а) и n канальных (б) LDMOS транзисторов в закрытом состоянии от длины канала L и области толстого окисла (F).

На Рис.3,4 представлены результаты измерений напряжения пробоя V_{br} n и p канальных LDMOS транзисторов с шириной канала $W=10$ мкм в закрытом состоянии (напряжение на затворе $V_g=0$ В) в зависимости от длины канала (L) и области толстого окисла (F). V_{br} измерялось по уровню тока стока $I_d=10$ нА. Из представленных данных следует, что V_{br} практически не зависит от величины L . Более существенным оказывается влияние значения F и, связанного с ним, величины C (DRIFT). При этом изменение значения F с 3 мкм до 6 мкм не дает пропорционального увеличения V_{br} . Можно предположить, что имеет место влияние подложки, при

небольшой, по сравнению с аналогами, толщине слоя BOX.

На Рис. 4 представлены зависимости тока насыщения I_{on} p канальных LDMOS транзисторов от длины канала и толстого окисла при значениях напряжений на стоке и затворе $V_d=V_g=5$ В а и значениях напряжений на стоке и затворе $V_d=V_g=3,3$ В б.

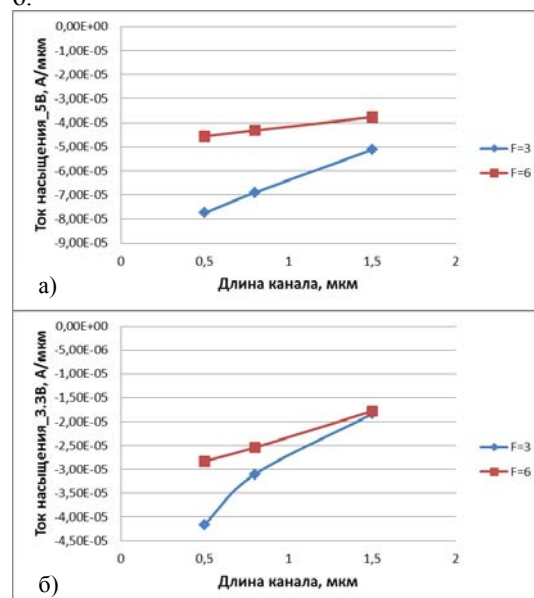


Рис.4 Зависимость тока насыщения p канальных LDMOS транзисторов от длины канала L и области толстого окисла F при напряжениях $V_d=V_g=5$ В а и напряжениях $V_d=V_g=3,3$ В б.

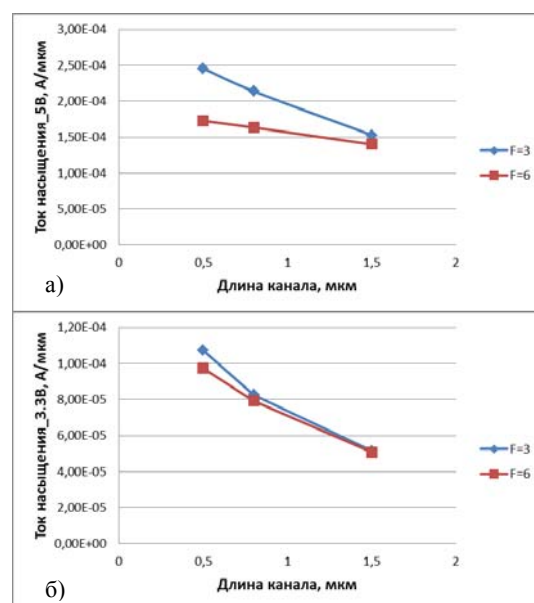


Рис. 5 Зависимость тока насыщения n канальных LDMOS транзисторов от длины канала L и области толстого окисла F при напряжениях $V_d=V_g=5$ В а и напряжениях $V_d=V_g=3,3$ В б.

Аналогичные зависимости для n канальных LDMOS транзисторов

представлены на Рис. 5. Вид зависимости тока насыщения от длины канала для высоковольтных LDMOS аналогичен виду зависимости для низковольтных КМОП транзисторов.

При этом влияние слоя FOX заметно проявляется при относительно больших плотностях тока, достигаемых при малой длине канала $L=0,5$ мкм и максимальном значении напряжения на затворе $V_g=5$

В Рис. 5 а. Выходная характеристика р канального LDMOS транзистора с параметрами $W=5$ мкм, $L=0,5$ мкм, $F=6$ мкм представлена на рис.6а. BAX PLDMOS транзистора подобен BAX низковольтного PMOП транзистора.

Следует отметить, что напряжение пробоя в открытом состоянии (далее V_{br0}) существенно превышает измеренное ранее напряжение пробоя в закрытом состоянии V_{br} . При измерении зависимостей $I_d=f(V_d)$ при изменении напряжения затвора V_g от 0 до 5В происходит постепенная «тренировка» стока, что иллюстрирует Рис.6 б.

В этом случае последовательно несколько раз измерялось V_{br} по уровню $I_d=10$ нм. Каждое повторное измерение давало увеличение значения V_{br} .

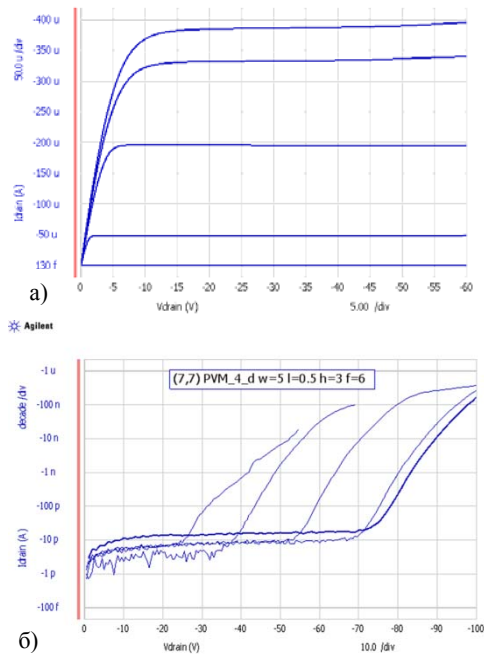


Рис. 6 BAX PLDMOS с $W=5$ мкм, $L=0,5$ мкм, $F=6$ мкм в открытом а и закрытом состоянии б.

Особенностью п канальных МОП транзисторов, сформированных на КНИ структуре и работающих в режиме частичного обеднения (PDMOS SOI) является проявление «Kink эффекта» и включение паразитного биполярного транзистора при определенных уровнях тока.

Оба эффекта связаны с накоплением неосновных носителей в кармане п канальных МОП транзисторов, генерируемых в результате ударной ионизации в области р-п перехода стока [9,10]. Этот эффект наблюдается и для п канальных LDMOS.

На Рис. 7 представлены BAX NLD MOS для различных конструктивных вариантов и режимов измерений.

Измерялись NLD MOS с параметрами $W=5$ мкм и различной длиной канала $L=0,5$ мкм (1,4), $L=0,8$ мкм (2,5), $L=1,5$ мкм (3,6) и длиной $F=3$ мкм (1,2,3) и $F=6$ мкм (4,5,6).

Из представленных BAX следует, что величина напряжения пробоя NLD MOS в открытом состоянии V_{br0} отличается от V_{br} в меньшую сторону.

Уменьшение напряжения пробоя пропорционально протекающему току I_d и как следствие наибольшее при меньших значениях длины канала L и области толстого окисла F .

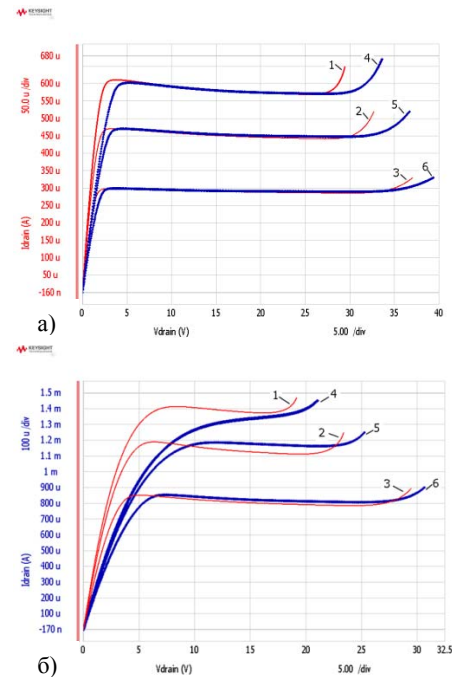


Рис.7 Зависимость тока стока I_d от напряжения стока V_d NLD MOS при напряжении на затворе $V_g=3,3$ В а и $V_g=5,0$ В б.

В Таблице 1 приведены достигнутые основные параметры п и р канальных LDMOS транзисторов с $W = 10$ мкм при различных конструктивных параметрах и условиях измерений: V_{th} - пороговое напряжение; I_{on_5} - ток насыщения при напряжениях $V_s=0$ В, $V_d=5$ В и $V_g=5$ В; $I_{on_3,3}$ - ток насыщения при напряжениях $V_s=0$ В, $V_d=3,3$ В и $V_g=3,3$ В; V_{br} - напряжение пробоя стока при $V_s=0$ В, $V_g=0$ В по уровню $I_d = 10$ нА; V_{br0} - напряжение

пробоя стока при $V_s=0$ В, $V_g=5$ В по уровню $I_d=1,1 \cdot I_{on}$; R_{on} - сопротивление в открытом состоянии при $V_s=0$ В, $V_d=0,2$ В и $V_g=5$ В.

Таблица 1. Параметры n и p канальных LDMOS транзисторов.

Параметр, ед. измерения	NLDMOS	PLDMOS	NLDMOS сборка	PLDMOS сборка
V_{th} , В	$1,25 \div 1,4$	$-1,15 \div -1,25$	1,4	- 1,25
I_{on} 5, мкА/мкм	$150 \div 250$	$-45 \div -75$	>100	-75
I_{on} 3,3 мкА/мкм	$50 \div 100$	$-20 \div -45$	70	-30
V_{br} , В	$38 \div 44$	$-49 \div -51$	>40	>-51
V_{br0} , В	$36 \div 40$	>60	>38	>50
R_{on} , Ом	$2000 \div 2800$	$4200 \div 4800$	16	42

Таблица 2. Параметры n и p канальных низковольтных МОП транзисторов.

Параметр, ед. измерения	N МОП	P МОП
V_{th} , В	$1,51 \div 1,55$	$-1,27 \div -1,31$
Be В/А ² *Е-5	$9,0 \div 10,0$	$1,8 \div 1,9$
I_{on} 3,3, мкА/мкм	$150 \div 160$	$-63 \div -70$
I_{on} 5, мкА/мкм	$400 \div 600$	$150 \div 170$
V_{br} , В	$8,7 \div 9,0$	$-8,6 \div -9,1$

В Таблице 1 приведены также параметры сборки на основе NLDMOS и PLDMOS транзисторов с $L=0,8$ мкм, $F=3$ мкм с суммарным значением $W=1$ мм.

При измерениях V_{br0} NLDMOS использовался режим $V_g=3,3$ В. Из таблицы 1 следует, что исследуемая конструкция и технология изготовления LDMOS транзисторов позволяют получать высоковольтные мощные транзисторы.

Суммарное значение W для сборок составило 1 мм, а площадь сборки транзисторов 6550 мкм².

Значительный разброс параметров I_s , R_{on} связан, прежде всего, с воспроизведением линейного размера области FO и совмещением карманов и DRIFT области LDMOS транзисторов.

В данном варианте подзатворный окисел толщиной 14 нм формировался одновременно в высоковольтных LDMOS и низковольтных КМОП транзисторах.

В традиционном КМОП КНИ процессе, как правило, используется толщина окисла 10-12 нм. Следствием этого является изменение характеристик n и p канальных низковольтных МОП транзисторов.

Основные параметры приведены в таблице 2. Следует отметить, что с увеличением толщины подзатворного окисла повышается надежность МОП транзисторов.

4. Заключение

Исследован процесс формирования высоковольтных LDMOS транзисторов на базе технологического процесса изготовления низковольтных КМОП транзисторов с проектными нормами 0,5 мкм на подложках со структурой КНИ.

Исследованы различные конструктивно-технологические варианты LDMOS транзисторов и их параметры.

Показана возможность получения высоковольтных LDMOS транзисторов с суммарным током $I_d > 1$

А и напряжением пробоя >38 В и 50 В для n и p канальных LDMOS транзисторов соответственно.

Оптимизация параметров возможна на основе реализации самосовмещенного процесса формирования DRIFT и FOX областей.

Development of technology for the formation of high-voltage LDMOS SOI transistors for extreme electronics.

S.I.Babkin, D.A.Baydakov, S.I.Volkov, A.A.Glushko,
S.A.Morozov, A.S.Novosyolov, A.A.Stolyarov

Abstract. Specifics of high-voltage LDMOSFETs formation technology based on the conventional 0.5 μm CMOS SOI technology process are considered. Operating conditions of ion implantation and high temperature treatments were optimized by using end-to-end technology modeling program of TCAD software package. Current-voltage characteristics for various design and technological options of LDMOSFETs and conventional MOSFETs manufactured at the same technology cycle were studied.

Keywords: LDMOS, SOI, CMOS, high-voltage transistor.

Литература

1. B. Murari, F. Bertotti, G.A. Vignola, Smart Power ICs, Springer, Germany, 1996.
2. A. Nakagawa, Recent Advances in High Voltage SOI Technology for Motor Control and Automotive Application, Proceedings of International on Bipolar/BiCMOS Circuits and Technology Meeting, 1996, pp. 69 – 72.
3. F. Udreă, D. Garner, K. Sheng, A. Popescu, H.T. Lim, V.I. Milne, SOI power devices, Electron. Commun. Eng. J. 12 (1) (2000) 27 - 40.
4. G.Toulon, I.Cortes, F. Moranco . Analysis and Optimization of LUDMOS Transistors on a 0.18 μm SOI CMOS Technology. International Journal of Microelectronics and computer science, Vol.1, No.1, 2010.
5. J.P. Colinge, Thin-film SOI technology: the solution to many submicron CMOS problems, in: Electron Devices Meeting, 1989. IEDM'89. Technical Digest., International, IEEE, 1989, pp. 817 - 820.
6. J.R. Schwank, V. Ferlet-Cavrois, M.R. Shaneyfelt, P. Paillet, P.E. Dodd, Radiation effects in SOI technologies, IEEE Trans. Nucl. Sci. 50 (3) (2003) 522-538.
7. The XI10 series is X-Fab's 1.0-micron Modular Silicon-On-Insulator Technology.
8. Jongdae Kim *et al.* Characteristics of P-channel SOI LDMOS Transistor with Tapered Field Oxides ETRI Journal, Volume 21, Number 3, September 1999 pp.22-28
9. O. Rozeau *et al.* Impact of Floating Body and BS-Tied Architectures on SOI MOSFET's Radio-Frequency Performances. 2000 IEEE International SOI Conference, Oct. 2000.
10. Christopher F. Edwards *et al.* A Multibit Modulator in Floating-Body SOS/SOI CMOS for Extreme Radiation Environments . IEEE Journal of Solid-State Circuits, Vol. 34, No. 7, July 1999 pp.937-947.

Разработка библиотеки радиационно-стойких элементов по 65 нм КМОП технологии

Ю.Б. Рогаткин¹, А.О. Власов², А.В. Каплин³, Д.Н. Скурихин⁴

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹ ryb@cs.niisi.ras.ru, ² vlaalex@cs.niisi.ras.ru, ³ kaplin@alphachip.ru, ⁴ skurikhin@alphachip.ru

Аннотация. Данная статья посвящена разработке библиотеки стандартных элементов для создания субмикронных СБИС, предназначенных для работы в условиях воздействия внешних факторов. Были рассмотрены возникающие типы отказов, подходы по увеличению радиационной стойкости, особенности разработанной библиотеки

Ключевые слова: КМОП СБИС, радиационная стойкость, стандартные ячейки

1. Введение

В рамках проектов НИИСИ РАН по созданию стойких к экстремальному внешнему воздействию в космическом пространстве серии микросхем, спроектированных по 65 нм КМОП технологическим нормам, был проведен ряд работ по разработке специальных библиотек элементов для применения в маршрутах, основанных на логическом синтезе.

К разрабатываемой библиотеке предъявлялся ряд требований:

- Технология: 65нм, объёмный кремний.
- Обеспечение радиационной стойкости относительно широко используемых библиотек
- Максимальное быстродействие при приемлемой статической мощности
- Функциональная насыщенность: библиотека должна содержать необходимые элементы для эффективной физической реализации.
- Полный набор библиотечных представлений под имеющийся в наличии САПР

В качестве прототипа была выбрана уже имеющаяся в распоряжении библиотека стандартных ячеек одной из широко известных зарубежных фабрик, спроектированная под технологические нормы 65 нм. На ее базе уже было реализовано несколько успешных проектов СБИС НИИСИ РАН. Маршрут физической имплементации был адаптирован под данную библиотеку. Фактически, разработка описываемой в данной статье библиотеки заключалась во внедрении подходов по увеличению радиационной стойкости элементов библиотеки-прототипа с минимизацией сопутствующего ухудшения остальных параметров. Кроме того,

функционал исходной библиотеки был достаточным для эффективного физического проектирования СБИС. Стоит также отметить, что маршруты проверок DRC/LVS и DFM были отлажены под данную технологию во время проектирования уже изготовленных на момент начала разработки описываемой библиотеки стандартных ячеек. Таким образом, наличие опыта проектирования по технологическим нормам 65 нм и зарекомендовавшей себя библиотеки стандартных ячеек определили выбор данного технологического процесса для проектирования описываемой библиотеки.

В данной статье освещены аспекты разработки данной библиотеки и особенности её использования в САПР.

2. Воздействующие факторы

Основные эффекты, возникающие при эксплуатации субмикронных СБИС в космическом пространстве — накопление полной поглощенной дозы (total ionizing dose, TID) и эффекты, связанные с воздействием одиночных ионизирующих частиц (Single Event Effects, SEE). Полная поглощенная доза излучения обуславливает дрейф некоторых характеристик микросхемы, вызывающий отказы. Воздействие одиночных ионизирующих частиц может вызывать как сбои в работе, так и провоцировать ситуации, также ведущие к отказам микросхем. Стоит обратить внимание, что при разработке, рассматриваемой в данной статье библиотеки, основной целью была её толерантность к внешним воздействиям. Решение проблемы повышения сбоеустойчивости была учтена при проектировании массивов памяти и заказных блоков, на этапах разработки RTL и физического проектирования СБИС.

3. Типы отказов

Согласно [1], возникающие эффекты можно разделить на четыре основных типа:

- Катастрофические:
 - вторичный пробой
 - пробой диэлектрика
 - одиночное повреждение бита
- Функциональные:
 - тиристорный эффект (SEL)
 - одиночное функциональное прерывание
- Остаточные:
 - одиночный сбой
 - многократные сбои
- Кратковременные

Попадание тяжелой заряженной частицы (ТЗЧ) в чувствительную область может привести к возникновению не только однократного сбоя, но и условно-жесткому отказу, вызванному тиристорным эффектом (SEL).

На Рис. 1 приведено сечение инвертора, выполненного по объемной КМОП технологии, и показаны образовавшиеся паразитные элементы.

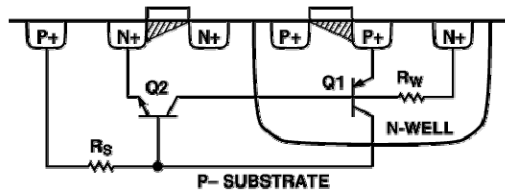


Рисунок. 1. Логический элемент типа НЕ в разрезе

Видно, что два паразитных биполярных транзистора образуют ррп-структуру (исток-карман-подложка-исток), известную под названием тиристор. ВАХ тиристора характерна тем, что имеет нелинейность, то есть при достижении некоего прямого смещения на структуре ее сопротивление резко падает, а ток, соответственно, растет.

При попадании ТЗЧ индуцированный импульс тока может привести к открыванию биполярных транзисторов и переходу паразитной тиристорной структуры в низкоомное состояние. Результатом будет резкое увеличение тока потребления по цепи питания, что приведет к перегоранию проводников и контактных окон в сетке земли и питания.

4. Подходы по увеличению радиационной стойкости

Тиристорный эффект (SEL) относят к условно-жестким сбоям, потому что его воздействие можно остановить при помощи

отключения источника питания[2]. Эта мера, однако, весьма неудобна, поэтому в КМОП структуре можно разнести транзисторы дальше друг от друга, таким образом, увеличив длину базы транзистора Q2. Этот вариант нежелателен из-за снижения плотности упаковки кристалла. Можно увеличить уровни легирования подложки и кармана, снизив подвижность носителей заряда, что скажется на временных характеристиках приборов.

Самый эффективный вариант с точки зрения соотношения затраченных усилий проектирования к увеличению толерантности к внешним воздействующим факторам – уменьшение базовых сопротивлений паразитных транзисторов (R_s и R_w). Технологически уменьшение базовых сопротивлений можно выполнить путем обеспечения хороших контактов к подложке и карману и окружению транзисторных структур кольцевыми контактами (так называемыми «охранными кольцами»). Очевидным недостатком охранных колец является серьезный рост площади элементов.

Рассмотрим в качестве примера возможные варианты реализации стандартной ячейки типа НЕ (инвертор) с учетом набора требований ТЗ

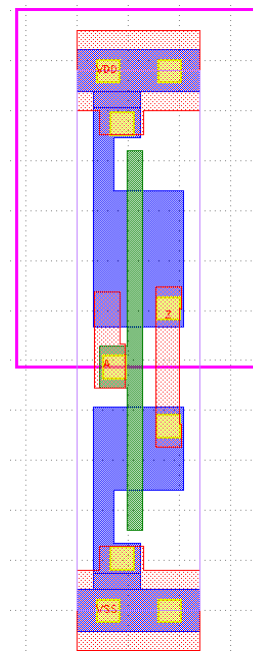


Рисунок. 2. Пример рисунка топологии логического элемента НЕ со встроенными контактами к N-карману и подложке

На Рис. 2 представлена реализация в топологии логического элемента НЕ со встроенными контактами к N-карману и подложке. Преимуществами данной конструкции по сравнению с аналогичным элементом библиотеки прототипа являются

незначительное увеличение площади на 10% и сопоставимые емкости внутренних узлов. Тем не менее, данная конструкция в полной мере не обеспечивает защиту от SEL.

В приведенной выше конструкции можно улучшить защиту от SEL путем добавления боковых диффузионных контактов к N-карману и подложке. Пример такого элемента представлен на Рис. 3.

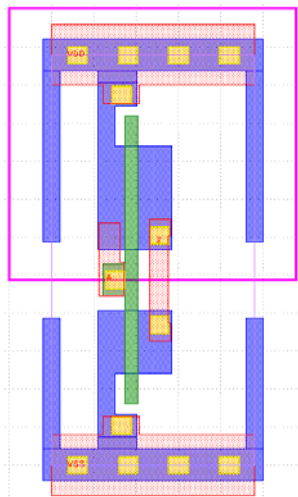


Рисунок. 3. Пример рисунка топологии логического элемента НЕ с дополнительными боковыми контактами к N-карману и подложке

Преимуществами конструкции с дополнительными боковыми контактами к N-карману и подложке по сравнению с аналогичным элементом библиотеки прототипа являются повышение защиты от SEL с сохранением сопоставимых емкостей внутренних узлов, а ее основным недостатком является значительное, более чем в 2 раза увеличение площади элемента.

Конструкция ячейки с полноценными охранными кольцами представлена на рис. 4. Ее преимуществами является хорошая защита от SEL. К недостаткам данной конструкции следует отнести еще большее, по сравнению с предыдущим вариантом, увеличение площади элемента и увеличение емкости внутренних узлов. Последнее обусловлено применением металлических шин для внутренних соединений, особенно для связей транзисторов разных типов проводимости. В данной конструкции для экономии занимаемой ячейкой площади на кристалле охранные диффузионные кольца не имеют контактов на внутренних и боковых сегментах. Для более надежной защиты от SEL можно предложить использование дополнительных контактов к шинам питания и земли на боковой диффузии.

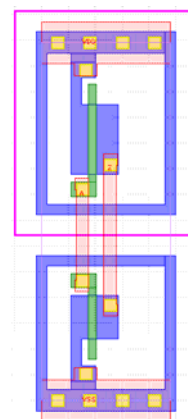


Рисунок. 4. Пример рисунка топологии логического элемента НЕ с охранными кольцами земли и питания

Для значительной экономии места, занимаемого ячейкой на кристалле, предлагается отказаться от использования полноценных диффузионных охранных колец в каждой ячейке. В каждой стандартной ячейке проектируемой библиотеки необходимо оставить только горизонтальные верхние и нижние сегменты колец, как показано на рис.5. При объединении нескольких ячеек в группу по горизонтали, будут образованы общие (в N-кармане и в подложке), не замкнутые по бокам элементы защитного кольца. Для улучшения защиты от SEL необходимо там, где это возможно, добавить контакты к питанию и земле на внутренние сегменты колец, как показано на рис.6. Замыкание диффузионных охранных колец группы ячеек должно обеспечиваться специальными концевыми элементами ("tap"). Пример топологии с общим кольцом для группы стандартных ячеек библиотеки приведен на Рис. 7.

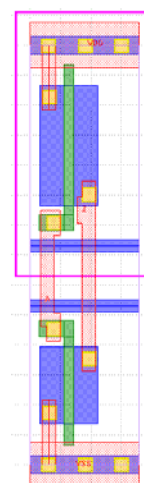


Рисунок. 5. Пример рисунка топологии логического элемента НЕ с разомкнутыми диффузионными охранными кольцами

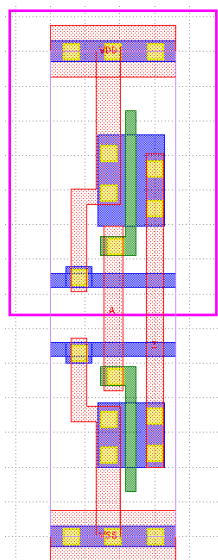


Рисунок. 6. Пример рисунка топологии логического элемента НЕ с разомкнутыми диффузионными кольцами и дополнительными контактами к питанию и земле на внутренних сегментах колец

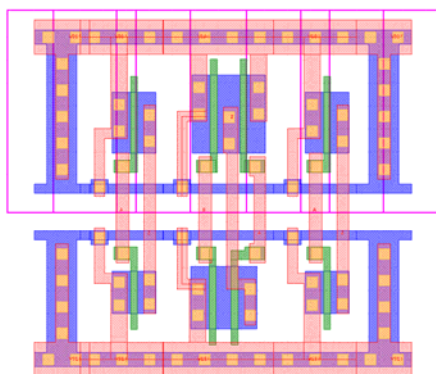


Рисунок. 7. Пример рисунка топологии с замкнутыми охранными кольцами и дополнительными контактами к питанию и земле на внутренних сегментах колец

В силу технологических ограничений конструкция ячейки, приведенная на рис. 6, имеет ограничение на групповую длину ячеек по горизонтали рис. 7. Минимальная ширина диффузии внутренних охранных колец накладывает, согласно правилу DRC ограничение на максимальную ширину ячейки: 25 мкм. Для улучшения радиационной стойкости было принято решение ограничить максимальную ширину ячейки 19,92 мкм или 83 шага сетки

5. Особенности библиотеки

Рассмотрим главные отличия разработанной библиотеки от прототипа.

Во-первых, топологические отличия. Коммерческие библиотеки с целью увеличения плотности размещения не содержат контакты смещения подложки в

каждой стандартной ячейке. Подача напряжения смещения осуществляется специальными библиотечными элементами, расставляемыми регулярно по всей площади кристалла, занятой стандартными ячейками. Из-за наличия элементов охранных колец высота ячеек описываемой библиотеки больше высоты прототипа, что в среднем приводит увеличение площади ячеек на 40%.

Второе отличие связано с тем, что в коммерческих библиотеках есть варианты реализации ячеек на транзисторах с разным значением параметра порогового напряжения. Стандартные ячейки из библиотеки-прототипа были трёх типов в зависимости от используемых в них транзисторов со значением порогового напряжения:

- низким (LVT) – высокое быстродействие
- референсным (RVT) – базовый вариант
- высоким (HVT) – низкие токи утечки

В Таблице 1 приведено сравнение параметров реализаций тестового блока, реализованного на элементах библиотеки прототипа[3]. Все данные в таблице нормированы на соответствующие значения параметров LVT реализации. Расчет мощности всех вариантов проводился на максимальной частоте HVT реализации

Период функционирования		1,43		
Параметры реализаций		Библиотеки ячеек		
		LVT	RVT	HVT
Стат. мощность	1	0,65	0,58	
Дин. мощность	1	0,98	1,03	
Площадь ячеек	1	1,02	1,04	
Миним. период	1	1,25	1,43	

Таблица 1. Влияние параметра порогового напряжения транзисторов ячеек на параметры реализации тестового блока

Можно заметить, что у LVT варианта больше быстродействие, но и токи утечки тоже, примерно, во столько же раз, больше. Учитывая, что транзисторы с пониженным порогом более восприимчивы к радиационному воздействию, а элементы на их основе имеют большую статическую мощность, было решено отказаться при проектировании элементов рассматриваемой библиотеки от LVT транзисторов. Также было решено делать единичную реализацию каждой ячейки, в которой PMOS рекомендовано реализовывать на RVT транзисторах, а NMOS на HVT. Таким образом, внутри каждой ячейки при её разработке искался приемлемый компромисс между быстродействием и статической мощностью. Для уменьшения тока утечки и сохранения быстродействия в некоторых элементах использовались PMOS HVT и NMOS RVT.

Описанные выше обстоятельства привели к третьему, параметрическому различию разработанной библиотеки и прототипа. Данные из таблицы 2 указывают на существенные изменения параметров разработанных библиотечных элементов относительно исходных.

Ячейки	Задержка	Площадь	Статическая мощность	Динамическая мощность
INV	4,0%	40,0%	21,1%	10,0%
BUF	3,6%	40,0%	-31,3%	6,2%
NAND2	7,3%	55,6%	-23,1%	30,1%
NOR2	-4,0%	40,0%	183,9%	12,6%
MUX4	9,9%	44,7%	90,7%	94,1%
XOR2	18,9%	61,5%	-4,6%	20,9%
DFF	6,1%	33,9%	91,9%	25,0%

Таблица 2. Изменения параметров ключевых элементов относительно их исходных реализаций

6. Заключение

В НИИСИ РАН была разработана библиотека стандартных ячеек, обладающих повышенной стойкостью в условиях космического воздействия. Состав библиотеки соответствует современным требованиям для проектирования в САПР:

- Базовые и сложные комбинационные ячейки
- Необходимый для синтеза набор триггеров
- Физические ячейки

Характеризация элементов была произведена в необходимом диапазоне условий функционирования:

- 10 углов с расширением до -60С
- Были реализованы все необходимые для имеющихся в наличии САПР библиотечные представления
- Временные – liberty
 - Геометрические: lef/gds
 - Схемотехнические: cdl/CDNS sch
 - Логические: Verilog/Tetramax

Также были определены базовые рекомендации по использованию данной библиотеки в САПР топологического проектирования:

- Для образования замкнутых охранных диффузионных колец, удовлетворяющих нормам DRC, требуется расставлять «tap» элементы с боковыми частями колец на расстоянии максимальной ширины ячейки
- При «шахматной» расстановке «tap» элементов в блоках может улучшаться трассируемость межсоединений

На базе данной библиотеки в НИИСИ РАН разрабатывается серия микросхем космического применения.

Radiation Resistant Standard Cells Library Development for 65-nm CMOS technology

Authors- YU.B. Rogatkin, A.O. Vlasov, A.V. Kaplin, D.N. Skurihin

Abstract- This article is about the development of standard cells library, designed to work under the influence of external factors. The emerging types of failures, approaches to increase radiation resistance, features of the developed library were considered.

Keywords – CMOS VLSI, radiation resistant, fault-tolerant SRAM, memory compilers

Литература

1. А.И.Чумаков, В.М.Ужегов, А.О.Ахметов, Д.В.Бойченко, А.В.Яненко, Н.В.Рясной. Оценка показателей стойкости интегральных схем при воздействии тяжелых заряженных частиц с использованием различных моделей // Безопасность информационных технологий, 2017, № 1, С. 73-84.
2. А.С.Тараксин, Р.Р.Нигматуллин, Д.В.Савченков, С.А.Соловьев, А.В.Яненко. Методики исследования и предотвращения развития катастрофического отказа вследствие одиночного тиристорного эффекта // Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сб. трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 628-633.
3. А.О. Власов. Оптимизация мощности токов утечки без изменения логического описания микросхемы // Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сб. трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2012. С. 471-474.
4. P. Roche, G. Gasiot, S. Uznanski, J.-M. Daveau, J. Torras-Flaquer, S. Clerc, R. Harboe-Sorensen. A commercial 65 nm CMOS technology for space applications: Heavy ion proton and gamma test results and modeling, IEEE Trans. Nucl. Sci., vol. 57, no. 4, pp. 2079-2088, Aug. 2010.

Разработка компиляторов радиационно-стойких сбоеустойчивых СОЗУ по 65 нм КМОП технологии

¹П.Г. Кириченко, ²А.О. Власов, ³А.А. Морозов, ⁴П.В. Тургенев, ⁵А.Г. Васильев

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹pgkirich@cs.niisi.ras.ru, ²vlaalex@cs.niisi.ras.ru, ³andr@alphachip.ru,
⁴urgenev@alphachip.ru, ⁵vasilev@alphachip.ru

Аннотация. Данная статья посвящена разработке компиляторов статических синхронных однопортовых и двухпортовых ОЗУ, а также двухпортовых ОЗУ в варианте регистрового файла по технологии 65нм, предназначенных для функционирования в условиях воздействия внешних факторов. Были рассмотрены подходы по увеличению радиационной стойкости и сбоеустойчивости, реализация программного обеспечения (ПО) компилирования блоков памяти по заданным пользователем параметрам.

Ключевые слова: КМОП СБИС, радиационная стойкость, компиляторы блоков памяти.

1. Введение

В НИИСИ РАН по 65нм КМОП технологическим нормам разрабатывается серия микросхем, стойких к экстремальному внешнему воздействию. В рамках данного процесса были проведены работы по разработке компиляторов блоков СОЗУ с архитектурами, наиболее востребованными при автоматизированной физической имплементации СБИС. В данной работе рассмотрены проблемы проектирования радиационно-стойких сбоеустойчивых блоков памяти, и реализации программного обеспечения (ПО) для их автоматического компилирования по заданным пользователем параметрам.

К разрабатываемым компиляторам блоков памяти предъявлялся ряд требований:

- Технология: 65нм объёмный кремний. По данным технологическим нормам было успешно реализовано несколько СБИС НИИСИ РАН. У разработчиков имелся необходимый опыт работы с данной технологией
- Радиационная стойкость. Использовались подходы по защите элементов блоков памяти от тиристорного эффекта
- Повышенная сбоеустойчивость. Достигается применением DICE триггеров в управляющей логике и специальными подходами в проектировании топологии ячеек памяти и усилителя чтения
- Типы компилируемых памяти СОЗУ:
 - однопортовые (SP)
 - двухпортовые (DP)

○ двухпортовые ОЗУ в варианте регистрового файла (2PRF)

- Запуск компилятора: консоль и ГПИ (графический пользовательский интерфейс). Компиляторы должны иметь возможность запускаться как в режиме пакетного запуска через стандартную консоль Linux, так и в интерактивном режиме с использованием ГПИ
- Многопроцессорность. Распределение задач этапов компиляции на нескольких вычислительных ядрах для ускорения времени создания блока памяти
- Пакетный запуск на серверах. Поддержка автоматического распределения задач компиляции в сети серверного кластера
- Полный набор библиотечных представлений под имеющийся в наличии САПР

В данной статье освещены аспекты разработки данных компиляторов блоков памяти, удовлетворяющих вышеописанные требования.

2. Методы повышения радиационной стойкости и сбоеустойчивости ОЗУ

Попадание тяжелой заряженной частицы (ТЗЧ) в чувствительную область, согласно [1], может привести к возникновению не только однократного сбоя, но и условно-жесткому отказу, вызванным тиристорным эффектом (SEL). На рис.1 приведено сечение инвертора, выполненного по объемной КМОП технологии, и показаны

образовавшиеся паразитные элементы.

Видно, что два паразитных биполярных транзистора образуют PNPN структуру (исток-карман-подложка-исток), известную под названием тиристор. ВАХ тиристора характерна тем, что имеет нелинейность, то есть при достижении некоего прямого смещения на структуре ее сопротивление резко падает, а ток, соответственно, растет.

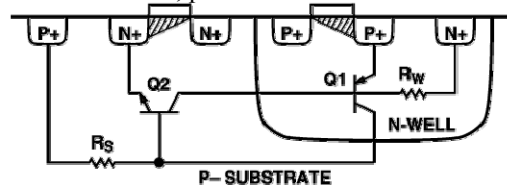


Рисунок. 1. Логический элемент типа НЕ в разрезе.

При попадании ТЗЧ индуцированный импульс тока может привести к открыванию биполярных транзисторов и переходу паразитной тиристорной структуры в низкоомное состояние. Результатом будет резкое увеличение тока потребления по цепи питания, что приведет к перегоранию проводников и контактных окон в сетке земли и питания.

Тиристорный эффект (SEL) относят к условно-жестким сбоям, потому что его воздействие можно остановить при помощи отключения источника питания. Эта мера, однако, весьма неудобна, поэтому в КМОП структуре можно разнести транзисторы дальше друг от друга, таким образом, увеличив длину базы транзистора Q2. Также эффективно уменьшение базовых сопротивлений паразитных транзисторов (R_s и R_w). Технологически уменьшение базовых сопротивлений можно выполнить путем обеспечения хороших контактов к подложке и карману и окружению транзисторных структур кольцевыми контактами (так называемыми «охранными кольцами»). Очевидным недостатком обоих подходов является увеличение площади.

Таким образом, для повышения радиационной стойкости, в данном случае, к увеличению толерантности к тиристорному эффекту, были применены следующие подходы при создании базовых элементов для компиляторов ОЗУ:

- Использование при проектировании стандартных норм DRC вместо уменьшенных, специальных для блоков памяти, для снижения SEL эффекта (увеличение расстояния между активными областями транзисторов)
- Контакты к P-подложке и N-карману в каждой ячейке памяти. С целью

снижения затрат по площади данные контакты в каждой ячейке не образуют кольцевые структуры.

- Кольцевые контакты к P-подложке и N-карману. Общие кольцевые контакты реализованы для групп ячеек памяти, размеры которых ограничены DRC правилами. В топологии усилителя чтения были реализованы полные кольцевые «охранные» структуры между PMOS и NMOS транзисторами
- Снижение максимального расстояния между контактами к подложке и карману к активным областям для дополнительного уменьшения базовых сопротивлений паразитных биполярных транзисторов

Для повышения сбоеустойчивости, снижения вероятности воздействия ТЗЧ на сразу несколько чувствительных областей, также применяют подходы по геометрическому разнесению в топологии чувствительных областей:

- Внутренние регистры управления были реализованы по методике DICE[2]
- В ячейках памяти маломощные PMOS транзисторы были размещены на противоположных краях топологии ячеек памяти. Данная мера снижает вероятности ложного переключения из одного логического состояния в другое
- Дизайн усилителя чтения был реализован симметричным. Это обеспечивает одинаковую защиту от ложных переключений как «из-1-в-0», так и «из-0-в-1».

Стоит отметить, что существуют другие методы повышения радиационной стойкости, связанные с технологией производства СБИС. Например, такие, как КНИ технологии или дополнительное увеличение уровней легирования подложки и кармана для снижения подвижности носителей заряда. Однако проектирование в рамках конкретной технологии делает эти подходы недоступными.

Что касается сбоеустойчивости, то дополнительные меры, такие, как коды Хэмминга, резервирование с мажоритарным выбором и т.д., планируется реализовывать на более высоких уровнях проектирования.

Описанные подходы были применены при реализации библиотеки базовых элементов описываемых компиляторов СОЗУ.

3. Версии компилятора

Существует три версии компилятора для следующих типов (архитектур) ОЗУ:

- однопортовое ОЗУ. Имеет один порт

записи и один порт чтения. Каждый такт происходит выбор между циклом записи или чтения в данное ОЗУ

- двухпортовое **ОЗУ**. Запись и чтение может осуществляться по одному из соответствующих двух портов. Каждый такт возможна одновременная запись и чтения в массив ОЗУ.
- двухпортовое **ОЗУ** с архитектурой **регистрового файла**. Для записи и чтения порты отдельные. Каждый такт по одному порту может происходить запись, а по другому, в это же самое время, чтение

Данные типы ОЗУ удовлетворяют потребности разработчиков RTL НИИСИ РАН при разработке СБИС.

Для каждого варианта ОЗУ было разработан свой компилятор памяти. Однако структура их ПО и библиотек используемых элементов были одинаковыми

4. Процесс компилирования ОЗУ

Процесс компилирования ОЗУ состоит из следующих шагов:

1. Сборка топологии блока памяти из разработанных для компилятора библиотечных элементов. Данный этап выполняется разработанным в НИИСИ РАН оригинальным программным обеспечением. При возникновении ошибки выдается соответствующее диагностическое сообщение, и процесс компиляции прекращается.
2. Проверка топологии на выполнение конструкторских норм (DRC) и соответствие схемы (LVS). На данном этапе используется САПР Calibre (Mentor Graphics) под управлением скриптов компилятора.
3. Экстракция паразитных параметров для разных углов анализа. Так же, как и на предыдущем этапе, используется САПР Calibre (Mentor Graphics).
4. Создание наборов для характеристики блока памяти, и их SPICE моделирование в разных PVT углах с помощью САПР UltraSim (Cadence)
5. Создание библиотечных представлений, необходимых для автоматизированного проектирования СБИС.
6. Проверка формального качества полученных результатов. В последних двух пунктах используются разные САПР фирм Cadence и Synopsys

Фактически, процесс компилирования

представляет собой формализованный и автоматизированный маршрут разработки заказного блока, в данном случае ОЗУ. Только если инженер тратит на этот процесс, в среднем, несколько недель, то здесь временные затраты определяются несколькими часами. Кроме того, данный подход к компиляции блоков обеспечивает дополнительное доверие к полученным результатам, чем отдельный подход связи через командный параметрический файл FRONTEND и BACKEND генерации по разным маршрутам.

5. Варианты запуска компилятор

Реализованы два типа запуска компилятора: из консоли операционной системы Linux и с использованием Графического Интерфейса Пользователя (ГИП). Для единичных компиляций, в том числе пробных в рамках исследования, удобно использовать компиляторы в режиме запуска ГИП. Когда же требуется компиляция или перекомпиляция с измененными параметрами целого набора ОЗУ, то удобнее использовать режим запуска из консоли.

Также были внедрены и отлажены возможности запуска в многопроцессорном и пакетном (qsub) режимах для ускорения процесса компилирования. Данные опции доступны при любом варианте запуска.

Многопроцессорный режим запуска с одной стороны позволяет ускорять отдельные этапы компилирования блоков памяти, с другой требует ограничения для исключения варианта забора значительной части вычислительных ресурсов на сервере при низкой эффективности работы. В процессе тестирования компилятора были найдены оптимальные параметры многопроцессорной работы.

Настроенный пакетный режим позволил распределять задачи компиляции по всему вычислительному кластеру, исключая перегрузку отдельного сервера. Данное решение позволяет одновременно компилировать несколько десятков блоков памяти, практически не оказывая влияния на выполнение других текущих задач.

6. Заключение

Разработанные компиляторы, используя имеющиеся средства САПР сторонних фирм, позволяют создать по заданным пользователем параметрам библиотечные блоки СОЗУ, что по

сравнению с маршрутом заказного проектирования сокращает время их разработки до нескольких часов.

Что не менее важно, компиляция СОЗУ повышает качество и надежность проектируемой СБИС в целом за счет разносторонней верификации каждого скомпилированного модуля памяти и фактического исключения человеческого фактора из процесса разработки.

При компилировании используются библиотечные элементы, разработанные с учетом стойкости к радиационным воздействиям, такие как сбоеустойчивые ячейки памяти и усилитель чтения ОЗУ.

Однако стоит помнить, что требование стойкости и сбоеустойчивости к радиационному воздействию ухудшает остальные параметры.

В Таблице 1 показаны относительные отличия параметров характерных блоков памяти, скомпилированных описываемыми компиляторами, относительно доступных не радиационно-стойких аналогов по функционалу.

Тип	Отличие по параметрам			
	Площадь	Частота	Стат.мощн.	Дин.мощн.
spram	2,2	0,6	4,0	1,3
dpram	3,6	0,5	6,1	1,9
dprf	2,5	0,5	4,9	1,6

Таблица 1. Относительное отличие параметров скомпилированных характерных блоков памяти относительно их доступных параметров

Из таблицы видно, «цена» радиационной стойкости и сбоеустойчивости достаточно высока: падение частоты функционирования в 2 раза с одновременным многократным ростом площади и потребляемой мощности. Однако, данные блоки памяти способны работать в более жестких условиях, чем их, например, коммерческие функциональные аналоги. В дальнейшем планируются работы по развитию описанных компиляторов с целью улучшения параметров реализуемых ими блоков памяти. Также рассматривается вопрос внедрения в процесс компилирования ячеек памяти с увеличенной стойкостью к радиационному воздействию. Скомпилированные блоки СОЗУ применяются в серии микросхем космического применения, разрабатываемых НИИСИ РАН.

Radiation Resistant and Fault-Tolerant SRAM Compilers Development for 65-nm CMOS technology

Authors- P.G. Kirichenko, A.O. Vlasov, A.A. Morozov, P.V. Turgenev, A.G. Vasil'ev

Abstract. This article is devoted to the development of single-port, dual-port SRAM and dual-port RAM in the version of the Register File compilers, using 65nm technology. Compiled RAMs are designed to function under the influence of external factors. Such approaches were considered, as: increasing of radiation resistance and fault-tolerance, the implementation of memory blocks compiler's software.

Keywords: CMOS VLSI, radiation resistant, fault-tolerant SRAM, memory compilers

Литература

1. А.И. Чумаков, В.М. Ужегов, А.О. Ахметов, Д.В. Бойченко, А.В. Яненко, Н.В. Рясной. Оценка показателей стойкости интегральных схем при воздействии тяжелых заряженных частиц с использованием различных моделей // Безопасность информационных технологий, 2017г. No. 1 Стр. 73-84.
2. M.S. Gorbunov, P.S. Dolotov, A.A. Antonov. Design of 65 nm CMOS SRAM for Space Applications: A Comparative Study. IEEE Transactions on Automatic Control. 2014. T. 61. № 4. С. 1575.
3. P. Roche, G. Gasiot, S. Uznanski, J.-M. Daveau, J. Torras-Flaquer, S. Clerc, R. Harboe-Sorensen. A commercial 65 nm CMOS technology for space applications: Heavy ion proton and gamma test results and modeling, IEEE Trans. Nucl. Sci., vol. 57, no. 4, pp. 2079-2088, Aug. 2010.

Генерация последовательностей инструкций для тестов подсистемы памяти многоядерных микропроцессоров

А.В. Смирнов¹, П.А. Чибисов²

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail's: ¹ alllecs@cs.niisi.ras.ru, ² chibisov@cs.niisi.ras.ru

Аннотация. В настоящее время в мире существует и развивается множество подходов к верификации моделей многоядерных микропроцессоров на разных стадиях разработки. Не существует универсальной методики, применение которой позволило бы обеспечить комплексный подход к функциональной верификации моделей проектируемых микропроцессоров с гарантией результата. В данной статье рассматриваются различные подходы к верификации подсистемы памяти и аппаратных средств обеспечения когерентности кэш-памяти процессорных ядер, а также обосновывается выбор подхода, заключающегося в автоматизированном создании псевдослучайных тестов.

Ключевые слова: многоядерный микропроцессор, псевдослучайные тесты, функциональная верификация, когерентность кэш-памяти, RTL-модель, ПЛИС-прототип.

1. Введение

В настоящее время существует и развивается множество подходов к верификации моделей многоядерных микропроцессоров на разных стадиях разработки. Не существует универсальной методики, применение которой позволило бы обеспечить комплексный подход к функциональной верификации моделей проектируемых микропроцессоров с гарантией результата. Сложность процесса функциональной верификации в маршруте проектирования современных высокопроизводительных микропроцессоров объясняется множеством факторов. Одним из решающих факторов является их многоядерная структура: на одном кристалле объединяются несколько вычислительных ядер, каждое из которых имеет кэш-память нескольких уровней, а также системный контроллер с симметричным доступом к общей памяти ОЗУ и средства обеспечения когерентного обмена данными между ядрами.

В ФГУ ФНЦ НИИСИ РАН на текущий день сложился свой маршрут верификации микропроцессоров [1], основным направлением в котором является тестирование, то есть совокупность методов поиска ошибок функциональности RTL-модели при динамическом моделировании (симуляции). При этом для моделей, содержащих два и более ядер микропроцессора, основная сложность заключается в тестировании подсистемы

памяти и контроллеров когерентности – устройств, взаимодействующих друг с другом по протоколу когерентности (например, MOESI).

В статье рассмотрены различные подходы к верификации подсистемы памяти и аппаратных средств обеспечения когерентности кэш-памяти процессорных ядер. Из-за высокой комбинаторной сложности этих блоков применение формальной верификации является в имеющихся условиях практически не осуществимым. Генераторы комбинаторных псевдослучайных тестов, решающие задачу удовлетворения заданных пользователем ограничений являются крайне трудоемкими в создании и настройке, и, кроме того, такие генераторы тестов нацелены на очень узкий класс ситуаций.

Так как подсистема памяти тесно связана с другими компонентами микропроцессора, был выбран системный подход к ее тестированию в качестве основного. Предметом настоящей статьи является обобщение современного опыта по созданию генераторов псевдослучайных тестов, направленных на автоматизированное построение тестовых программ для подсистемы памяти. Тест при этом представляет собой последовательность инструкций обращения к памяти.

За два прошедших десятилетия было разработано множество специализированных языков верификации, поддерживающие автоматическую генерацию воздействий. Vera от Synposys [2], e от Verisity [3], а также System C Verification library, разработанная

Cadence [4] представляют собой несколько хорошо известных примеров. Эти языки позволяют инженерам быстро описывать требуемые события с помощью сложных сценариев и генерировать псевдослучайные тесты, направленные на достижение высокого покрытия требований спецификаций, а также высокое покрытие кода проекта, особенно при достижении так называемых крайних случаев. В итоге, тесты позволяют обнаружить ошибки на ранних этапах проектирования, что в свою очередь позволяет достичь высокого качества проекта перед производством. Однако эти эффективные языки являются концептуально сложными, что приводит к необходимости затрачивать значительное время инженера на обучение, а также они изначально требуют высокого уровня знаний для того, чтобы можно было извлечь выгоду из их потенциала.

2. Опыт компании IBM

В статье IBM [5] представлены два генератора тестов, каждый из которых имеет свой язык программирования (язык описания шаблонов и тестовых ситуаций). Так как задачи верификации усложняются по мере усовершенствования ядер проектируемых микропроцессоров, а требование сохранить низкий уровень обнаружения (точнее, отсутствие) ошибок в конечном продукте является основным, в статье отмечается, что прогресс при верификации может быть получен при использовании формальных методов, таких как проверка модели и доказательство теорем. Однако, эти использование формальных методов все еще ограничено верификацией относительно маленьких блоков проекта из-за их сложности. Также отмечается, что тестирование модели с применением симулятора RTL-модели играет важную роль в функциональной верификации.

Первый генератор тестов IBM получил название Genesys [6]. Он позволил выбирать веса инструкций процессора из набора ISA (*instruction set architecture*) для случайной генерации, а также имел множество настроек. Язык программирования шаблона теста был представлен в GUI-инструменте. Два языка шаблонов сравниваются по своим выразительным возможностям для тестирования при верификации процессора IBM POWER4 с генератором Genesys и при верификации POWER5 с более продвинутым генератором Genesys-Pro. Выразительность нового языка также определяется требуемым

количеством тестовых шаблонов. Для Genesys использовалось 35000 тестовых шаблонов, в то время как для Genesys-Pro набор включал в себя всего 2000 тестовых шаблонов. Природа этих шаблонов также изменилась. Для Genesys было применено два типа шаблонов - большинство покрывает такие «события» архитектурного уровня, как комбинации всех пар инструкций, они были созданы с помощью простых скриптов. В результате мы получили около 33000 сгенерированных скриптами тестовых шаблонов и 1900 шаблонов, написанных вручную. Относительно маленькое число тестовых шаблонов было написано для генератора тестов Genesys-Pro: 2000 тестовых шаблонов, все они были изначально написаны на новом языке, который давал возможность компетентному инженеру-верификатору достигать нужных микроархитектурных событий. Покрытие, которое обеспечивалось наборами шаблонов, было одинаковым, однако на запуск всех 35000 тестовых шаблонов требовалось 90 дней, в то время как для 2000 тестовых шаблонов генератора Genesys-Pro требовалось всего 4 дня (при условии одинаковых аппаратных ресурсов). Таким образом, было получено повышение производительности верификации в 20 раз. Основной вывод, который можно сделать на основе описываемого опыта IBM, - необходимо иметь мощный инструмент для генерации псевдослучайных тестов и эффективный язык описания шаблонов.

В статье [7] предлагается новый инструмент Threadmill для тестирования многоядерных микропроцессоров. Его основное назначение заключается в создании тестов для поиска ошибок на таких платформах, как аппаратные ускорители и отладочные платы с опытными образцами СБИС микропроцессора. Авторы статьи утверждают, что с помощью генератора тестов Threadmill можно находить труднообнаруживаемые ошибки благодаря таким функциональным возможностям, как возможность направить процесс генерации по заданному сценарию, возможность управлять распределением памяти в программных потоках для управляемого создания коллизий (*race conditions*), а также генерация стрессовых потоков (функций) [8].

Threadmill является программой тестирования, работающей непосредственно на тестовой платформе. Этот генератор тестов был разработан как часть маршрута верификации для проверки работоспособности микропроцессора IBM POWER7. Генератор Threadmill загружается

как исполняемый модуль (baremetal) в ОЗУ. После загрузки и запуска генератора тесты создаются, выполняются и затем автоматически проверяются в течение определённого, задаваемого пользователем, времени. Так как генератор тестов работает непосредственно на тестируемой платформе, необходимо избегать усложнённых техник генерации, которые часто используются для генераторов псевдослучайных тестов для RTL-моделей, таких как CSP (Constraint Satisfaction Problem) [9]. По той же причине генератор тестов Threadmill для выполнения проверки результатов тестирования не опирается на эталонную модель.



Рисунок 1. Архитектура генератора тестов Threadmill

Высокоуровневая архитектура инструмента Threadmill изображена на рисунке 1. Основным источником данных и заданием на генерацию для Threadmill является тестовый шаблон. Threadmill создает большое количество тестовых программ, соответствующих шаблону пользователя. Также в качестве входных данных на вход генератору подается архитектурная модель, топология системы, а также набор эвристических правил и параметров, передающий накопленный опыт инженеров-верификаторов о том, что и как нужно тестировать (*testing knowledge*).

Threadmill начинает процесс запуска с построения приложения, которое создает исполняемый образ программы тестирования. Такое построение работает в автономном режиме, то есть на инструментальной машине, а не на тестовой системе. Цель этого начального этапа построения заключается в преобразовании входных данных, включающих в себя шаблон тестирования и архитектурную модель в структуры данных, понятные генератору. Эти структуры на этапе компиляции попадают в образ программы тестирования. В отличие от процесса генерации теста на платформе, который, как было указано выше, должен быть простым для того, чтобы тестирование было эффективным, такие операции построения

исполняемого образа могут быть довольно длительными и сложными для того, чтобы получить данные для проверок с использованием, например, эталонной модели.

3. Опыт компании ARM

В работах [10-13] представлен опыт тестирования подсистемы памяти многоядерных микропроцессоров ARM. Для того чтобы создать генератор тестовых ситуаций, состоящих из комбинаций инструкций обращения к памяти, инженеры-верификаторы ARM предложили ряд идей, реализация которых позволила создать генераторы тестов MP-RIS [10] и ANVIL [11].

Ядра микропроцессора (или с программной точки зрения – потоки исполнения, *threads*) создаются генератором из заданного набора инструкций, большая часть которых является инструкциями (кэшируемого) обращения в память. Для каждого ядра микропроцессора выделяется несколько областей памяти. Во время инициализации каждая область памяти заполняется случайными значениями данным ядром. Максимальный и минимальный порог для количества областей указывается в конфигурационном файле. Каждое ядро микропроцессора во время инициализации заполняет эти области случайными данными. Области памяти подразделяются на «общие», «только для чтения», «только для записи» (пример показан на рисунке 2). Каждая область памяти разбивается на «элементы памяти». Размер элемента памяти выбирается случайно так, чтобы каждая область памяти имела не менее двух элементов [14].

Каждый элемент памяти заполняется инструкциями чтения и записи в память с максимально возможной шириной данных. Также к таким инструкциям генерируются аналоги меньшей ширины. Таким образом, генератор полностью заполняет каждую область памяти различными обращениями в память. Каждое обращение требует обновления кэш-памяти обоих процессоров. Если обновляемый элемент (к которому происходит обращение) используется только одним ядром микропроцессора, то всем остальным ядрам все равно приходится обновлять свои кэш-линии, несмотря на то, что им не нужно знать об этом изменении данных («ложное разделение», «*false sharing*»).

Тест состоит из заданного числа временных зон (интервалов) – независимых

секций теста. Временная зона – это одна подпрограмма, содержащая одну итерацию теста. Каждая такая подпрограмма создается генератором тестов согласованно для каждого ядра.

Между временными зонами ядра микропроцессора (потоки выполнения – с точки зрения программиста) синхронизируются для того, чтобы каждая итерация теста начиналась одновременно.

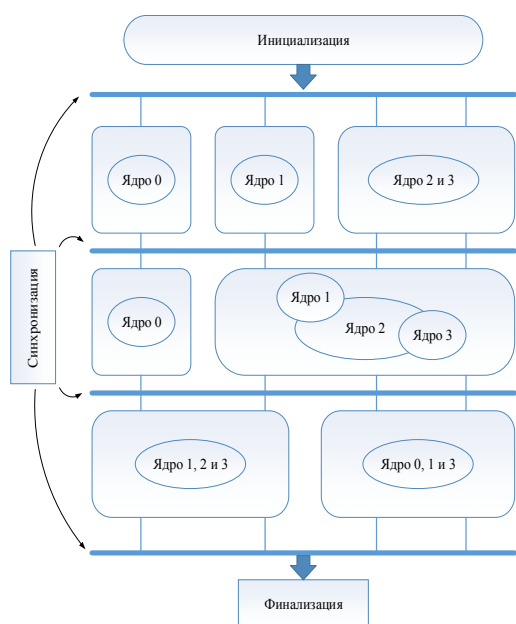


Рисунок 2. Пример конфигурации областей памяти на примере двухъядерного процессора

Алгоритм работы генератора последовательностей инструкций для тестов подсистемы памяти можно представить в следующем виде: чтение конфигурации из файла настроек; формирование рабочих областей, генерация адресов и размеров областей; инициализация рабочих областей для всех ядер; разбивка областей памяти на элементы; подбор инструкций для каждого элемента памяти (размер, ширина данных); генерация требуемого числа подтестов; генерация main-кода и функций самопроверки.

Тест генерируется на основе входных данных, получаемых из файла с настройками

и шаблона теста. Назначение шаблона в данном генераторе отличается от назначения шаблона в традиционном генераторе псевдослучайных тестов. Здесь шаблон не является в полной мере заданием на генерацию тестового кода и не включает в себя программу построения теста на специальном языке (псевдокоде). Он лишь задает веса отдельных конструкций или отдельных групп инструкций, отношения полностью случайных фрагментов кода к детерминированным макросам, задает частоту проверок и другие параметры.

4. Выводы

В статье рассмотрены различные подходы к верификации подсистемы памяти, обоснован выбор псевдослучайной генерации инструкций обращения к памяти как способа системного тестирования RTL-модели многоядерного микропроцессора, описан алгоритм работы генератора последовательностей инструкций для тестов.

Предложенный способ тестирования может быть применен для проверки работоспособности ПЛИС-прототипа разрабатываемых многоядерных микропроцессоров.

Рассмотренный опыт компаний IBM и ARM по созданию направляемых генераторов псевдослучайных тестов подсистемы памяти был взят за основу при создании генератора тестов для проверки когерентности кэш-памятей многоядерных микропроцессоров (рабочее название «*ristretto*»), разрабатываемых в ФГУ ФНЦ НИИСИ РАН.

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме №0065-2018-0008 «Исследование и разработка моделей микро-процессоров, ориентированных на задачу горения для создания отечественной суперЭВМ» (N AAAA-A18-118041190167-3).

Instruction sequence generation for multicore microprocessors' memory subsystem tests

A.V. Smirnov, P.A. Chibisov

Abstract. Functional verification of multi-core microprocessor models is supposed to be a big challenge. Different approaches for memory subsystem and cache coherence controllers verification are discussed in the paper. It is approved that an automated functional test generation strategy is the most commonly used in the industry.

Keywords: multicore microprocessor, functional verification, pseudorandom tests generation, RTL-model, cache coherence, memory subsystem.

Литература

1. П.А.Чибисов. Тестирование микропроцессоров и их RTL-моделей приложениями пользователя под ОС Linux. // Программные продукты и системы, №3, 2012, с. 112-116.
2. F. Haque, J. Michelson, and K. Khan. The Art of Verification with Vera. Verification Central, 2001.
3. Samir Palnitkar. Design Verification with e. Prentice Hall, 2003.
4. N. Ip and S. Swan. An introduction to the new SystemC verification standard. In Proceedings of the 2003 Design, Automation and Test in Europe Conference (DATE), March 2003.
5. M. L. Behm, J. M. Ludden, Y. Lichtenstein, M. Rimon, and M. Vinov, "Industrial experience with test generation languages for processor verification," in DAC, 2004, pp. 36–40.
6. J. Ludden et. al. Functional verification of the power4 microprocessor and power4 multiprocessor systems. IBM Journal of Research and Development, 46(1), 2002.
7. Allon Adir, Amir Nahir, and Avi Ziv. 2012. Concurrent Generation of Concurrent Programs for Post-Silicon Validation. Trans. Comp.-Aided Des. Integ. Cir. Sys. 31, 8 (August 2012), 1297-1302. DOI: 10.1109/TCAD.2012.2189394
8. J.M.Ludden, M.Rimon, B.G.Hickerson, A.Adir. Advances in Simultaneous Multithreading Testcase Generation Methods. In: S.Barner, I.Harris, D.Kroening, O.Raz. (eds) Hardware and Software: Verification and Testing. HVC 2010. Lecture Notes in Computer Science, vol 6504, 2011. Springer, Berlin, Heidelberg.
9. E. Bin, R. Emek, G. Shurek, and A. Ziv, "Using a constraint satisfaction formulation and solution techniques for random test program generation," IBM Systems Journal, vol. 41, no. 3, pp. 386–402, 2002.
10. Madhukar Reddy Pappireddy, and Bipin Ravi. SequenceLanguage: A Constraint Random MP-RIS GenerationFramework. 2017, 18th International Workshop on Microprocessor and SOC Test and Verification (MTV), 2017, Austin, TX, USA Dec. 11, 2017 to Dec. 12, 2017 ISBN: 978-1-5386-3351-9.
11. K. Gopalakrishnan, B. Ravi. Anvil: Best in Class Multiprocessor Coherency Verification Tool. 18th International Workshop on Microprocessor and SOC Test and Verification, MTV 2017, Austin, TX, USA, December 11-12, 2017. IEEE Computer Society 2017, ISBN 978-1-5386-3351-9.
12. S. Thiruvathodi and D. Yeggina, "A Random Instruction Sequence Generator for ARM Based Systems," 15th International Microprocessor Test and Verification Workshop (MTV), Austin, TX, USA, 2014, pp. 73-77. doi:10.1109/MTV.2014.20.
13. D.Venkatesan, P.Nagarajan. A Case Study of Multiprocessor Bugs Found Using RIS Generators and Memory Usage Techniques. Workshop on Microprocessor Test and Verification, 2014, pp. 4-9. DOI: 10.1109/MTV.2014.28.
14. J.Hudson, G.Kurucheti. A Configurable Random Instruction Sequence (RIS) Tool for Memory Coherence in Multi-processor Systems. Workshop on Microprocessor Test and Verification, 2014, pp. 98-101. DOI: 10.1109/MTV.2014.26.

Обеспечение целостности данных контроллером доступа к флеш-памяти NOR-типа (NOR flash) и статической памяти (SRAM)

В.Р. Джафаров¹, А.С. Щербаков²

ФГУ ФНЦ НИИСИ РАН, Москва, Россия,

E-mail's: ¹dzhafarov@cs.niisi.ras.ru, ²asscherb@cs.niisi.ras.ru

Аннотация. В работе рассматриваются алгоритмические методы повышения достоверности данных хранящихся в статической и флеш-памяти типа NOR. Проводится сравнение данных методов, выполняется аргументация выбора подходящего метода для реализации на базе универсального контроллера [2]. По итогам работы выполнено сравнение расширенного контроллера с базовым по количеству требуемых аппаратных ресурсов.

Ключевые слова: контроллер доступа в память, BM10, флеш-память типа NOR, статическая память SRAM, код Хэмминга, мажоритарное кодирование

В рамках действующих опытных конструкторских работ в ФГУ ФНЦ НИИСИ РАН ведутся разработки по созданию микропроцессорных систем ответственного применения [1]. Предъявлены требования к сбоеустойчивости, а именно – должен выполняться поиск и коррекция одиночных сбоев в блоках памяти. Выполнение данного требования обеспечит повышенную достоверность данных, хранящихся во внешних микросхемах памяти.

Одним из средств повышения достоверности являются алгоритмические методы, которые перечислены по возрастанию сложности реализации: проверка на чётность, мажоритарное кодирование, линейный блочный код типа Хэмминга, коды BCH.

Таким образом, на выбор алгоритмического метода будут влиять требования к сбоеустойчивости (исправление одиночных сбоев) и особенности архитектуры контроллера (возможность обращения в память по отдельным байтам; возможность

использования 8-ми, 16-ти и 32-разрядных шин данных).

Проведен сравнительный анализ методов, который показал, что:

1. Проверка на чётность не может быть использована без какого-либо иного дополнительного метода, так как не исправляет ошибок;

2. Мажоритарное кодирование исправляет ошибки, но из-за ограниченной ширины шины данных возможна реализация только для 8-битных обращений;

3. Кодирование Хэмминга подходит хуже мажоритарного с точки зрения сложности реализации, но при этом работает с 8,16 и 32-битными словами; исправляет одиночные сбои [3];

4. Особенностью BCH-кодирования является то, что оно применяется для относительно больших объёмов данных, идущими потоком, а микросхема памяти работает зачастую с одиночными обращениями. К тому же сложность реализации данного типа кодирования довольно высокая [4].

Таблица 1. Сравнение методов повышения достоверности данных

	Исправление одиночных сбоев	Поддержка байтового обращения	Поддержка 8, 16 и 32 разрядных шин данных в ИМС памяти
Проверка на чётность	-	+	+
Мажоритарное кодирование	+	+	±
Кодирование Хэмминга	+	+	+
BCH кодирование	+	+	+

Реализация этих решений возможна на базе универсального контроллера статической памяти и флеш-памяти NOR [2].
Базовый контроллер имеет возможность задания и контроля состояния управляющих сигналов в определённый момент времени.

Управляющие сигналы определены для каждого такта. Состояние всех управляющих сигналов в одном такте - это вектор управляющих сигналов. Один сегмент содержит до 32 векторов.

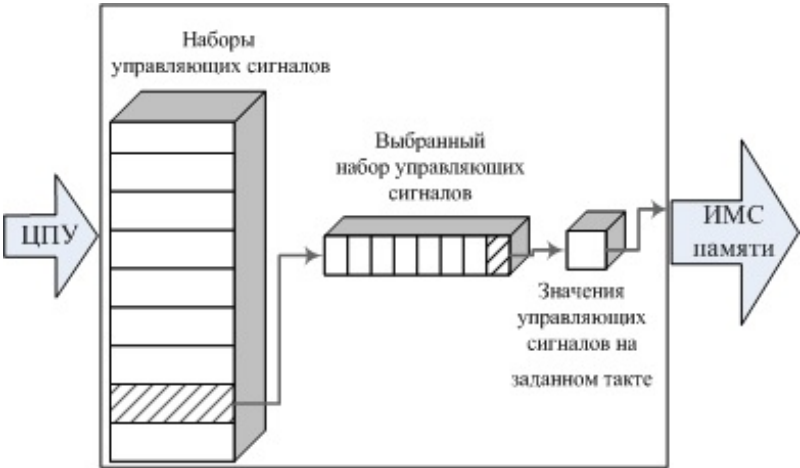


Рисунок 1. Принцип работы универсального контроллера статической памяти и флеш-памяти NOR

Значения векторов управляющих сигналов находятся в ячейках внутренней памяти контроллера и могут быть переопределены.

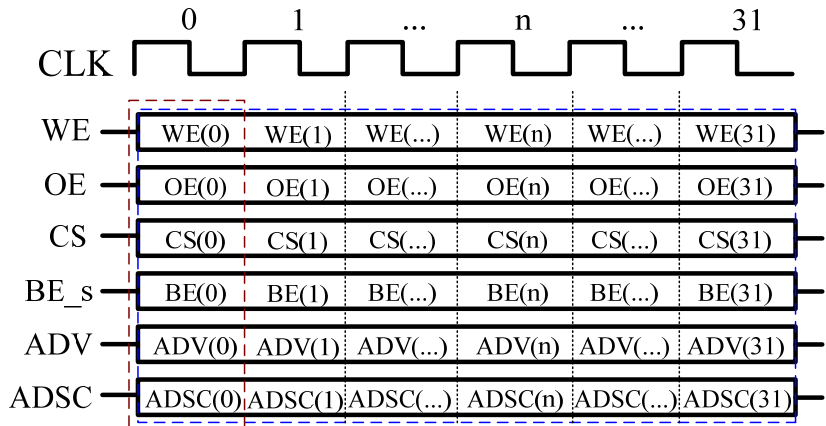


Рисунок 2. Устройство векторов управляющих сигналов

По итогам сравнения было принято решение использовать два алгоритмических метода: мажоритарное кодирование и кодирование Хэмминга. Контроллер статической и NOR-флеш памяти был дополнен несколькими логическими блоками (отмечены цветом на рисунке 3), реализующими мажоритарное кодирование, кодирование Хэмминга, их коммутацию с

базовым блоком, а также блоком, выполняющим сбор и накопление информации об обнаруженных сбоях.
Размер буфера ошибок – 8 событий. Ниже в Таблице 2 представлен формат строки буфера.
Внутреннее устройство контроллера поддерживает несколько вариантов хранения данных в памяти (Таблица 3)

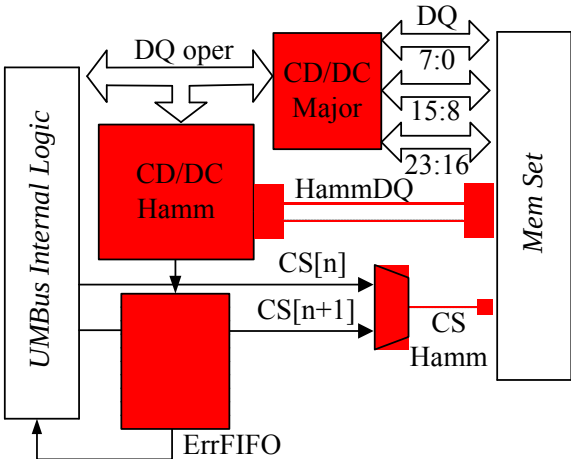


Рисунок 3. Архитектура контроллера доступа в статическую и NOR-флеш память с блоками, обеспечивающими целостность данных в памяти (выделены цветом)

Таблица 2. Формат строки буфера ошибок

№ бита	Название	Описание
30	C_Err	Признак ошибки. Корректируемая ошибка
29	U_Err	Признак ошибки. Некорректируемая ошибка
28:0	Addr	Поле адреса. Адрес ячейки в памяти, при чтении из которой была обнаружена ошибка

Таблица 3. Поддерживаемые варианты хранения кода Хэмминга и данных во внешних микросхемах памяти

Код Хэмминга		Мажоритарное кодирование
Выделенная ИМС памяти	Данные и код Хэмминга хранятся в соседних адресных ячейках в одной ИМС памяти	
AddrN Hamm x8 AddrN Data x8/16/32	Addr0 Data x8/16/32 Addr1 Hamm x8 Addr2 Data x8/16/32 Addr3 Hamm x8	AddrN DataN x8 AddrN DataN' x8 AddrN DataN'' x8

Внешние микросхемы типа NOR-флеш с хранящимся кодом Хэмминга требуют возможности непосредственной записи в связи с особенностями получения доступа к ним. К микросхемам типа SRAM

прямой доступ не требуется. В связи с этим возможно несколько вариантов подключения внешних микросхем памяти к контроллеру (Рисунок 4, Рисунок 5 и Рисунок 6).

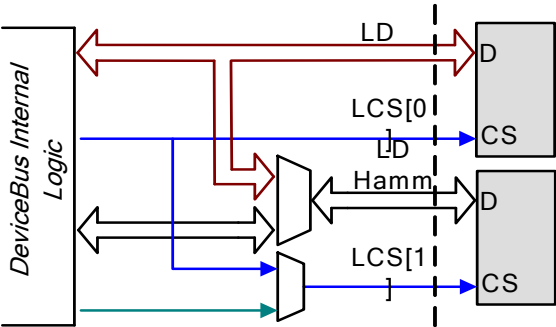


Рисунок 4. Подключение и получение доступа к микросхеме памяти с данными, установленной на LCS[0] с включённым кодом Хэмминга. Код Хэмминга хранится в микросхеме на LCS[1]

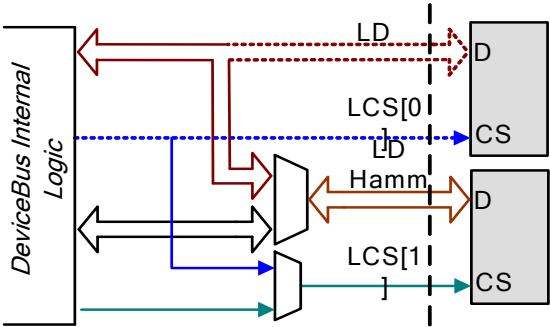


Рисунок 5. Подключение и получение доступа к микросхемам памяти с кодом Хэмминга, установленной на LCS[1]

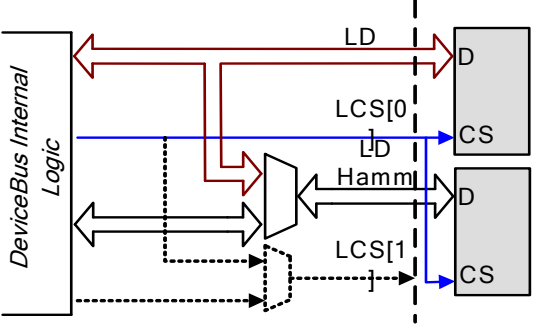


Рисунок 6. Подключение и получение доступа к микросхеме памяти с данными, установленной на LCS[0] с включённым кодом Хэмминга. Код Хэмминга хранится в отдельной микросхеме на LCS[0]. Прямое доступа к коду Хэмминга нет

Проведено сравнение и выделены два наиболее подходящих для существующего проекта алгоритмических метода для исправления одиночных сбоев при работе с статистической и flash памятью.

Мажоритарное кодирование и кодирование по Хэммингу.

По итогам работы выполнено сравнение по степени утилизации ресурсов ПЛИС при реализации обоих вариантов. Данные приведены в Таблице 4.

Таблица 4. Сравнение по степени утилизации ресурсов ПЛИС

Реализация	Ячейки комбинац. логики	Регистры
Базовый блок	2151	1794
Расширенный блок	2409	2042

Как видно из таблицы, контроллер с поддержкой средств повышения достоверности данных занимает на 12 % больше ресурсов.

Расширенный контроллер с программируемыми последовательностями

включён в состав перспективной микросхемы. Сама микросхема передана на изготовление. После получения начнётся проверка работоспособности контроллера уже на заказном кристалле.

Providing the reliability of data by the NOR flash and static memory (SRAM) access controller

Valery Dzhafarov, Andrey Scherbakov

Abstract. The subject matter of the paper is algorithmic methods for increasing the reliability of access to data stored in SRAM and NOR flash memory. Comparison of algorithmic methods is performed, the appropriate method for implementation based on the universal controller [2] is selected. Comparison of the extended controller with the basic one by the number of required hardware resources is provided.

Keywords: memory controller, 1890VM10, NOR flash, SRAM, Hamming code, majority

Литература

1. С.И. Аряшев. Отечественные системы на кристалле с архитектурой Комдив 64. Текущее состояние. Перспективы развития // Технологии QNX и КПДА в России, 2017
2. В.Р. Джафаров. Universal Memory Bus (UMBus) – универсальный программируемый контроллер доступа во флеш-память NOR-типа (NOR flash) и статическую память (SRAM) // Труды НИИСИ РАН, 2017, Том 7, № 2, 58 с.
3. А.А.Краснюк, К.А.Петров. Особенности применения помехоустойчивого кодирования в суб-100 нм микросхемах памяти для космических систем // Микроэлектроника, 2012, Том 41, № 4, с. 450–456.
4. Р.Блейхут. Теория и практика кодов, контролирующих ошибки // Пер. с англ. – М.: Мир, 1986, 576 с.

Реализация возможности пошаговой отладки при отладке тестовых сценариев на модели СБИС СнК

А.В. Андрианов

ЗАО НТЦ «Модуль», Москва, Россия, E-mail: andrianov@module.ru

Аннотация. При разработке и отладке программных тестов на модели СБИС средства пошаговой и интерактивной отладки в большинстве недоступны, а программные средства отладки, такие как форматированный вывод, требуют существенных ресурсов. Коммерческие программно-аппаратные комплексы для отладки по интерфейсу JTAG в большинстве своем не поддерживают работу на модели СБИС. В статье описана практика применения свободной реализации JTAG отладчика OpenOCD для реализации функции пошаговой отладки на модели СБИС.

Ключевые слова: gdb, jtag, simulation, rtl, система на кристалле (СнК)

1. Введение

При разработке тестовых программ для модели СБИС СнК использование стандартных отладочных средств затруднено или невозможно. Использование программных средств, таких как форматированный вывод, автоматическое инструментирование кода компилятором для трассировки, профилирования, сборки покрытия, а также использование программного сервера отладки gdb, связаны с существенным замедлением процесса моделирования. Существующие решения для пошаговой отладки кода при работе без операционной системы требуют наличия специальной дорогостоящей аппаратуры, а использовать их совместно с моделью СБИС невозможно, так как этот сценарий изначально не предусмотрен производителем.

В данной статье рассматривается реализация функции пошаговой отладки на модели СБИС при помощи программного JTAG сервера OpenOCD совместно с отладчиком GNU Debugger (gdb) и особенности подключения данного сервера к верификационному окружению СБИС.

2. Программные средства

В этой части статьи приведена общая информация об открытых программных компонентах, применение которых будет детально рассматриваться в дальнейшем: OpenOCD[1] и GDB[2].

OpenOCD – проект реализации протокола внутрисхемной отладки JTAG с открытым исходным кодом. OpenOCD поддерживает работу с большим набором процессорных ядер таких архитектур как

ARM, MIPS, avr32 и других. Этот программный пакет позволяет использовать широкий набор недорогих интерфейсных адаптеров для подключения к целевой аппаратуре.

OpenOCD чаще всего применяется в режиме сервера, к которому могут подключаться клиенты, например отладчик gdb или telnet для доступа к встроенной в OpenOCD интерактивной tcl среде.

GNU Debugger (GDB) – Универсальный отладчик с открытым исходным кодом, с интерфейсом командной строки, который поддерживает отладку программ на различных языках программирования, включая Си, C++, Free Pascal. Данный отладчик поддерживает удаленную отладку по сети, подключаясь к серверу, реализующему протокол gdb. В роли этого сервера может выступать, в том числе и OpenOCD. Многие популярные интегрированные среды разработки и отладки, такие как eclipse и atom позволяют использовать gdb для предоставления функции интерактивной отладки ПО.

3. Существующие способы отладки программного обеспечения на модели СБИС

В данной части приводится краткий обзор существующих способов отладки тестовых сценариев на модели СБИС, их преимущества и недостатки.

1. *Использование встроенных средств просмотра временных диаграмм и трассировки цифровой схемы (напр. simvision, schematic tracer).*

Главным преимуществом данного способа отладки, является то, что он

доступен начиная с самых ранних этапов разработки СБИС. Данный метод отладки позволяет находить аппаратные ошибки. Однако, он мало приспособлен для отладки программного обеспечения, так как не представляет удобных инструментов для просмотра состояния регистров процессора и не позволяет быстро просматривать и редактировать значения переменных в памяти и регистров процессора.

2. Отладка с использованием форматированного вывода

Данный способ отладки требует наличия канала обмена данными между программой, исполняемой на модели СБИС и верификационным окружением, поэтому становится доступен на более поздних этапах, когда уже обеспечена минимальная работоспособность процессорного ядра и подключены соответствующие компоненты верификационного окружения.

Таким каналом может быть как реальный интерфейс, например, блок универсального асинхронного последовательного приемо-передатчика (UART), так и фрагмент внутренней памяти СБИС, который используется одновременно как верификационным окружением СБИС через иерархические ссылки, так и программой, работающей на модели СБИС (разделяемая память).

Применение форматированного вывода приводит к существенному замедлению процесса моделирования на каждое выводимое сообщение. Точные значения варьируются в зависимости от выбранного канала обмена данными между окружением СБИС и тестовой программой, используемым пакетом ПО для моделирования и производительностью сервера.

Для примера, форматирование строки в памяти на тестовой СБИС, содержащей процессорное ядро с архитектурой ARM, работающее на частоте 800Mhz заняло 44688 нс при моделировании, или 62 секунды реального времени. Для теста использовалась реализация функции `sprintf` (вариант `nao`) из библиотеки языка C `newlib`. (замерялось время исполнения вызова `sprintf(buf, "Hello world %d %d %d\n", i,j,k)`).

3. Использование гибридного верификационного окружения

Гибридное верификационное окружение [4] предполагает перенос программы, генерирующей тестовое воздействие, из модели СБИС на хост-компьютер. Такой подход позволяет отлаживать тестовую

программу, как если бы это было обычное приложение для ПК. Для обмена данными между моделью СБИС и программой генерации тестового воздействия используется TCP/IP соединение или `unix socket`. Схематично, возможная реализация такого окружения представлена на Рис. 1. Для обмена данными используется разделяемая память. На моделируемом процессоре выполняется программа-заглушка, выполняющая обращения к регистрам устройств на основе данных в разделяемой памяти.

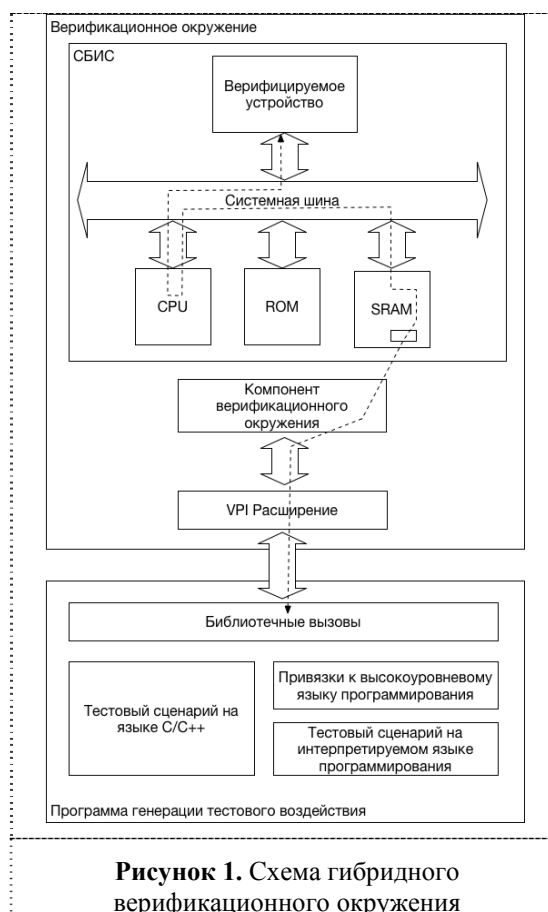


Рисунок 1. Схема гибридного верификационного окружения

К преимуществам гибридного окружения стоит отнести высокую скорость исполнения тестового сценария и доступность всех функций для пошаговой отладки. К недостаткам стоит отнести повышенные требования к качеству кода для сохранения переносимости, и требованию наличию слоя абстракции для доступа к регистрам, памяти и прерываниям.

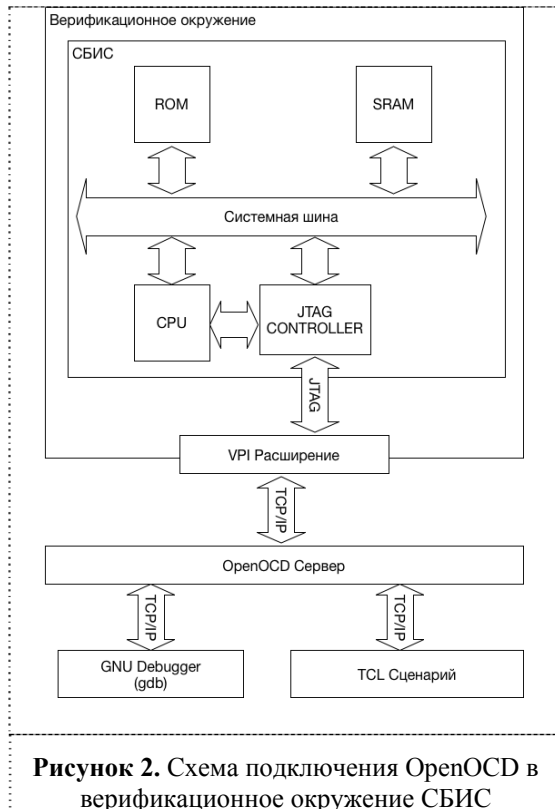
4. Использование OpenOCD сервера совместно с отладчиком GDB для отладки программного обеспечения на модели СБИС

Помимо собственно обеспечения возможности отладки программного обеспечения, этот способ позволяет

проверить работоспособность интерфейса JTAG с реальным программным обеспечением.

Для взаимодействия между OpenOCD сервером и верификационным окружением используется TCP/IP соединение, использующее протокол remote bitbang.

Схематично, такое верификационное окружение приведено на Рис. 2.



5. Использование программного gdb сервера

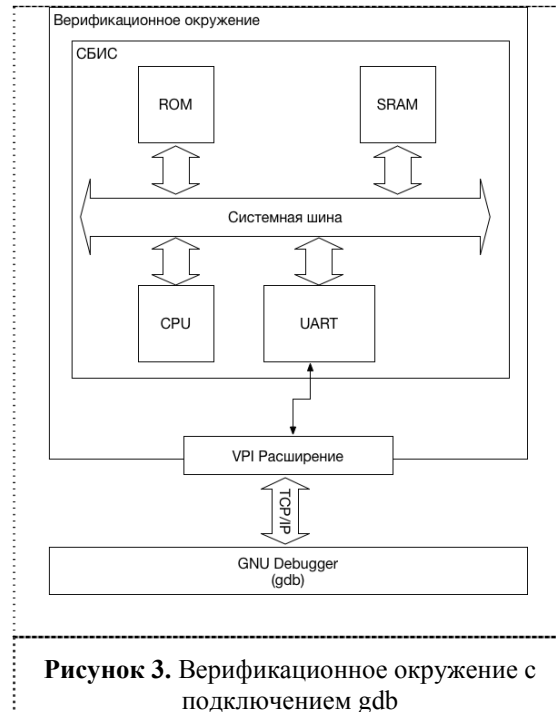
Как и форматированный вывод, программный gdb сервер требует наличия канала передачи данных. При работе на реальной аппаратуре чаще всего используется блок приемопередатчика UART. Помимо канала передачи данных требуется также VPI расширение для пакета моделирования, которое будет транслировать данные от gdb-сервера, запущенного на модели СБИС в TCP/IP соединение или UNIX socket, к которому может подключиться отладчик gdb.

Такой подход позволяет отлаживать программное обеспечение на модели СБИС даже если поддержка данной архитектуры отсутствует в OpenOCD и применение интерфейса JTAG не представляется возможным.

Недостатком такого способа отладки является меньшая производительность, т.к. функции предоставляемые аппаратурой

JTAG приходится эмулировать программно. Также загрузка/чтение больших объемов данных в/из памяти СБИС занимает продолжительное время.

Схематично, такое верификационное окружение представлено на Рис. 3.



4. Подключение OpenOCD к виртуальному адаптеру remote bitbang к модели СБИС

OpenOCD поддерживает широкий набор недорогих JTAG адаптеров, включая адаптеры на основе интерфейсных микросхем FT2232/FT2232H, buspirate и т.п. для работы с аппаратурой. В том числе он поддерживает работу с JTAG адаптером поверх TCP/IP соединения, используя “виртуальный адаптер” под названием “remote bitbang”..

Протокол “remote bitbang” является простым текстовым протоколом, по которому передается состояние линий JTAG интерфейса[11] и может быть задействован для моделирования.

Этот адаптер проще всего задействовать для подключения к верификационному окружению модели СБИС через интерфейс VPI (Verilog Procedural Interface). Необходимость использования VPI обусловлена отсутствием встроенных средств для обработки TCP/IP соединений в стандартной библиотеке функций языка Verilog/SystemVerilog. В таком сценарии VPI

расширение получает состояние линий JTAG от OpenOCD посредством TCP/IP соединения или используя unix socket и передает их верификационному окружению. Пример кода тестового окружения СБИС, описывающего получение линий JTAG от VPI компонента приведен на Листинге 1.

```
int adap;
reg DBG_TDI_r;
reg DBG_TMS_r;
reg DBG_TCK_r;
reg DBG_TRSTN_r;
reg RSTN_r;
wire DBG_TDO;

initial begin
    adap = $tag_adaptor_create();
end

always @ ( posedge REFCLK ) begin
    if (adap != -1) begin
        $jtag_adaptor_io(adap, DBG_TDI_r,
            DBG_TDO, DBG_TMS_r, DBG_TCK_r,
            DBG_TRSTN_r, RSTN_r);
    end
end
```

Листинг 1. Пример подключения VPI компонента в testbench

Особенности такой реализации:

1. VPI функция `jtag_adaptor_io` не должна быть блокирующей, так как это вызовет остановку процесса моделирования до получения следующего пакета от OpenOCD, а так же может вызвать неработоспособность графического интерфейса `simvision`.
2. Адаптер “remote bitbang” не поддерживает управление частотой обмена данными по JTAG интерфейсу, максимальная частота сигнала JTAG_TCK задается в верификационном окружении.
3. Так как моделирование и OpenOCD запускаются независимо, то момент времени, когда на линии JTAG будет сгенерировано воздействие, может различаться от запуска к запуску. Для настройки OpenOCD сервера потребуются два конфигурационных tcl

файла. Файл, описывающий конфигурацию адаптера представлен на Листинге 2.

```
interface remote_bitbang
remote_bitbang_host 127.0.0.1
remote_bitbang_port 4000
jtag_ntrst_delay 10000
```

Листинг 2. Пример настройки openocd для использования протокола remote bitbang

Первый конфигурационный файл, описывающий конфигурацию целевой микросхемы представлен на Листинге 3.

```
source [find target/swj-dp.tcl]

swj_newdap $_CHIPNAME cpu -irlen 8 -
ircapture 0x1 -irmask 0xf -expected-id
$_CPUTAPID

set _TARGETNAME $_CHIPNAME.cpu

target create $_TARGETNAME cortex_a -
endian $_ENDIAN -chain-position
$_TARGETNAME
```

Листинг 3. Пример минимальной настройки OpenOcd для использования протокола remote bitbang (для процессорного ARM Cortex-A5)

5. Поддержка со стороны средств разработки и отладки

Eclipse[6].

Интегрированная среда разработки Eclipse поддерживает удаленную отладку при помощи gdb и OpenOCD используя расширение “openocd debugging plugin”[5], доступное в репозитории расширений.

Перед началом отладки необходимо убедиться, что запущен процесс моделирования СБИС.

Atom[7]

Atom — бесплатный текстовый редактор с открытым кодом. Интерактивная отладка доступна при помощи расширений `atom-swd-debugger` и `atom-gdb-debugger`.

В отличие от eclipse, эти расширения при настройке требуют запуска пользователем не только процесса моделирования СБИС, но и OpenOCD сервера.

Implementing step-through debugging for test scenarios running on a “System-on-Chip” model

A.V. Andrianov

Abstract. Step-through and interactive debugging is usually unavailable during development and debugging of software tests for “System-on-Chip” model. Software debugging facilities like formatted output require a lot of resources. Commercial JTAG debuggers usually can’t be connected to a SoC simulation model therefore can’t be used. The article describes how to use OpenOCD, a free and open-source software-based JTAG debugger to implement step-through and interactive debugging on a SoC model.

Keywords: gdb, jtag, simulation, rtl, SoC

Литература

1. <http://openocd.org/> (Дата обращения 01.04.2018)
2. <https://www.gnu.org/software/gdb/> (Дата обращения 01.04.2018)
3. <https://gnu-mcu-eclipse.github.io/debug/openocd/> (Дата обращения 01.04.2018)
4. “Методика гибридной верификации СБИС “Система-на-Кристалле”, Андрианов А.В., Шагурин И.И. "Датчики и системы", 2018г., №2, с. 14-18.
5. <https://gnu-mcu-eclipse.github.io/debug/openocd/> (Дата обращения 01.04.2018)
6. <https://www.eclipse.org/> (Дата обращения 01.04.2018)
7. <https://atom.io/> (Дата обращения 01.04.2018)
8. Debugging with GDB: The GNU Source-Level Debugger. Free Software Foundation, 9th edition - Stallman, Pesch, et al. - 2002
9. GDB Internal Manual: A guide to the internals of the GNU debugger. Free Software Foundation - Gilmore, Shebs, et al.
10. Abstract Open On-Chip Debugger. Hubert Högl , Dominic Rath , Fachhochschule Augsburg , Fakultät Für Informatik
11. https://github.com/ntfreak/openocd/blob/master/doc/manual/jtag/drivers/remote_bitbang.txt (Дата обращения 01.04.2018)

Преимущества гибридного контроллера твердотельного накопителя, проанализированные с использованием алгоритма wear-leveling

А.А. Дубровин

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: dubrovin@cs.niisi.ras.ru

Аннотация. В данной работе проведен обзор преимуществ и недостатков надежности систем с гибридным контроллером твердотельных носителей данных в сравнении с однородными. Предложен способ увеличения надежности и уменьшения частоты возникновения ошибок твердотельных накопителей, рассмотрены причины появления алгоритма контроля преждевременного износа носителя - wear-leveling, проанализированы преимущества и недостатки применения гибридных контроллеров твердотельных накопителей. Рассмотрены причины роста частоты возникновения ошибки и связь с циклами перепрограммирования памяти. На основе анализа сделан вывод о преимуществах применения гибридных контроллеров твердотельных накопителей.

Ключевые слова: Non-Volatile Memory Host Controller Interface, SSD, MRAM, Flash NAND гибридные контроллеры твердотельных накопителей.

Введение

Подсистема хранения данных, представленная на Рис. 1, является итогом совместной разработки приемо-передающего интерфейса данных, контроллера памяти, работающего с определенной технологией памяти, а также контроллера твердотельного накопителя, управляющего алгоритмами контроля и организации потоков данных и команд от управляющей системы через интерфейс для взаимодействия с контроллером памяти.

Контроллер твердотельного накопителя (КТН) NVMe - это специальное устройство, предназначенное для подключения носителя памяти, выполняет работу по обмену данными между управляющим хостом и устройством, носителем данных. Через интерфейс передачи данных, контроллер твердотельных накопителей управляет работой контроллера памяти, обеспечивающего протокол взаимодействия с энергонезависимым устройством хранения данных.

Характеристики надежности контроллера твердотельного накопителя:

Показатели надежности:

1. Среднее время наработки на отказ.
2. Количество циклов программирования памяти.
3. Частота появления исправляемых ошибок - определяется количеством ошибок на суммарный объем прочитанной информации.
4. Объем свободного места необходимый для работы управляющих алгоритмов.

Алгоритмы управления, коррекции, оптимизации применяемые для контроля возникающих ошибок:

1. Код коррекции ошибок памяти, определяет максимальное число исправляемых ошибок на страницу памяти.
2. Алгоритм контроля износа (wear-leveling) управляет очередностью адресов программирования памяти, с целью оптимизации использования и равномерного распределения количества циклов перепрограммирования памяти.
3. Алгоритм фоновой очистки (garbage collection) очищает страницы памяти, подготавливая их к следующему программированию.
4. Алгоритм управления изношенными блоками (bad block management) исключает из адресного пространства изношенные блоки.

Твердотельные накопители в среднем служат дольше, чем магнитные накопители.

Годовая норма замены магнитного накопителя ранее зарегистрирован как 2-9%, что является высоким показателем по сравнению с 4-10% замены флеш-накопителей за 4 года их эксплуатации, тем не менее, 20% твердотельных Flash NAND накопителей за период четырех лет эксплуатации имеют ошибки, не поддающиеся коррекции.

Это намного выше, чем у магнитных накопителей, кроме того, 30-80 % Flash NAND накопителей имеют вышедшие из рабочего состояния блоки памяти, что может привести к потере данных [1]. Цель -

повышение надежности контроллера гибридными носителями данных в твердотельного накопителя систем с сравнением с однородными.

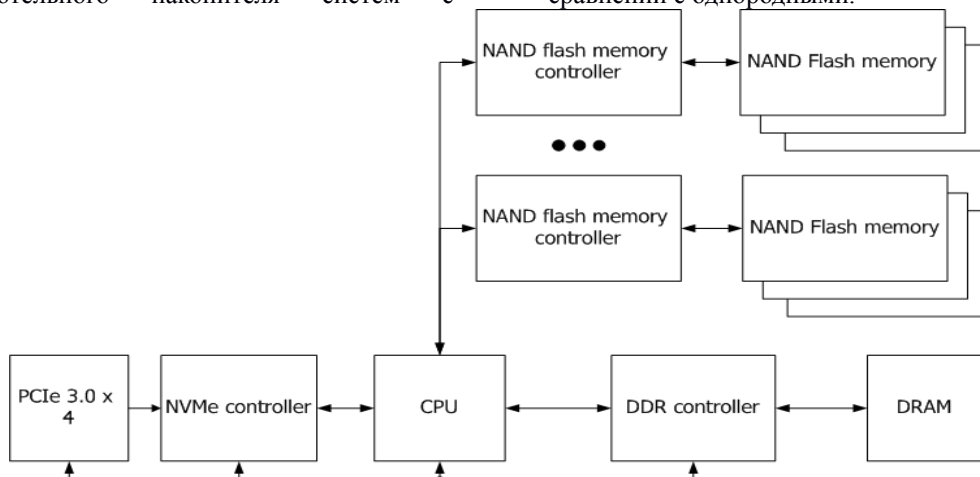


Рисунок 1. Блок-схема однородной подсистемы хранения данных

За надежность работы такой системы отвечает контроллер твердотельного накопителя, контроллер памяти и носитель памяти, который обладает технологически заданными параметрами надежности. В частности, особенности технологии, к которым относятся надежность физического носителя, являются критическими при рассмотрении подобной системы.

Алгоритм wear-leveling - процесс, который помогает уменьшить преждевременный износ устройств на основе технологии Flash NAND [2]. Основываясь на двух видах данного алгоритма, комбинируя качественных различия свойств двух физических носителей, таких как MRAM, описанных в работе [3], и Flash NAND, описанных в работе [4], проведем анализ возможных конфигураций выбранных свойств носителя памяти на двух различных технологиях памяти.

В настоящее время разработка высоконадежного и высокопроизводительного контроллера твердотельного накопителя большого объема является приоритетной и конкурентной задачей, от которой может зависеть производительность целой вычислительной системы при выполнении задач с большим объемом данных, таким образом, разработка и адаптация высоконадежного контроллера является перспективным развитием технологии управления данными.

Практическая значимость этой работы лежит в прогнозировании развития направления области контроллеров твердотельного накопителя и их взаимодействия с контроллерами памяти, основанных на определенной технологии хранения данных, и с распространенными

интерфейсами передачи данных. Сравнение преимуществ технологий памяти и рассмотрение тенденций в развитии методологии проектирования современных контроллеров твердотельного накопителя.

Задачи, поставленные в рамках работы: предложить способ увеличения надежности твердотельных накопителей, рассмотреть причины появления алгоритма контроля преждевременного изнашивания носителя - wear-leveling, рассмотреть его виды, проанализировать преимущества и недостатки применения гибридных носителей памяти. Рассмотреть причины роста частоты возникновения ошибки и связь с циклами перепрограммирования памяти.

В разделе 1 рассмотрен способ увеличения надежности гибридного KTH NVMe, раздел 2 посвящен статическому алгоритму wear-leveling, а раздел 3 динамическому алгоритму wear-leveling. В разделе 4 представлена зависимость частоты возникновения ошибок от количества циклов перепрограммирования KTH NVMe.

1.1 Увеличение надежности повышением количества циклов перепрограммирования памяти устройства

Впервые идея гибридных контроллеров была использована для получения систем Flash NAND и магнитного носителя, позволяя использовать быструю скорость доступа SSD и объем доступной памяти HDD. Компания Seagate впервые представила гибридный SSHD в 2007 г. Это был твердотельный накопитель с флэш-разделом на 128 или 256 МБ и потреблял

существенно меньше энергии и лучше подходил для мобильного применения. Тем не менее, он не получил широкого распространения — главным образом из-за того, что не отличался нужной емкостью и производительностью.

Три года спустя, в мае 2010 г., компания Seagate представила новый гибридный твердотельный накопитель. На этот раз основное внимание уделялось наличию необходимой емкости и производительности. С помощью технологии Adaptive Memory, разработанной компанией Seagate, пользователи могут повысить производительность системы без программного обеспечения сторонних разработчиков и в любой операционной системе [5]. В сравнении с SSHD гибридный MRAM-NAND компенсирует недостатки уже NAND технологии, а не магнитного носителя, чтобы достичь большой емкости памяти, так же как и энергоэффективности, необходимо использовать как DRAM, так и STT-MRAM в качестве оперативной памяти вычислительного устройства.

Ранее, была предложена аппаратная схема (RAMinate), обеспечивающая одновременное и параллельное выполнение нескольких операционных систем на одном и том же хост-устройстве, применяется два вида памяти (гибридная аппаратная схема), что позволило уменьшить потребление схемы на 50-70% в сравнении с однородной DRAM схемой [6]. Применение гибридной технологии имеет и другие перспективные направления, не только в оперативной памяти, но и в контроллере твердотельного накопителя. Например, преимущества гибридного NVMe контроллера перед однородным в плане надежности.

Частота возникновения ошибок в Flash памяти, растет с ростом числа циклов программирования памяти, эта зависимость приближается к линейной, без резких пиков в точке, когда достигается технологический предел циклов перепрограммирования носителя, указанный производителем [1], таким образом, контролируя и минимизируя количество циклов перепрограммирования Flash NAND памяти, за счет альтернативного типа памяти, не обладающего сильной зависимостью между частотой возникновения ошибок и количеством циклов перепрограммирования памяти, можно снизить частоту возникновения ошибок в Flash NAND.

1.2 Применение двух технологий памяти под управлением одного контроллера

Технология MRAM обладает меньшей плотностью данных (примерно на три порядка), но значительно большей надежностью (около шести порядков), в сравнении с Flash NAND, по своим показателям приближаясь к DRAM.

Поэтому совместное применение двух технологий памяти при разработке контроллера твердотельного накопителя, позволит улучшить надежность, за счет динамического алгоритма контроля износа, адаптированного под неоднородную память.

Блок-схема гибридной подсистемы хранения данных представлена на Рисунке 2.

Последующие поколения схем памяти MRAM, например STT-MRAM, возможно, могли бы стать “идеальной памятью”, с гигабитной плотностью, бесконечным хранением данных, неограниченными циклами программирования, и стойкой к радиационным эффектам, [4] но, на данный момент данный вид памяти имеет в сравнении с Flash NAND недостатки: значительно меньшую плотность, что, в итоге, дает выгоду от их совместного применения, сравнение параметров приведено в Таблице 1.

Применение и преимущества алгоритма wear-leveling, рассматривают в работе [2].

Применение данной работа может найти среди параллельных файловых систем, применяющие SSD носители, на примере работы [7].

Современные исследования и разработки в области системных параллельных файловых технологиях, применяемых петафлопс суперкомпьютерами и глобальными файловыми системами для центров высокопроизводительных вычислений, значительно сфокусировались на задачах увеличении ширины пропускаемого канала для операций чтения и записи, которые одновременно выполняются на этих платформах [7].

В рамках этой работы предложено создание гибридного контроллера твердотельного накопителя на основе NVMe с интерфейсом PCIe 3.0, с применением схем памяти MRAM и Flash NAND.

Наиболее общее исполнение алгоритма контроля износа происходит в

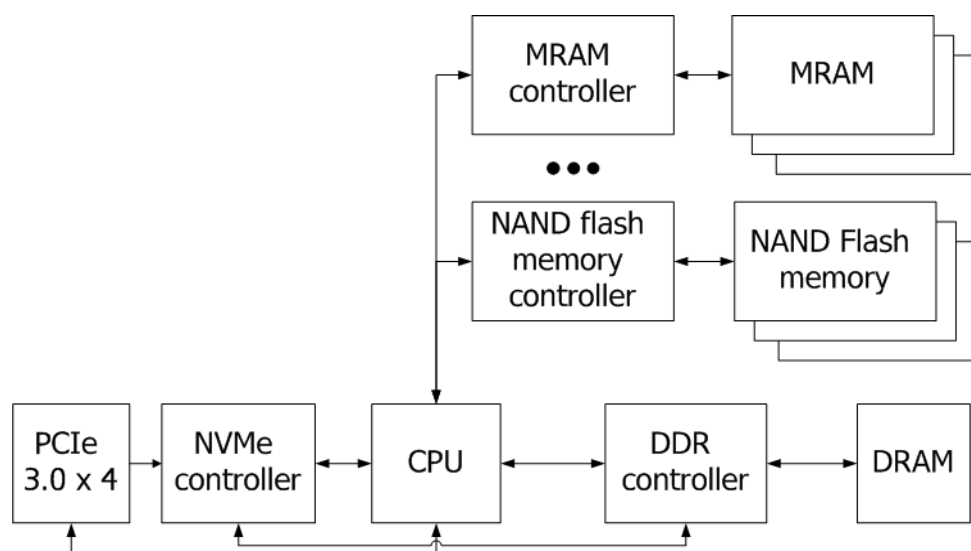


Рисунок 2. Блок-схема гибридной подсистемы хранения данных

Таблица 1. Сравнение современных развивающихся типов памяти.

Критерий и Типы памяти	DRAM	NAND Flash	MRAM
Размер ячейки, F ²	1-2	1	7-10
Задержка чтения/ записи, нс	10-60	$(25/200) \cdot 10^3$	10
Потребление энергии на программирование одного бита, пДж	2	10^4	0.02
Надежность, количество циклов программирования памяти	$>10^{15}$	$>10^4$	$>10^9$
Энергонезависимость	Нет	Да	Да

контроллерах NAND Flash, которые управляют доступом в память устройства и определяют, последовательность перезаписи блоков памяти. В большинстве случаев, контроллер поддерживает таблицу соответствия физических и логических адресов, которые применяются, чтобы транслировать память физических адресов в логический блок адресов, используемый хостом. Алгоритм wear-leveling контроллера определяет, какой физический блок использовать каждый раз, когда данные перезаписываются [2]. Необходимость применения данного алгоритма следует из ограниченного возможного числа циклов перепрограммирования ячеек памяти NAND Flash.

Рассмотрим пример устройства, которое функционирует без использования данного алгоритма. NAND Flash устройство, имеющее 4096 блоков памяти при активном использовании 2.5% блоков, которые обновляют 3 файла по 50 блоков каждый, когда каждый файл обновляется раз в десять минут, то есть 6 файлов в час, где хост использует 200 блоков памяти для этих обновлений постоянно, тогда такое устройство прослужит менее года, хотя 95% памяти будет не использовано.

Результаты продемонстрированы в выражении (1) и (2) [2].

Если бы только 200 блоков программировались тогда:

$$\frac{10,000 \text{ циклов} * 200 \text{ блоков}}{50 \text{ блоков на файл} * 144 \text{ файлов в день}} = 278 \text{ дней} \quad (1)$$

Аналогично проводим расчеты при использовании всех блоков:

$$\frac{10,000 \text{ циклов} * 4096 \text{ блоков}}{50 \text{ блоков на файл} * 144 \text{ файлов в день}} = 5689 \text{ дней} \quad (2)$$

Данный алгоритм не только увеличивает срок службы устройств, но и позволяет использовать емкость памяти более эффективно. Задействуя всю среднюю емкость памяти 4000 блоков, можно получить 40 миллионов эффективных операций с памятью [2].

Применение даже небольшой части примесей с другими свойствами может значительно увеличить число эффективных операций с памятью. На примере небольшого объема памяти на основе другой технологии можно увидеть, что количество циклов перепрограммирования MRAM до отказа составляет миллиард раз, что значительно превосходит аналог Flash, равный десяткам тысяч. Нужно учитывать, что объем MRAM на данный момент отстает от передовых аналогов (256 Мбайт MRAM в сравнении с 256 Гбайт Flash MLC NAND), поэтому каждая схема MRAM имеет $2,56 \cdot 10^{12}$ циклов в сравнении с $2,56 \cdot 10^{10}$ Flash MLC NAND, что дает 100 кратную разницу в количестве циклов перепрограммирования для всего носителя при замене одной схемы памяти Flash NAND на MRAM. Сочетая их достоинства, можно разработать гибридный контроллер, который реализует преимущества каждой из технологий памяти и компенсирует их недостатки.

Существуют два разных типа данных в устройствах NAND Flash: статические и динамические. Статические данные обновляются очень редко, но могут быть часто прочитаны, и долго находятся в одной и той же физической области памяти устройства. Динамические данные постоянно меняются и требуют постоянной перезаписи. В зависимости от того метода, который используется в алгоритме, контроллер перепрограммирует и стирает данные преимущественно из тех блоков физической памяти, которые имеют меньший счетчик количества циклов перепрограммирования.

Динамический алгоритм заключается в заполнении доступных свободных блоков и выборе блоков с наименьшим количеством

циклов перепрограммирования для следующей операции. Алгоритм wear-leveling наиболее эффективно обрабатывает именно динамические данные [2].

При статическом алгоритме выбирается доступный целевой блок с меньшим числом стираний по сравнению со средним значением износа ячейки, блок очищается, если необходимо, после этого в него перепрограммируют новые данные, что гарантирует, что блоки, у которых количество циклов перепрограммирования больше определенного порога, будут перемещены [2].

2.1 Статический алгоритм wear-leveling

В Таблице 2 приведен перечень сравниваемых характеристик технологий памяти, выбранных для совместного анализа, на основе которого определим суммарное количество циклов перепрограммирования памяти устройства. Выгода гибридного контроллера количества циклов перепрограммирования определяется выражением (3):

$$\begin{aligned} & \frac{(NCm + NCf)}{NCmaxf} = \\ & = \frac{(NmQmEm + (Nmax - Nm)QfEf)}{NmaxQfEf} = \\ & = \frac{Nm}{Nmax} \left(\frac{QmEm}{QfEf} - 1 \right) \cdot 12,375 \quad (3) \end{aligned}$$

Статический метод дает приблизительно 12-кратное увеличение количества циклов перепрограммирования за счет уменьшения суммарного объема устройства из-за меньшего объема хранимых данных второй технологии.

2.2 Динамический алгоритм wear-leveling

В данном разделе MRAM используется в качестве динамической памяти, принимая во внимание значительное преимущество в скорости доступа, такая модификация позволит значительно повысить скорость доступа к динамическим файлам и даст заметное увеличение производительности, что планируется в дальнейшем проанализировать на модели Verilog. Кроме скорости работы гибридный контроллер может увеличить общее количество циклов перепрограммирования за счет уменьшения общего объема памяти носителя, вследствие различия в объемах памяти микросхем на основе разных технологий. Ниже

представлены на Рис. 3. и Рис. 4. зависимости потерь общего объема памяти при замене части схем памяти NAND Flash на схемы памяти MRAM для контроллера с 8 максимальными схемами.

Lack - потери общего объема памяти твердотельного накопителя из-за разницы в развитии технологии. Формула расчета представлена в выражении (4):

$$Lack = 100 \frac{M_{max} - (N_m Q_f - N_m Q_m)}{M_{max}} \quad (4)$$

На Рис. 3 представлена зависимость потери общего объема памяти от количества плат памяти MRAM, замененных на Flash NAND

Табл. 2. Перечень сравниваемых характеристик технологий памяти, выбранных для совместного анализа [3, 4].

Характеристика	MRAM	Flash NAND	Максимум
Доля памяти относительно максимума или количество схем, N	N_m	N_f	N_{max}
Объем данных схемы, Q	$Q_m = 256 \text{ МБ}$	$Q_f = 256 \text{ ГБ}$	$Q_{max} = Q_f$
Среднее количество циклов перезаписи каждой ячейки, E	$E_m = 10^9$	$E_f = 10^5$	$E_{max} = E_m$
Суммарный объем памяти данного типа, M, Мбайт	$M_m = N_m Q_m$	$M_f = N_f Q_f$	$M_{max} = N_{max} Q_{max}$
Суммарное количество циклов перезаписи изделия NC, требуется установить для статического и динамического методов	$NC_m = N_m Q_m E_m$	$NC_f = N_f Q_f E_f$	NC_{max}

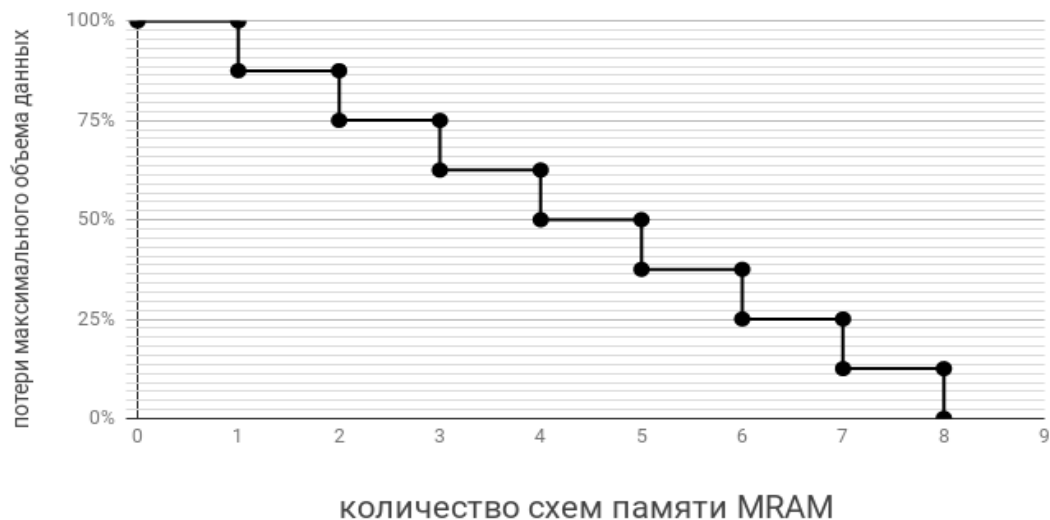


Рис. 3. Зависимость потери максимального хранимого объема данных гибридного контроллера от количества схем памяти MRAM, для дискретного случая с $N_{max} = 8$, $Q_f = 256 \text{ ГБ}$, $Q_m = 256 \text{ МБ}$, $E_f = 10^5$, $E_m = 10^9$.

Максимальный объем памяти соответствует использованию технологии с максимальным объемом памяти на одну схему, что соответствует использованию Flash NAND технологии на данный момент, использование аналогичной MRAM памяти на данный момент будет составлять примерно 0.1% от максимального.

Соотношение динамической памяти к статической приведено в формуле (5):

$$A = \frac{(N_m \square Q_m + Const \square Q_f)}{(N_m \square Q_m + N_f \square Q_f)} = \frac{(N_m \square Q_m + Const \square Q_f)}{(N_{max} \square Q_f - N_m (Q_f - Q_m))} = A_m + A_f \quad (5)$$

Первое слагаемое показывает, какую долю динамической памяти использует MRAM, второе слагаемое – какую долю имеет Flash NAND. Константа указывает на

необходимое количество динамической памяти, недостающее до требуемой функциональности.

На Рис. 4 представлена зависимость

увеличения общего количества циклов перепрограммирования от количества плат памяти MRAM, замененных на Flash NAND.

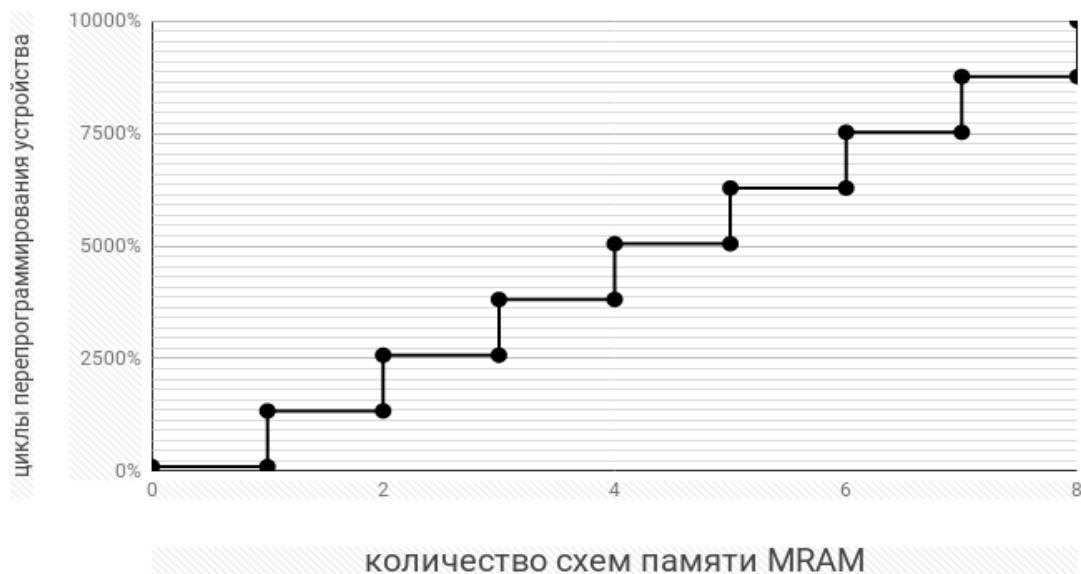


Рис. 4. Зависимость относительного увеличения количества циклов перепрограммирования данных гибридного контроллера от количества схем памяти MRAM, для дискретного случая с $N_{max} = 8$, $Q_f = 256$ Гб $Q_m = 256$ Мб, $E_f = 10^5$, $E_m = 10^9$.

За счет того, что технология MRAM имеет 10000% преимущество по количеству циклов перепрограммирования с учетом общего объема памяти схем перед 100% Flash NAND, за счет объема всего твердотельного накопителя можно увеличить количество циклов перепрограммирования в разы.

Отношение количества циклов перепрограммирования носителя памяти на чистой Flash NAND и гибридной памяти будут соответственно равны формуле (6):

$$\frac{NC_m}{NC_f} = \frac{(N_m \cdot Q_m \cdot E_m + Const \cdot Q_f \cdot E_f)}{(A \cdot N_{max} \cdot Q_f \cdot E_f)} = \frac{Const}{A \cdot N_{max}} + \frac{N_m}{A \cdot N_{max}} \cdot \left(\frac{Q_m E_m}{Q_f E_f} \right) \quad (6)$$

Из этого выражения получаем: при применении двух динамических схем, 1 из которых MRAM, если схем всего 8, то по количеству суммарному циклов перепрограммирования устройства гибридный контроллер превосходит контроллер, основанный на Flash NAND, в 25,5 раз и в два раза выгоднее статического алгоритма, но суммарный объем устройства уменьшается на 255,7 Гб (12,4%).

Первое слагаемое всегда меньше единицы, так как выбранное число схем динамической памяти меньше общего их числа.

Но при полном переходе на динами-

ческую MRAM память возможно увеличить общее количество циклов перепрограммирования до 1000 раз (при 10% динамической MRAM памяти от общего объема носителя), при равных объемах памяти схем разных технологий.

3 Зависимость частоты возникновения ошибок от количества циклов перепрограммирования

Между частотой возникновения ошибок (F_{rber}) и количеством циклов перепрограммирования (N_{flash}) памяти наблюдается близкая к линейной зависимость, поэтому для сравнения рассматриваемых систем используем аппроксимацию данной зависимости из работы [1], тогда частота возникновения ошибок Flash NAND тем ниже, чем чаще вместо Flash NAND перепрограммирует MRAM.

$$Frber = K \cdot (N_{flash}) + F_0 = K \cdot (N_{total} - N_{mram}) + F_0 \quad (7)$$

Построен график аппроксимации одной из выборки, представленной в работе [1], значений зависимости частоты возникновения ошибок от циклов перепрограммирования памяти Flash NAND на рис. 5, стоит отметить, что разница между

начальным и конечным значением средней частоты возникновения ошибок в памяти в представленной выборке во время эксплуата-

ции вследствие перепрограммирования количественно может отличаться с начальной 10^{-5} до к концу эксплуатации $8 \cdot 10^{-5}$.

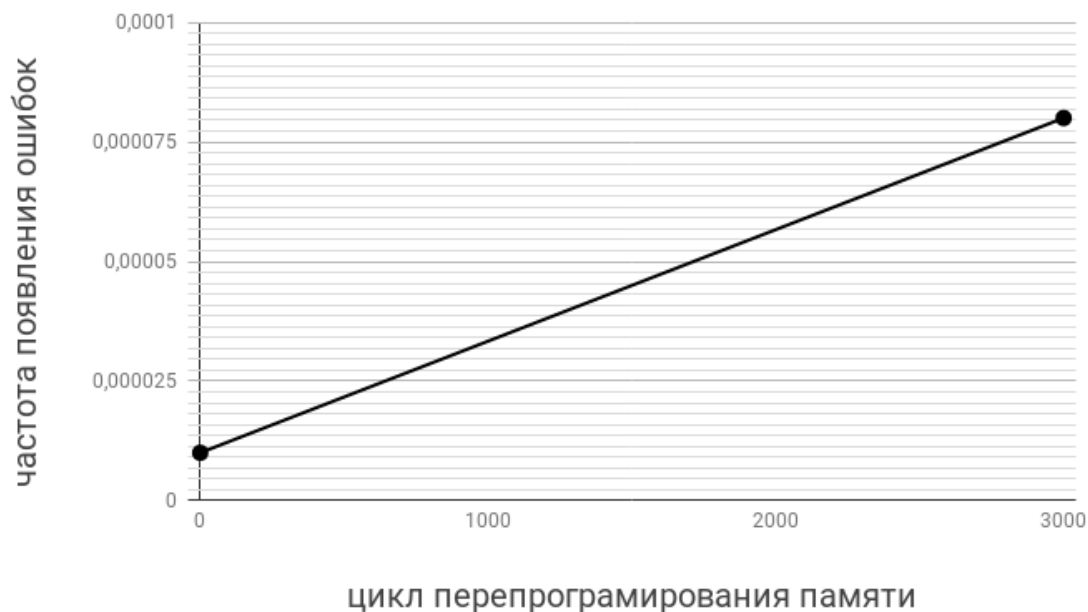


Рисунок 5. Линейная аппроксимация зависимости частоты возникновения ошибок от циклов перепрограммирования памяти Flash NAND.

Увеличение надежности таких систем будет определяться эффективностью, применяемых оптимизирующих алгоритмов, пример которого представлен в работе [9]. Для данной выборки, в результате применения системы гибридного контроллера и оптимизирующего алгоритма, частота возникновения ошибок может быть снижена до 8 раз в процессе эксплуатации, но частота возникновения ошибок также зависит и от других параметров, например возраста изделия.

Заключение

В рамках работы проанализированы возможные преимущества надежности систем с гибридными носителями данных в сравнении с однородной. В этой статье был рассмотрен пример, в рамках которого MRAM память с меньшим объемом памяти, но большим количеством циклов перепрограммирования и скоростью записи, за счет уменьшения общего объема твердотельного накопителя и несмотря на отставание технологии в области объемов данных, может увеличить надежность работы всего устройства, таким образом, выбирая различные параметры твердотельного накопителя, можно извлечь определенные выгоды при развитии нескольких конкурирующих технологии,

получив преимущества каждой из них и компенсировав их недостатки за счет совместной работы.

Рассмотрены причины появления алгоритма контроля износа, проанализированы преимущества и недостатки применения гибридных контроллеров твердотельных накопителей с применением этого алгоритма, лучший результат достигается при применении динамического алгоритма контроля износа, где MRAM применяется в качестве динамической памяти, тогда в зависимости от применяемого оптимизирующего алгоритма можно повысить количество циклов перепрограммирования устройства до 25 раз за 255,7 ГБ (12,4%) объема, и при этом для файлов, значительно меньших, чем 256 МБ возможна ситуация полного перехода на работу с MRAM, что увеличит скорость доступа и количество операций, а также уменьшит задержки, а при полном переходе на динамическую MRAM память возможно увеличить общее количество циклов перепрограммирования до 1000 раз (при 10% динамической MRAM памяти от общего объема носителя), при равных объемах памяти схем разных технологий используя динамическом алгоритм контроля, и для рассмотренной выборки возможно снизить до 8 раз частоту возникновения ошибок в памяти Flash NAND.

Современный контроллер твердотельного накопителя на основе NVMe

спецификации, применяя алгоритмы контроля изнашивания, управления изношенными блоками, коррекции ошибок и два вида памяти, может значительно повысить надежность твердотельного накопителя, минимизируя количество циклов перепрограммирования NAND Flash памяти за счет использования при хранении динамических данных (приоритетной при перепрограммировании) памяти MRAM, полученные преимущества будут определяться применяемыми алгоритмами оптимизации.

Источники финансирования и выражение признательности

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0008 «Исследование и разработка моделей микропроцессоров, ориентированных на задачу горения для создания отечественной суперЭВМ» (№ AAAA-A18-118041190167-3)

Advantages of the hybrid NVM Host Controller Interface, with wear-leveling method

A.A.Dubrovin,

Abstract. In this paper, the advantages and disadvantages of reliability of systems with a hybrid controller of solid-state storage media is reviewed in comparison with homogeneous ones. A method for increasing reliability and reducing the frequency of errors in solid state drives is proposed, the reasons for the appearance of the algorithm for monitoring wear-leveling are examined, and the advantages and disadvantages of using hybrid controllers for solid-state drives are analyzed. The reasons for the increase in the frequency of the error occurrence and the connection with the memory programming cycles are considered. Based on the analysis, the conclusion is made about the advantages of using hybrid controllers for solid-state drives.

Keywords: Non-Volatile Memory Host Controller Interface, SSD, MRAM, Flash NAND, solid state hybrid disc.

Литература

1. Bianca Schroeder University of Toronto Toronto, Canada, Raghav Lagisetty Google Inc. Mountain View, CA, Arif Merchant Google Inc. Mountain View, CA .Flash Reliability in Production: The Expected and the Unexpected. 14th USENIX Conference on File and Storage Technologies, Santa Clara, CA, USA, February 22–25, 2016.
2. Technical Note TN-29-42: Wear-Leveling Techniques in NAND Flash Devices Introduction. [Электронный ресурс] // Micron Technology, Inc. URL: <https://www.micron.com/resource-details/4c9ed96c-89f9-45c4-8921-4875a17b5650> (дата обращения: 21.03.2018).
3. Specification 256Mb DDR3 Spin-Torque MRAM EMD3D256M. [Электронный ресурс] // Everspin Technologies, Inc. URL: <https://www.everspin.com/file/1218/download> (дата обращения: 21.03.2018).
4. Specification 256Gb MLC Flash NAND K9CFGD8U0M-SCB. [Электронный ресурс] // Samsung, Inc. URL: https://www.samsung.com/us/business/oem-solutions/pdfs/V-NAND_technology_WP.pdf (дата обращения: 21.03.2018).
5. J. Heidecker. MRAM Technology and Status. - Pasadena, Jet Propulsion Laboratory, California Institute of Technology, 2012. - 27 p.
6. Гибридные твердотельные накопители: естественная эволюция систем хранения данных. [Электронный ресурс] // Seagate, Inc URL: <https://www.seagate.com/ru/ru/point-of-view/sshd-and-natural-evolution-master-pov> (дата обращения: 04.07.2018).
7. National Institute of Advanced Industrial Science and Technology (AIST), Tokyo, Japan, “RAMinate: Hypervisor-based Virtualization”, for Hybrid Main Memory Systems, Takahiro Hirofuchi and Ryousei Takano, SoCC '16 Proceedings of the Seventh ACM Symposium on Cloud Computing Pages 112-125, Santa Clara, CA, USA — October 05 - 07, 2016, ACM New York, NY, USA 2016.
8. S. R Alam, H. N El-Harake, K. Howard, N. Stringfellow, F. Verzelloni. Parallel I/O and the Metadata Wall // PDSW '11 Proceedings of the sixth workshop on Parallel Data Storage, Seattle, November, 13, 2011. - NY, est. ACM New York, 2011, P. 13-18.
9. Svetlana Lazareva, Grigorii Kirgizov, Ruslan Ragimov. Smart face control: machine learning algorithms for efficient SSD caching. - Proceedings of the 13th Central & Eastern European Software Engineering Conference in Russia, Conference CEE-SECR '17 Central and Eastern European Software Engineering Conference Russia Saint-Petersburg, Russian Federation — October 20 - 21, 2017, ACM New York, NY, USA 2017.

Моделирование устойчивости к сбоям КМОП элементов ассоциативной памяти с использованием средств TCAD

Ю.В. Катунин¹, В.Я. Стенин²

^{1,2} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ² НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹ katunin@cs.niisi.ras.ru, ² vystenin@mephi.ru

Аннотация: Ячейки памяти STG DICE (Spaced Transistor Groups DICE) с транзисторами, разделенными на две группы, совместно с комбинационной логикой являются основой для проектирования устойчивых к сбоям элементов ассоциативной памяти. Результаты TCAD моделирования воздействий одиночных ядерных частиц с треками, проходящими на глубинах от 50 нм до 850 нм от поверхности кристалла, показывают, что воздействия заряда с трека только на одну из групп транзисторов не приводит к сбоям в диапазоне линейных потерь энергии (ЛПЭ) 1–60 МэВ×см²/мг. Сбой логического состояния STG DICE возможен при треках вдоль линии, соединяющей две разнесённые группы транзисторов и при треках по нормали к поверхности кристалла при ЛПЭ больше 60 МэВ×см²/мг. Логические элементы сопоставления и маскирования на основе ячейки STG DICE устойчивы при ЛПЭ до 60 МэВ×см²/мг. Возможны кратковременные импульсы помех на выходе комбинационной логики при ЛПЭ, начиная с 30 МэВ×см²/мг.

Ключевые слова: ячейка памяти, логический элемент, моделирование, одиночная ядерная частица, топология, проектирование, сбой.

1. Введение

Моделирование с использованием 3-D TCAD – это эффективное средство изучения ячеек памяти с целью прогнозирования и моделирования поведения элементов при воздействиях одиночных ядерных частиц.

Имеются примеры использования 3-D TCAD моделирования для сопоставления с результатами экспериментов по одиночным и кратным сбоям ячеек памяти (multiple cell upsets – MCU) при воздействиях одиночных ядерных частиц на 6-транзисторные 65-нм КМОП статические ОЗУ по объёмной технологии [1, 2], а также для изучения влияния технологических параметров на переходные процессы в 65-нм КМОП комбинационной логике по объёмной технологии при воздействии одиночных ядерных частиц [3].

Топология ячейки памяти STG DICE (Spaced Transistor Groups DICE) [4] отличается от стандартной ячейки DICE [5] тем, что транзисторы разделены на две группы так, что сбор заряда с трека одиночной ядерной частицы транзисторами только одной группы не вызывает сбой логического состояния ячейки, а происходит лишь кратковременный переход её в нестационарное состояние [6].

Разработана методика топологического чередования групп транзисторов смежных ячеек STG DICE в КМОП ОЗУ [7] для повышения устойчивости к сбоям путем увеличения расстояния между взаимно чувствительными парами транзисторов двух групп каждой из ячеек памяти без существенного увеличения площади. Экспериментальные исследования показывают высокую устойчивость к сбоям 65-нм КМОП ячеек STG DICE [4].

2. Методика моделирования сбоев средствами TCAD

Воздействие на МОП элементы СБИС одиночной ядерной частицы приводит к образованию вдоль её трека неравновесных носителей заряда. Заряды выводятся в виде импульсов тока через обратно смещенные стоковые *pn* переходы МОП транзисторов, вызывая импульсы помех, которые могут приводить к сбоям исходного состояния ячеек памяти и создавать импульсы, искажающие логические уровни на выходе комбинационной логики.

На Рис. 1 изображен эскиз части 3-D приборной структуры ячейки памяти STG DICE. Ячейка включает КМОП транзисторы

по объемной 65-нм технологии с шириной 150 нм, спроектированных на основе моделей по методике [8] с подбором технологических параметров для соответствия моделям, поставляемым фабрикой.

В качестве тестовых воздействий на ячейку памяти STG DICE в работе были использованы воздействия зарядом с треков частиц с разными линейными потерями энергии.

На Рис. 1 приведены примеры направлений и глубины треков относительно поверхности активной области кремния под областями стоков транзисторов N_D и P_A (Трек 1 глубиной d_1) и транзисторов N_D и N_B (Трек 2 глубиной d_2) приборной 3-D структуры.

Примером трека по нормали к поверхности кристалла является Трек 3 на Рис. 1.

При моделировании использованы треки типа Трек 1, проходящие через области стоков или под ними для взаимно чувствительных пар транзисторов одной группы транзисторов STG DICE, и треки типа Трек 2, проходящие под стоками или рядом с ними через две группы транзисторов.

Моделировался сбор заряда с треков типа Трек 1 и Трек 2, проходящих на глубинах d от 50 нм до 850 нм относительно поверхности кристалла и дополнительно при угловых отклонениях до 40° в плоскости кристалла микросхемы для треков типа Трек 2.

Треки частиц по направлениям, связывающим две группы транзисторов ячеек памяти DICE, являются траекториями одиночных ядерных частиц, с большей вероятностью приводящих к сбоям ячеек памяти [9, 11].

Треки типа Трек 1 и Трек 2 проходили в объеме кристалла параллельно его поверхности.

Энергетическая составляющая воздействия одиночной ядерной частицы характеризовалась линейной передачей (потерей) энергии на треке – (linear energy transfer – LET).

Для наглядности структуры приборной части модели на рис. 1 убрано объемное изображение областей глубокого разделительного оксида толщиной 400 нм, охватывающего кремниевые области транзисторов в реальной конструкции. Области с обозначениями $n+$ и $p+$ на рис. 1 являются элементами защитных колец.

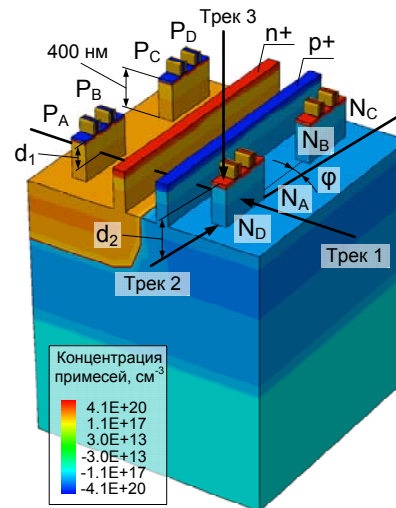


Рис. 1. Эскиз центральной части 3-D приборной структуры КМОП ячейки памяти STG DICE. Трек 1 проходит под стоками транзисторов N_D и P_A первой группы транзисторов, Трек 2 – под областями стоков транзисторов N_D и N_B из двух групп и Трек 3 – по нормали к поверхности кристалла; расстояния между центрами стоков транзисторов N_D и N_B составляли 2.4 мкм, между транзисторами N_D и P_A – 1.4 мкм.

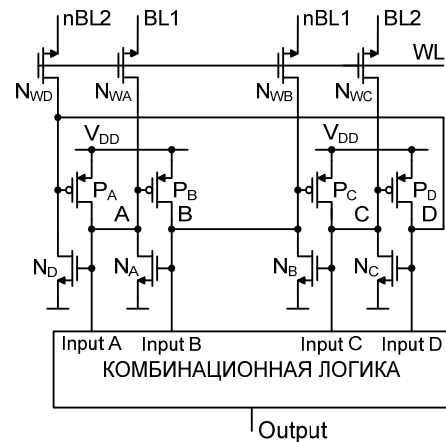


Рис. 2. Логический элемент на основе ячейки памяти STG DICE и комбинационной логики.

3. Результаты моделирования характеристик STG DICE ячейки памяти

На Рис. 2 приведена схема ячейки STG DICE с блоком комбинационной логики. Ячейка STG DICE представлена в виде кольца из четырех элементарных D-триггеров на комплементарных парах N и P МОП транзисторов, одновременно находящихся в одинаковом состоянии –

открытом или запертом; N_{WA} , N_{WB} , N_{WC} , N_{WD} – проходные ключи; BL1, BL2, nBL1, nBL2 – битовые линии, WL – word line – линия управления выборкой данных.

На Рис. 3 приведен эскиз топологии ячейки STG DICE при расстоянии между транзисторами N_{WA} и N_{WB} равном 1.2 мкм. Сравнить топологии ячеек памяти по использованию площади для повышения устойчивости к сбоям можно, используя коэффициент эффективности использования площади ячейки D_{MIN}/S_{CELL} , определяемый как отношение минимального расстояния между взаимно чувствительными узлами ячейки D_{MIN} к площади ячейки S_{CELL} .

В таблице приведены типовые параметры 65 нм КМОП ячейки памяти STG DICE и традиционной ячейки DICE.

Таблица. Параметры 65 нм КМОП ячейки STG DICE и традиционной ячейки DICE

Параметры	STG DICE	DICE
S_{CELL} , мкм ²	4.46	3.856
D_{MIN} , мкм	2.32	0.61
D_{MIN}/S_{CELL} , мкм ⁻¹	0.52	0.158
t_{DEL} , пс	80	82
t_{TRAN} , пс	150	154
P_{ACT} , мкВт	8.6	9.0

При практически одинаковой площади ячеек коэффициент D_{MIN}/S_{CELL} для STG DICE в 3.3 раза больше, чем для ячейки DICE. Следует отметить, что этот коэффициент для STG DICE соответствует топологиям с чередованием групп транзисторов двух или четырех ячеек STG DICE в зависимости от варианта их топологии. В Таблице приведены временные параметры и потребляемая мощность для сравниваемых ячеек, которые практически одинаковы.

На Рис. 4 приведены зависимости длительности нестационарного состояния t_{SET} ячейки STG DICE при сборе заряда в зависимости от глубины прохождения трека под стоковыми областями транзисторов N_D и P_A одной группы транзисторов. Длительность нестационарного состояния определялась как время восстановления логического уровня “1” на узле D до уровня $0.7U_{ИП}$.

Воздействие заряда с трека только на одну из групп транзисторов не приводит к сбоям.

Длительность нестационарного состояния при таком сборе заряда зависит от линейной потери энергии частиц на треке

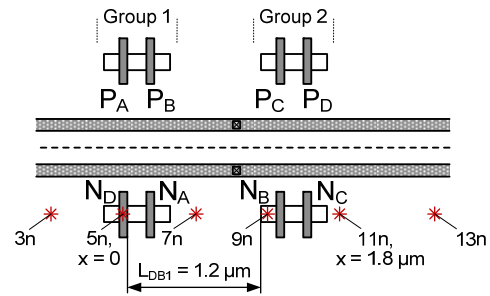


Рис. 3. Эскиз топологии ячейки STG DICE, звездочками отмечены точки входа треков по нормали к поверхности кристалла.

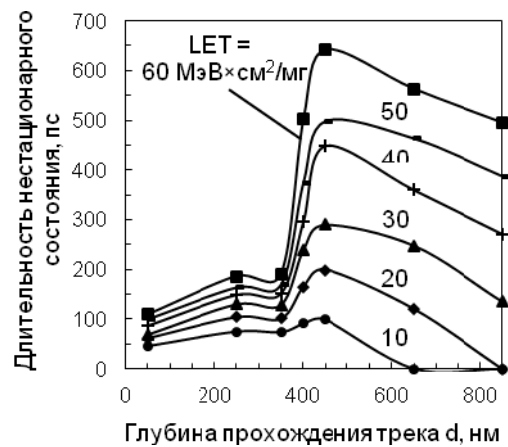


Рис. 4. Длительность нестационарного состояния ячейки STG DICE в зависимости от глубины прохождения трека под стоковыми областями транзисторов N_D и P_A одной группы транзисторов.

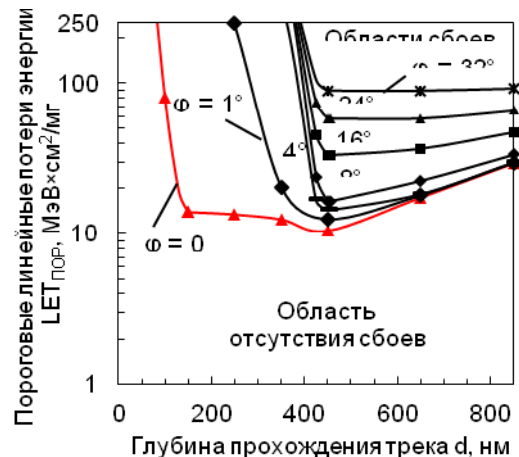


Рис. 5. Пороговые линейные потери энергии частиц $LET_{пор}$, приводящие к сбою состояния ячейки, в зависимости от глубины прохождения трека под стоковой областью транзистора N_D на глубине d от поверхности кристалла для триггера STG DICE в исходном состоянии ABCD = 0101.

практически линейно с коэффициентом 1.3–2.4 пс/(МэВ×см²/мг) при прохождении трека на глубинах 50–350 нм и с коэффициентом 11–12 пс/(МэВ×см²/мг) при глубинах трека 450–850 нм.

На Рис. 5 приведены зависимости пороговых линейных потерь энергии частиц $LET_{\text{ПОР}}$, приводящих к сбою состояния ячейки, в зависимости от глубины d прохождения трека под стоковой областью транзистора N_D для триггера STG DICE в исходном состоянии $ABCD = 0101$. Параметром является угол отклонения трека ϕ от линии, проходящей через центры стоков транзисторов N_D и N_B на Рис. 1.

Толщина разделительного оксида, изолирующего активные области кремния, в которых выполнены отдельные транзисторы, составляет 400 нм (метка 400 нм на рис. 1). С учётом влияния легирования подложки и слоя кремния под разделительным оксидом, генерация собираемого транзисторами заряда происходит в слое кремния на глубинах 400–850 нм от поверхности кристалла, где встроенные электрические поля действуют одинаково как в случае сбора заряда одной или двумя группами транзисторов ячейки STG DICE. С этим связаны изломы зависимостей на рис. 4 и рис. 5 при глубине трека 400 нм.

На Рис. 6 приведены две зависимости пороговых линейных потерь энергии на треке $LET_{\text{ПОР}}$, приводящие к сбою логического состояния STG DICE, от координаты входа трека в кристалл. Зависимости $LET_{\text{ПОР}}(x)$ на рис. 6 приведены для двух расстояний между транзисторами N_D и N_B из разных групп ячейки STG DICE: $L_{DB1} = 1.2$ мкм и $L_{DB2} = 2.4$ мкм [11]. Области без сбоев находятся под пороговыми линиями. Сбой состояния ячеек памяти STG DICE при линейных потерях энергии на треке до 50–60 МэВ×см²/мг не происходит.

4. Результаты моделирования характеристик элемента сопоставления данных

На Рис. 7 приведена схема блока комбинационной логики "Исключающее ИЛИ" (XOR), которая совместно с ячейкой STG DICE на рис. 2 образует КМОП элемент сопоставления для использования в блоках ассоциативной памяти [12, 13].

На рис. 8 приведен эскиз топологии элемента сопоставления, включающего

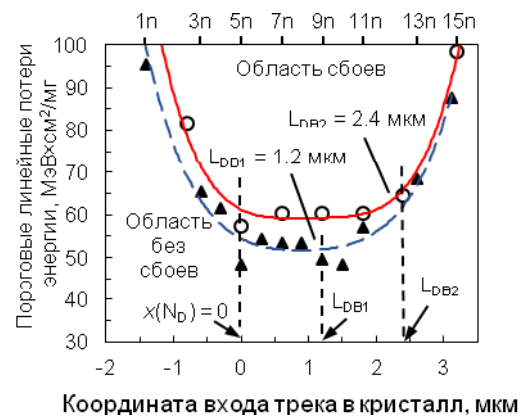


Рис. 6. Пороговые линейные потери энергии на треке $LET_{\text{ПОР}}$ в зависимости от координаты входа трека в кристалл ячейки STG DICE.

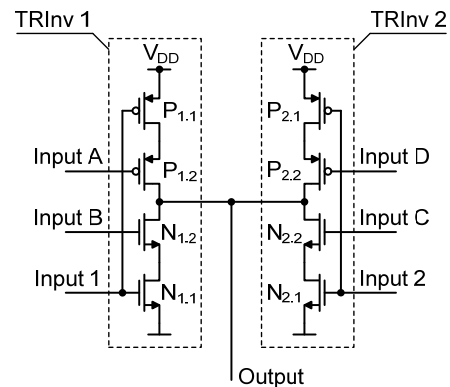


Рис. 7. Схема блока комбинационной логики "Исключающее ИЛИ" (XOR) на двух инверторах с тремя состояниями TRInv 1 и TRInv 2 в составе логического элемента сопоставления на основе ячейки памяти STG DICE.

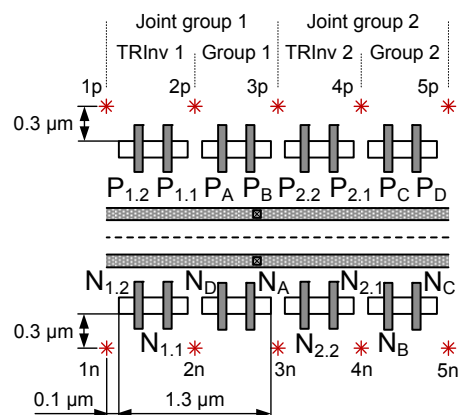


Рис. 8. Эскиз топологии логического элемента сопоставления, звездочками отмечены точки входа треков.

ячейку памяти STG DICE и транзисторы комбинационной логики "Исключающее ИЛИ" (XOR) на основе двух инверторов с тремя состояниями TRInv 1 и TRInv 2.

Точки входов треков отмечены звездочками.

На Рис. 9 дан макет приборной 3-D структуры TCAD модели элемента сопоставления, на Рис. 10 приведен пример импульсной реакции на сбор заряда с трека одиночной частицы, воздействующей на логический элемент сопоставления, а именно, зависимости напряжений на узлах элемента при сопоставлении логических единиц "1", когда исходное состояние узлов STG DICE ячейки памяти ABCD = 1010, а на входах логики Input 1 = "1" и Input 2 = "0", при LET = 20–60 МэВ×см²/мг для входа трека – 4н.

На Рис. 11 приведены зависимости амплитуды и длительности импульса напряжения помехи на выходе блока логики элемента сопоставления в зависимости от координаты точки входа трека (трек по нормали к поверхности кристалла) относительно центра $x = 0$ стоковой области транзистора N_A (см. рис. 8) при потерях энергии на треке LET = 60 МэВ×см²/мг в режиме совпадения логических нулей "0" в STG DICE ячейке памяти ABCD = 0101 и на входе Input 1 = "0".

Расстояние между областями стоков взаимно чувствительных транзисторов N_D и N_B двух групп ячейки STG DICE составляло 1.35 мкм.

На рис. 11 по верхней шкале обозначениями 1н–5н отмечены координаты точек входа треков частиц по нормали к поверхности кристалла, использованные при моделировании сбора заряда ЛМОП транзисторами.

Линия входа треков проходила на расстоянии 300 нм от линии расположения областей стоков ЛМОП транзисторов как показано на рис. 8.

При линейных потерях энергии частицей на треке LET = 60 МэВ×см²/мг амплитуда помехи, искажающей результат совпадения, может достигать максимально возможного значения 1.3 В, что больше напряжения питания, с длительностью до 0.6 нс.

Это может привести к погрешностям определения совпадения данных в регистре логических элементов совпадения при частотах обращения к данным более 1 ГГц.

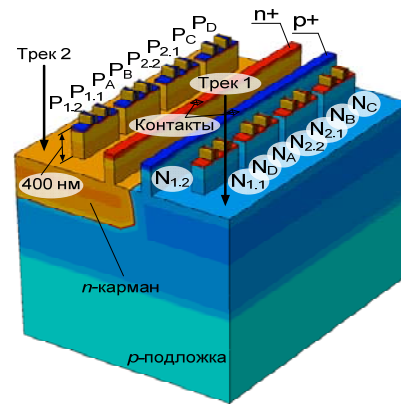


Рис. 9. Приборная 3-D структура модели элемента сопоставления; приведены треки частиц по нормали к поверхности p -области кристалла в области n -кармана.

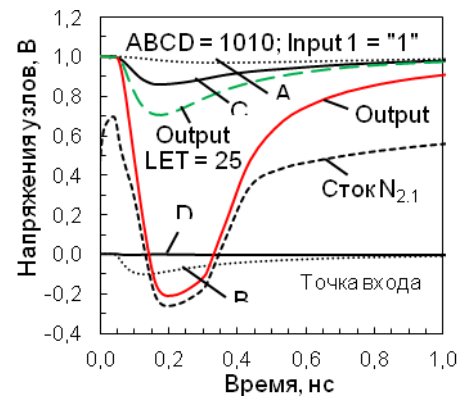


Рис. 10. Напряжения на узлах элемента сопоставления при сборе заряда с трека; исходное состояние узлов STG DICE ячейки ABCD = 1010, Input 1 = "1" и Input 2 = "0", LET = 25 и 60 МэВ×см²/мг для точки входа трека – 4н.

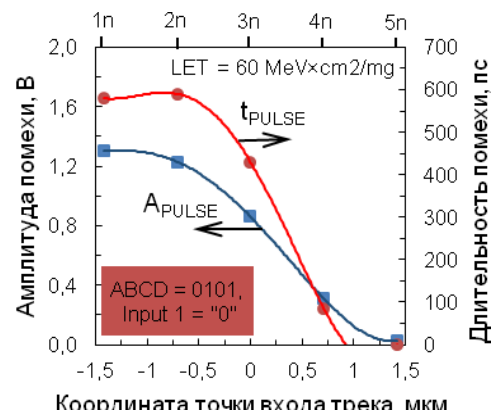


Рис. 11. Амплитуда и длительность импульса помехи на выходе комбинационной логики элемента сопоставления в зависимости от координаты точки входа трека от 1н до 5н.

5. Результаты моделирования элемента памяти для элемента маскирования

На Рис. 12 приведена схема блока комбинационной логики на двух инверторах с тремя состояниями TRInv 1 и TRInv 2 и двух обычных инверторах Inv 1 и Inv 2 для элемента памяти на основе STG DICE. Схема комбинационной логики на рис. 12 вместе с ячейкой памяти STG DICE на рис. 2 образует элемент памяти с достоверным чтением хранимых данных в нестационарном состоянии ячейки памяти STG DICE [14, 15].

Этот элемент памяти предназначен для элемента маскирования сопоставляемых данных, повышение устойчивости к сбоям которого заключается в исключении неправильного чтения данных из ячейки STG DICE при переходе её в нестационарное состояние при воздействии частицы.

На Рис. 13 приведен эскиз топологии элемента памяти с чтением в нестационарном состоянии ячейки STG DICE. При сборе заряда с треков, точка входа которых проходит рядом с обратно смещенным стоковым pn переходом транзистора одного из инверторов с тремя состояниями TRInv 1 или TRInv 2, то амплитуда импульса помехи на выходе элемента целиком определяется импульсом помехи, формируемым за счет сбора заряда одним из этих запертых транзисторов. Максимальная амплитуда импульса помехи при этом составляет 1.3 В для случая линейных потерь энергии на треке $60 \text{ МэВ} \times \text{см}^2/\text{мг}$. Напряжения на узлах A, B, C, D ячейки памяти STG DICE изменятся незначительно: не более, чем на 0.3 В даже при потерях энергии на треке $60 \text{ МэВ} \times \text{см}^2/\text{мг}$.

Зависимости на Рис. 14 иллюстрируют образование импульса напряжения помехи с максимальной амплитудой на выходе элемента памяти при считывании из него хранимых данных при линейной передаче энергии на треке $80 \text{ МэВ} \times \text{см}^2/\text{мг}$. На Рис. 14 зависимости даны для напряжений на узлах элемента памяти, когда заряд собирается через ЛМОП транзисторы с трека, направленного по нормали к поверхности кристалла с входной точкой трека 3п (см. Рис. 13). Входная точка трека 3п расположена вблизи области стока транзистора $N_{2,2}$, который активно собирает

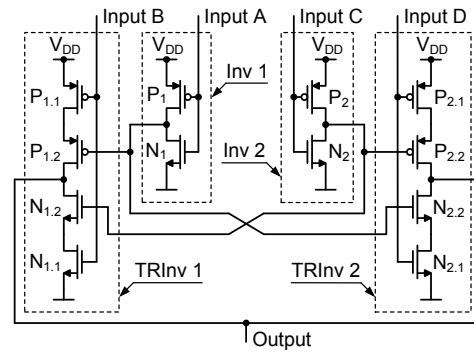


Рис. 12. Схема блока комбинационной логики на двух инверторах с тремя состояниями TRInv 1 и TRInv 2 и двух обычных инверторах Inv 1 и Inv 2 в составе элемента памяти с чтением данных в нестационарном состоянии ячейки STG DICE.

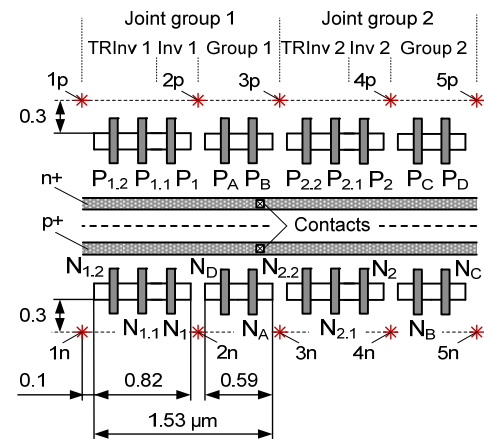


Рис. 13. Эскиз топологии элемента памяти с чтением данных в нестационарном состоянии ячейки памяти STG DICE, звездочками отмечены точки входа треков в поверхность кристалла.

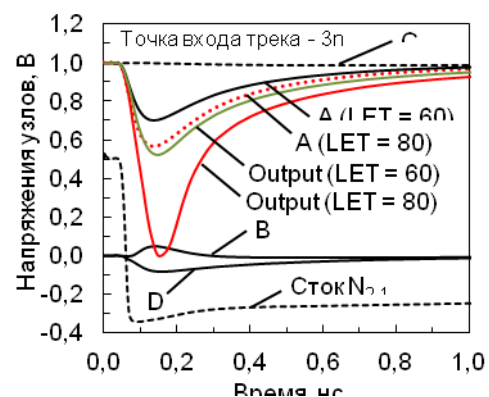


Рис. 14. Напряжения на узлах элемента памяти с чтением в нестационарном состоянии ячейки STG DICE при сборе заряда с трека с точкой входа 3п (см. рис. 13); исходное состояние узлов ячейки памяти ABCD = 1010, Input 1 = "1", LET = 60 и 80 $\text{МэВ} \times \text{см}^2/\text{мг}$.

заряд при хранении “1” в элементе памяти. При хранении “0” активной для сбора заряда с образованием импульса помехи на выходе данного элемента памяти является точка входа трека 1n.

Моделирование сбора заряда РМОП транзисторами с треков, проходящих в n -кармане прибора показало, что при состоянии узлов элемента совпадения ABCD = 0101 как для Input 1 = “0”, так и Input 1 = “1”, а также как при состоянии ABCD = 1010 для Input 1 = “0”, так и для Input 1 = “1” при LET = 60 МэВ×см²/мг напряжения на узлах ячейки памяти STG DICE сохраняются практически неизменными. При этом максимальное отклонение напряжения на выходе Output (то есть амплитуда импульса напряжения помехи) элемента при этом не превышает 0.17 В от номинального напряжения 1 В или 0 В для соответствующего значения логического уровня. Этот результат характеризует отсутствие помех при сборе заряда РМОП транзисторами как в случаях совпадения данных в ячейке памяти с данными на входе Input 1 элемента, так при несовпадении данных.

На Рис. 15 приведены зависимости амплитуды и длительности импульса помехи на выходе комбинационной логики элемента памяти с чтением в нестационарном состоянии как функции смещения точки входа трека (трек по нормали к поверхности кристалла) от координаты 1n до 5n, начальное состояние STG DICE ABCD = 1010, LET = 60 МэВ×см²/мг. Минимальное расстояние между взаимно чувствительными к сбору заряда транзисторами N_D и N_B двух групп транзисторов ячейки STG DICE составляет $D_{DB} = 1.53$ мкм. Амплитуда помехи не превышает 0.4 В, длительность менее 200 пс и только для двух точек входа треков 1n и 3n.

6. Вывод заряда с трека через контакты к защитным диффузионным полосам

Во время сбора заряда транзисторами как ячейки памяти STG DICE, так и блока комбинационной логики происходит и одновременный вывод образованного на треке заряда на общую шину и шину питания элемента токами через защитные полосы n^+ и p^+ типа и омические контакты к ним. Основные омические контакты были

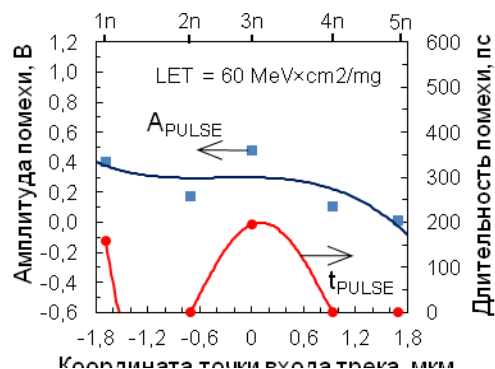


Рис. 15. Амплитуда и длительность импульса помехи на выходе комбинационной логики элемента памяти с чтением данных в нестационарном состоянии в зависимости от точки входа трека при хранении “1”.

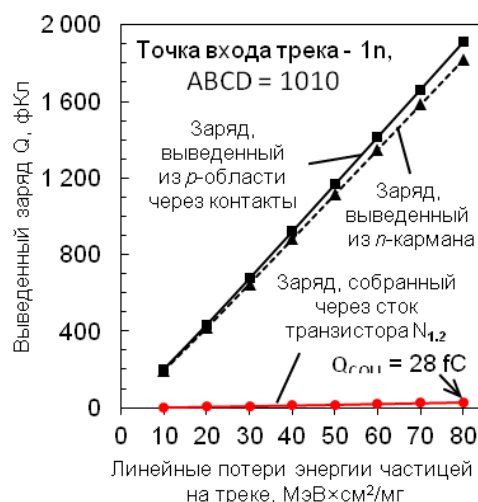


Рис. 16. Значения выведенных зарядов из кристалла элемента сопоставления в зависимости от линейных потерь энергии частиц на треке: точка входа трека 1n; интегрирование импульсов тока, выводящих заряды, длилось 20 нс.

расположены рядом с транзисторами N_A и P_B элемента сопоставления (см. рис. 9).

На Рис. 16 приведены значений собранных зарядов для элемента сопоставления [12] в зависимости от линейных потерь энергии частиц на треке в диапазоне 10–80 МэВ×см²/мг. Это заряды, выводимые через контакты из p -области, из n -кармана, и заряд, собранный через стоковый pn переход транзистора $N_{1,2}$ инвертора с тремя состояниями TRInv 1, образованный на треке с координатой входа 1n для топологии элемента сопоставления на Рис. 8.

Заряд, выведенный через контакты к p -области (график на рис. 16) при линейных потерях энергии частиц на треке

80 МэВ×см²/мг, составил 1900 фКл, что соответствует генерации заряда в кремнии на отрезке трека длиной 2.6 мкм, равной толщине кристалла. Заряд, выведенный через n^+ контакт к n -карману, составил 1820 фКл при LET = 80 МэВ×см²/мг. При этом заряд, одновременно собранный с того же трека через транзистор N_{1,2} инвертора TRInv 1, составил 28 фКл.

7. Заключение

КМОП ячейки памяти STG DICE по объемной 65-нм технологии без чередования групп транзисторов и логические элементы на их основе характеризуются отсутствием сбоев при воздействии одиночных ядерных частиц с линейными потерями энергии на

треке до 60 МэВ×см²/мг. Использование чередования повышает устойчивость к сбоям. При линейных потерях энергии на треке 60 МэВ×см²/мг длительности помех на выходе элементов сопоставления не превышают 0.6 нс с максимумом амплитуды 1.3 В, а для элементов маскирования длительность 0.2 нс с амплитудами менее 0.4 В.

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0009 «Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ»

Simulation of failure stability of CMOS elements for associative memory using TCAD

Yu.V. Katunin, V.Ya. Stenin

Abstract. TCAD simulation of effects of single nuclear particles to the STG DICE memory cells (Spaced Transistor Groups DICE) were made with the tracks on lines connecting the drains of mutually sensitive CMOS transistors inside one group of transistors, and between the two groups at depths ranging from 50 nm to 850 nm from the chip surface. The impacts of the charge from the track only on one group of transistors does not lead to the upset of STG DICE cells for tracks at depths 450–850 nm in range of linear energy transfer (LET) on tracks 1–60 MeV×cm²/mg. The cell upset is possible when the particle tracks are along the line joining the two groups of cell transistors, and angular deviation from it is in the range of 40°. At the direction of the track normal to the chip surface failure is possible if the LET is more than 50–60 MeV×cm²/mg. TCAD simulation results obtained for logical elements of matching and masking on the STG DICE cell confirm their stability to single nuclear particles with LET up to 60 MeV×cm²/mg. Short-term noise pulses are possible at the output of the combinational logic at LET from 30 MeV×cm²/mg.

Keywords: memory cell, logical element, simulation, single nuclear particle, topology, design, failures.

Литература

1. D. Giot, P. Roche, G. Gasiot, J.-L. Autran, R. Harboe-Sørensen. Heavy ion testing and 3D simulations of Multiple Cell Upset in 65nm standard SRAMs. «IEEE Transactions on Nuclear Science», v. 55 (2008), № 4, 2048 – 2054.
2. S. Uznanski, G. Gasiot, P. Roche, C. Tavernier, J.-L. Autran. Single event upset and multiple cell upset modeling in commercial bulk 65-nm CMOS SRAMs and flip-flops. «IEEE Transactions on Nuclear Science», v. 57 (2010), № 4, 1876 – 1883.
3. T. Wang, L. Xiao, Q. Huang. Simulation study of single event effect for different N-well and Deep-N-well doping in 65nm triple-well CMOS devices. «Proceedings of International Conference on Optoelectronics and Microelectronics – 2012», 505 – 509.
4. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами. «Микроэлектроника», т. 45 (2016), № 6, 456 – 470.
5. T. Calin, M. Nicolaidis, R. Velazco. Upset hardened memory design for submicron CMOS technology. «IEEE Transactions on Nuclear Science», v. 43 (1996), № 6, 2874 – 2878.

6. В.Я. Стенин. Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц. «Микроэлектроника», т. 44 (2015), № 5, 368–379.
7. В.Я. Стенин, П.В. Степанов. Базовые элементы памяти на основе ячеек DICE для сбоеустойчивых КМОП 28 нм ОЗУ. // «Микроэлектроника», т. 44 (2015), № 6, 416 – 427.
8. R. Garg, S.P. Khatri. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York, Springer, 2010. 194 – 205.
9. M.P. Baze, B. Hughlock, J. Wert, J. Tostenrude, L. Massengill, O. Amusan, R. Lacoe, K. Lilja, M. Johnson. Angular dependence of single-event sensitivity in hardened flip/flop design. «IEEE Transactions on Nuclear Science», v. 55 (2008), № 6, 3295 – 3301.
10. K. Warren, A. Sternberg, J. Black, R. Weller, R. Reed, M. Mendenhall, R. Schrimpf, L. Massengill. Heavy ion testing and single-event upset rate prediction considerations for a DICE flip-flop. «IEEE Transactions on Nuclear Science», v. 56 (2009), № 6, 3130 – 3137.
11. Ю.В. Катунин, В.Я. Стенин. TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE. «Микроэлектроника», т. 47 (2018), № 1, 23–37.
12. Ю.В. Катунин, В.Я. Стенин. Элемент совпадения на основе ячейки памяти STG DICE для ассоциативных запоминающих устройств, сбоеустойчивых к воздействиям одиночных ядерных частиц. «Микроэлектроника», т. 47 (2018), № 2, 158–174.
13. Yu.V. Katunin, V.Ya. Stenin. TCAD Simulation of Single-Event Transients in the 65-nm CMOS Element of Matching for a Content-Addressable Memory. «Proc. of 25th Telecommunications Forum (TELFOR). – Belgrade, 21–22 Nov. 2017», 486–489.
14. Yu.V. Katunin, V.Ya. Stenin. The STG DICE Cell with the Decoder for Reading Data in Steady and Unsteady States for Hardened SRAM. «Proc. of RADECS – Geneva, October 2017», 1 – 8.
15. Yu.V. Katunin, V.Ya. Stenin. Elements for Upset Hardened Associative Memories. «Proc. of 7th International Conference on Modern Circuits and Systems Technologies (MOCASST). – Thessaloniki, 7–9 May 2018», 1 – 4.

65-нм КМОП буфер ассоциативной трансляции на элементах с повышенной устойчивостью к воздействию отдельных ядерных частиц

П.В. Степанов¹, В.Я. Стенин², Ю.В. Катунин³, А.В. Антонюк⁴

^{1,2,3,4} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ^{2,4} НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹ stepanov@cs.niisi.ras.ru, ² vystenin@mephi.ru, ³ katunin@cs.niisi.ras.ru, ⁴ antonjuk@cs.niisi.ras.ru.

Аннотация. Логические элементы сопоставления и маскирования буфера ассоциативной трансляции разработаны на основе методологии STG DICE ячеек памяти для 65-нм объемной КМОП-технологии. Устойчивость к воздействию одиночных ядерных частиц достигается за счет специального разделения транзисторов ячейки памяти и выходной комбинационной логики на две группы и взаимного разнесения этих групп на кристалле. Сбор заряда с треков частиц транзисторами только одной из двух групп не приводит к сбою логического состояния элементов. Логические элементы на основе ячейки STG DICE моделировались с использованием средств TCAD, результаты которого подтверждают устойчивость элементов к воздействию одиночных ядерных частиц с линейными потерями энергии до $60 \text{ МэВ} \times \text{см}^2/\text{мг}$. Кратковременные импульсы помех возможны на выходе комбинационной логики в диапазоне от 30 до $60 \text{ МэВ} \times \text{см}^2/\text{мг}$.

Ключевые слова: ассоциативная память, логический элемент, моделирование, одиночная ядерная частица, топология, проектирование, сбой, ячейки памяти.

1. Введение

Буфер ассоциативной трансляции (translation lookaside buffer – TLB) является кэш-блоком микропроцессора, служащим для ускорения преобразования виртуальных адресов в физические. Потребляемая блоком TLB мощность является заметной частью потребления микропроцессором [1]. Сбои в TLB с высокой вероятностью проявляются на системном уровне [2, 3]. Программные и алгоритмические методы [2, 4] могут уменьшить эту вероятность на 15-25%, но не устранить полностью.

В настоящее время КМОП логические элементы сопоставления в ассоциативной памяти строятся на 6Т КМОП ячейках памяти и комбинационных логических элементах. Ячейка ассоциативной памяти троичного типа, заявленная как устойчивая [5], содержит 6-транзисторные КМОП ячейки памяти, пороги сбоев которых значительно уменьшились при переходе на нормы 65-28 нм КМОП технологии. Нами предложено эффективное решение повышения устойчивости к сбоям логических элементов за счет использования КМОП ячейки памяти STG DICE [6] и методологии разделения элементов на две группы транзисторов [7, 8].

2. Функциональная схема

Функциональная схема 65 нм КМОП буфера ассоциативной трансляции по нормам изготовления СБИС объемной технологии приведена на Рис. 1. Основными блоками TLB являются блок ассоциативной памяти CAM (content addressable memory) на 64-слова и блок памяти RAM. TLB включает буферный блок R/W BUF, содержащий входные и выходные триггеры данных, буферы записи, усилители чтения, элемент контроля четности и достоверности; блок управления режимом работы – CONTROL; дешифратор адреса DEC; выходной шифратор адреса ENCOD.

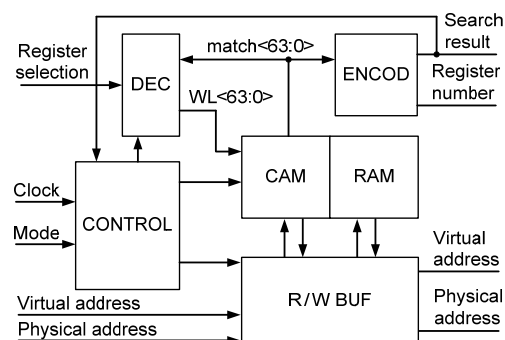


Рис. 1. Функциональная схема буфера ассоциативной трансляции – TLB.

Площадь элементов определяется наибольшей из площадей – занятой транзисторами или металлизацией. Ячейки STG DICE обладают большим количеством соединений по сравнению с 6Т ячейками и их площадь определяется площадью металлизации, что дает возможность увеличить ширину транзисторов без дополнительных затрат площади кристалла, обеспечив запас помехоустойчивости и быстродействия при чтении и записи по одному и тому же порту по сравнению с 6Т ячейками. Отказ от дополнительного порта чтения, применявшегося в работах [10, 11], позволил избежать избыточных затрат площади.

На Рис. 5 приведен вариант топологии элемента сопоставления, транзисторы которого сгруппированы в двух одинаковых по составу группах, обозначенных как Joint group 1 и Joint group 2. Каждая из этих групп включает транзисторы одной из групп Group 1 или Group 2 ячейки STG DICE и транзисторы одного из двух инверторов с тремя состояниями TRInv 1 или TRInv 2.

Увеличить расстояние между взаимно чувствительными узлами групп Joint group 1 и Joint group 1 можно, используя чередование групп смежных элементов в регистре блока CAM. На Рис. 5 звездочками отмечены точки входов треков частиц в кристалл с направлением треков по нормали к его поверхности, использованные при TCAD-моделировании [12]. Сбор заряда N МОП транзисторами происходит с треков 1n–5n, а сбор заряда P МОП транзисторами – с треков с входами 1p–5p. По результатам моделирования, сбор заряда при линейных потерях энергии частиц до $60 \text{ МэВ} \times \text{см}^2/\text{мг}$ не приводит к сбою элемента сопоставления [12, 13], однако на выходе комбинационной логики XOR возможно образование импульсов напряжения помех при линейных потерях энергии от 30 до $60 \text{ МэВ} \times \text{см}^2/\text{мг}$.

4. Элемент памяти для элемента маскирования

На Рис. 6 приведена схема элемента памяти с чтением данных в нестационарном состоянии STG DICE, использованного как элемент памяти логического элемента маскирования «mask cell». Элемент памяти включает ячейку памяти STG DICE и блок чтения данных, состоящий из двух инверторов с третьим состоянием TRInv 1,

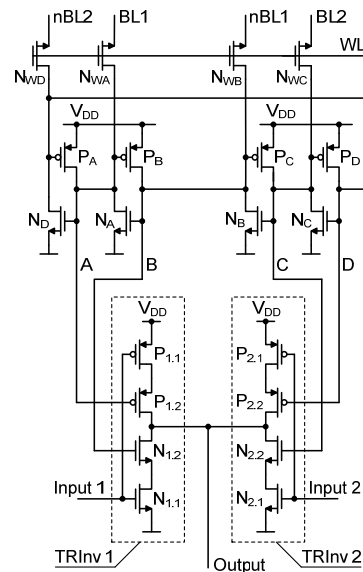


Рис. 4. Схема логического элемента сопоставления.

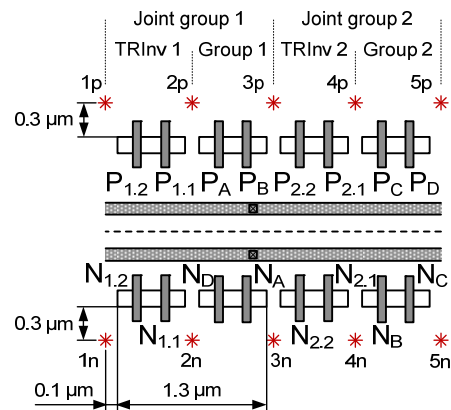


Рис. 5. Эскиз варианта топологии элемента сопоставления без чередования транзисторных групп с другим элементом.

TRInv 2 и двух обычных инверторов Inv 1, Inv 2.

На Рис. 7 приведен эскиз топологии элемента памяти с чтением данных в нестационарном состоянии ячейки STG DICE. Транзисторы элемента памяти на рис. 7 разделены на две группы Joint group 1 и Joint group 2. Группа Joint group 1 включает транзисторы группы Group 1 ячейки STG DICE, транзисторы инверторов TRInv 1 и Inv 1, а группа Joint group 1 включает транзисторы групп с индексом 2. Расстояние между чувствительными узлами двух групп $D_{\text{MIN}} = D_{\text{DB}} = 1.53 \text{ мкм}$. Ячейка STG DICE может перейти в нестационарное состояние, но при этом блок чтения данных формирует достоверный выходной сигнал.

овал) или «облаков дырок» (*p*-овал) при воздействии одиночной частицы [16, 17].

Инверсия истинного логического состояния на выходе двухвходового элемента NAND или NOR, возникающая при сборе их выходными транзисторами заряда с трека частицы, может быть скомпенсирована инверсией сигнала на входе этих элементов за счет сбора заряда с того же трека предыдущим элементом в «дереве» связей элементов NOR и NAND (см. Рис. 8).

На рис. 9 представлен элемент 8NAND, содержащий шесть групп G1-G6 с транзисторами из соседних логических элементов и одним дополнительным транзистором. Например, в группе G1 имеются транзисторы N1.1, N1.2, N5.1 из элементов D1 и D5 и дополнительный транзистор NC5.1. Выходные группы G5 и G6 включают дополнительные транзисторы PC7.1, PC7.2 вместе с основными из элементов D5, D6 на Рис. 8. Транзисторы внутри групп должны располагаться близко для обеспечения лучшей зарядовой связи.

Результаты TCAD моделирования таковы, что амплитуды импульсов помех на выходе элемента D5 в случае отсутствия компенсации, равны 1 В при воздействии частицы с потерями энергии 60 МэВ×см²/мг на стоки транзисторов N1.1 или N1.2 (Рис. 9). Амплитуда импульса помехи на выходе D5 при введении компенсации снижается до 0.17 В при прямом воздействии в сток транзистора N1.1 и равна нулю для остальных входов треков.

6. Базовый элемент памяти блока RAM

Эскиз топологии базового элемента памяти блока RAM представлен на Рис. 10. Базовый элемент памяти состоит из четырех STG DICE ячеек памяти [6]. Группы транзисторов обозначены на Рис. 10 двумя цифрами: первая из них - это номер ячейки памяти, а вторая цифра - это номер группы транзисторов внутри этой ячейки.

Разнесение двух групп транзисторов каждой ячейки достигается в результате чередования групп транзисторов четырех ячеек памяти внутри базового элемента. Две группы одной ячейки памяти соединены только двумя линиями, что позволило исключить избыточные затраты площади кристалла. При этом минимальное расстояние между взаимно чувствительными

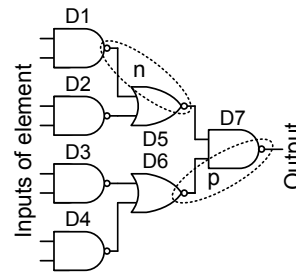


Рис. 8. Логический элемент 8NAND.

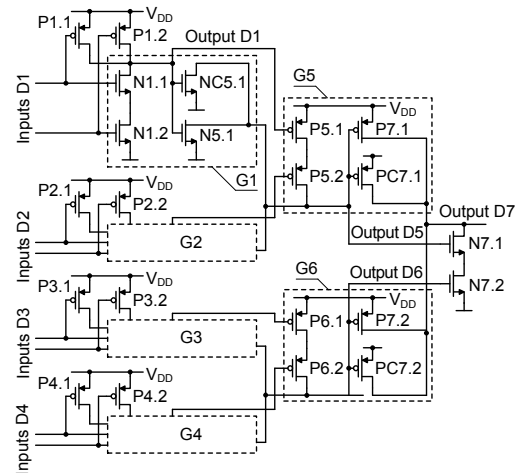


Рис. 9. Эскиз топологии элемента 8NAND с компенсирующими транзисторами.

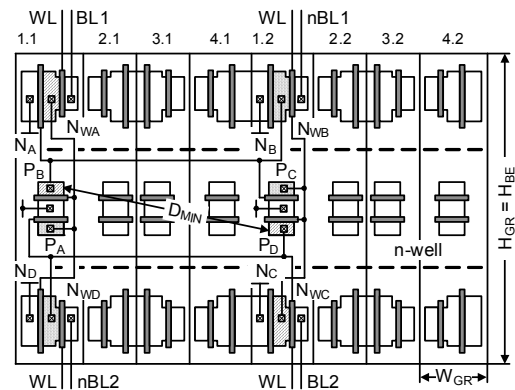


Рис. 10. Эскиз топологии базового элемента памяти блока RAM, включающий четыре ячейки STG DICE с чередованием групп транзисторов.

узлами $D_{MIN} = 2.95$ мкм. Площадь базового элемента памяти всего на 15% превышает площадь четырех ячеек памяти DICE с традиционной топологией.

Как и в элементах сопоставления блока CAM, площадь базового элемента памяти RAM определяется площадью металлизации, что позволяет увеличить ширину транзисторов без дополнительных затрат площади кристалла. Это позволило не

На Рис. 12 приведена топология основных блоков TLB на кристалле в соответствии с функциональной схемой на Рис. 1.

Геометрические, временные и энергетические параметры даны в таблице. Размеры кристалла: 353×278 мкм² при площади 0.098 мм².

Предлагаемый TLB содержит только один элемент расчета четности (вместо одного элемента на слово), который помещается в блоке чтения и записи R/W BUF. Блоки CAM, RAM и блок R/W BUF содержат только устойчивые к сбоям элементы и занимают 87% кристалла; 5% площади занято элементами традиционной КМОП логики, 8% площади не занято.

Оценочное значение энергетической добротности блока CAM TLB при поиске данных составляет 9.15–12.6 фДж/бит/поиск, что больше, чем у лучших традиционных 65 нм КМОП блоков ассоциативной памяти 0.77–2.0 фДж/бит/поиск [19], что связано с дополнительными аппаратными и энергетическими затратами данного проекта.

9. Заключение

Спроектирован буфер ассоциативной трансляции, все блоки которого выполнены на основе ячеек памяти STG DICE или по методике разделения транзисторов на две группы с разнесением этих групп на кристалле. Это блоки CAM, RAM, блоки чтения и записи данных. Пороги устойчивости к сбоям всех блоков TLB по результатам моделирования средствами TCAD оцениваются значениями линейных потерь энергии одиночными ядерными частицами не менее 60 МэВ×см²/мг.

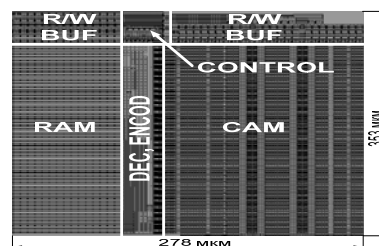


Рис. 12. Топология TLB.

Таблица. Параметры спроектированного буфера ассоциативной трансляции (TLB)

Параметр	Значение
Проектная норма, нм	65
Напряжение питания, В	1.0
Размеры (высота × ширина), мкм ²	353×278
Частота синхронизации, МГц	Больше 600
Емкость блока CAM, бит	64×47
Емкость блока RAM, бит	64×59
Мощность при записи, мВт	37.25
Мощность при поиске, мВт	43.13
Мощность при чтении, мВт	20.42
Задержка считывания при поиске, нс	1.19
Задержка при чтении по адресу, нс	1.15

Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0009 «Архитектурные и схемотехнические методы снижения энергопотребления и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ».

65-nm CMOS translation lookaside buffer on the elements with increased resistance to the effects of single nuclear particles

P.V. Stepanov, V.Ya. Stenin, Yu.V. Katunin, A.V. Antonyuk

Abstract. The article presents the circuitry and topology of the translation lookaside buffer based on the methodology of STG DICE memory cells for 65-nm bulk CMOS-technology. Resistance to single nuclear particles is achieved by separating the memory cell transistors together with the output combinational logic transistors into two groups and splitting these groups on the crystal. The collection of charge from particle tracks by transistors of only one of the two groups does not cause the logical state of the memory cell to fail and does not change the state of the logical elements of matching and masking. Logical elements of matching and masking based on the STG DICE cell were modeled using TCAD tools. The simulation results confirm the stability of the elements to single nuclear particles with linear energy transfer up to 60 MeV×cm²/mg. Short-term noise pulses are possible at the output of the combinational logic of the elements in the range from 30 to 60 MeV×cm²/mg.

Keywords: memory, logical element, simulation, nuclear particle, topology, design, failures, cell.

Литература

1. Y. Chang, M. Lan. Two new techniques integrated for energy-efficient TLB design. «IEEE Trans. VLSI Systems», v. 15 (2007), № 1, 13 – 23.
2. A. Biswas, P. Racunas, R. Cheveresan, J. Emer, S. Mukherjee, R. Rangan. Computing architectural vulnerability factors for address-based structures. «Proc. of the 32nd Int. Symposium on Computer Architecture (ISCA'05). – Jun. 2005», 532 – 543.
3. K.F. Ng, K.W. Hsu. A parallel-segmented architecture for low power content-addressable memory. «Int. Conf. on Very Large Scale Integration (VLSI-SoC). – Florianopolis, Oct. 2009», 1 – 4.
4. F. Li, M. Kandemir. Increasing data TLB resilience to transient errors. «Proc. of IEEE Symposium on VLSI: New Frontiers in VLSI Design (ISVLSI'05). – May 2005», 1 – 2.
5. N. Eftaxiopoulos, N. Axelos, K. Pekmestzi. Low leakage radiation tolerant CAM/TCAM cell. «IEEE Int. On-Line Testing Symposium (IOLTS). – Jul. 2015», 206 – 211.
6. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами. «Микроэлектроника», т. 45 (2016), № 6, 456 – 470.
7. В.Я. Стенин. Моделирование характеристик КМОП 28-нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц. «Микроэлектроника», т. 44 (2015), № 5, 368–379.
8. Ю.В. Катунин, В.Я. Стенин. TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE. «Микроэлектроника», т. 47 (2018), № 1, 23–37.
9. А.В. Антонюк, В.Я. Стенин. Моделирование переходных процессов в 65 нм КМОП логическом элементе сравнения для ассоциативных запоминающих устройств при воздействии одиночных ядерных частиц. «Вестник НИЯУ МИФИ», т. 5 (2016), № 5, 445 – 453.
10. П.Г. Кириченко, Л.А. Соловьева, И.В. Тарасов. Проектирование 14-портового регистрового файла и буфера трансляции адресов со сниженным потреблением с учетом особенностей технологии 28 нм. «Проблемы разработки перспективных микро- и наноэлектронных систем. – Москва, 2016 г. (сборник трудов, часть III.)», М.: Изд-во ИППМ РАН, 2016, 129 – 135.
11. Ю.М. Потовин, С.А. Соин. Разработка быстродействующего блока памяти с ассоциативной выборкой. «Проблемы разработки перспективных микро- и наноэлектронных систем. – Москва, 2014 г. (сборник трудов, часть IV.)», М.: Изд-во ИППМ РАН, 2014, 29 – 32.
12. Ю.В. Катунин, В.Я. Стенин. Элемент совпадения на основе ячейки памяти STG DICE для ассоциативных запоминающих устройств, сбоеустойчивых к воздействиям одиночных ядерных частиц. «Микроэлектроника», т. 47 (2018), № 2, 158–174.
13. Yu.V. Katunin, V.Ya. Stenin. Elements for Upset Hardened Associative Memories. «Proc. of 7th International Conference on Modern Circuits and Systems Technologies (MOCASST). – Thessaloniki, 7–9 May 2018», 1 – 4.
14. Л.А. Соловьева. Проектирование гибридного регистра ассоциативной памяти. «Проблемы разработки перспективных микро- и наноэлектронных систем. – Москва, 2016 г. (сборник трудов, часть III.)», М.: Изд-во ИППМ РАН, 2016, 171 – 177.
15. A.V. Antonyuk, P.V. Stepanov. Comparison of the matching circuits for the 65-nm CMOS translation lookaside buffers. «Proc. of Workshop on Electronic and Networking Technologies (MWENT). – Moscow, 14-16 March 2018», 1 – 4.
16. Yu.V. Katunin, V.Ya. Stenin, A.V. Antonyuk. Design of Logical Elements with Single-Event Compensation for the 28-nm CMOS Decoders. «Proc. of 24th Telecommunications Forum (TELFOR). – Belgrade, 22–23 Nov. 2016», 617–620.
17. Yu.V. Katunin, V.Ya. Stenin. TCAD Simulation of the 65-nm CMOS Logical Elements of the Decoders with Single-Event Transients Compensation. «Proc. of 2018 Workshop on Electronic and Networking Technologies (MWENT). – Moscow, 14–16 March 2018», pp. 1–4.
18. Yu.V. Katunin, V.Ya. Stenin. Design and simulation of the CMOS RS logical elements with spacing between transistor groups for minimization of single-event upsets. «Proc. of Workshop on Electronic and Networking Technologies (MWENT). – Moscow, 14-16 March 2018», 1 – 4.
19. A.T. Do, C. Yin, K. Velayudhan, Z.C. Lee, K.S. Yeo, T.T. Kim. 0.77 fJ/bit/search content addressable memory using small match line swing and automated background checking scheme for variation tolerance. «IEEE J. Solid-State Circuits». v. 49 (2014), № 7, 1487 – 1498.

Повышение надежности считывания данных в статических КМОП ОЗУ при воздействии отдельных ядерных частиц

П.В. Степанов¹, Ю.В. Катунин²

¹ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail's : ¹ stepanov@cs.niisi.ras.ru, ² katunin@cs.niisi.ras.ru

Аннотация. Ячейка памяти STG DICE обладает повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц за счет разделения транзисторов на две группы и разнесения этих групп. При воздействии частицы ячейка переходит в нестационарное состояние длительностью до 1 нс. Известные схемы считывания данных ячейки памяти STG DICE используют данные одного, двух или четырех узлов ячейки. Представленный блок чтения на основе считывающих усилителей со смещенной передаточной характеристикой отличается способностью осуществить чтение данных в нестационарном состоянии ячейки, определяя два из четырех узлов ячейки STG DICE, сохраняющих свое состояние.

Ключевые слова: ячейка памяти, одиночная ядерная частица, нестационарное состояние, чтение данных, моделирование

1. Введение

Основой сбоеустойчивых статических КМОП ОЗУ является ячейка памяти DICE [1]. При уменьшении проектных норм до 65-28 нм снижается расстояние между чувствительными узлами ячеек DICE с традиционной топологией, из-за чего растет частота сбоев.

Снизить частоту сбоев позволяет использование ячейки памяти STG DICE [2]. Высокая сбоеустойчивость достигается разнесением двух групп транзисторов такой ячейки на кристалле. Повышение надежности блоков статических ОЗУ требует обеспечения сбоеустойчивости не только при хранении данных, но и в других режимах.

Воздействие отдельной ядерной частицы на КМОП ячейку памяти STG DICE вызывает импульсы помехи напряжения на ее узлах, приводя ячейку в нестационарное состояние [3], из которого ячейка возвращается в исходное состояние, либо происходит сбой. Характерная для технологий КМОП 65 нм и 28 нм длительность нахождения ячейки STG DICE в нестационарном состоянии составляет 0.1-1.0 нс [3]. Достоверное чтение данных в нестационарном состоянии ячейки памяти STG DICE [4] позволяет повысить надежность считывания данных. Для этого блок чтения среди четырех узлов ячейки должен определить два узла, сохранивших логические уровни стационарного состояния.

2. Ячейка памяти STG DICE при воздействии отдельной ядерной частицы

Ячейка памяти STG DICE, представленная на Рис. 1, выполняется с разделением транзисторов на две группы и пространственным разнесением двух групп транзисторов одной ячейки. Воздействие отдельной ядерной частицы на одну из двух групп не приводит к сбою состояния ячейки памяти, но переводит ячейку во временное нестационарное состояние [3]

В стационарном состоянии ячейки в каждой группе одна пара транзисторов находится в запертом состоянии, а другая – в открытом. При воздействии на одну группу транзисторов ячейки свое состояние сохраняет внутренний узел второй группы транзисторов (узел D на Рис. 1), а внутренний узел первой группы транзисторов, при этом, меняет свое состояние на инверсное (узел B на Рис. 1). Из двух оставшихся узлов A и C, общих для двух групп транзисторов, один узел сохраняет свое состояние, а оба транзистора другого узла оказываются открытыми. На этом узле устанавливается напряжение $U_{ilp} \times b$. В Табл. 1 приведены 12 возможных комбинаций логических уровней на узлах ячейки. Жирным шрифтом выделены логические состояния узлов, сохраняющих свое состояние в нестационарном состоянии ячейки

3. Считывание данных ячейки памяти DICE

При записи данных в ячейку памяти DICE, 4 узла ячейки памяти через открытые транзисторы выборки подключаются к битовым линиям, на которые выставлены записываемые данные. Из четырех узлов ячейки два содержат прямые данные, а два – инверсные.

Чтение данных ячейки DICE в общем случае возможно осуществить с одного, двух или четырех узлов ячейки. Чтение данных с одного узла ячейки DICE [1, 5, 6] выполняется при помощи порта чтения, добавляемого в состав ячейки памяти. Добавление двух NМОП транзисторов порта, дополнительной битовой линии и линии адреса, управляющей портами чтения ячеек одной строки приводит к увеличению площади ячейки памяти и всего накопителя. Преимущество такой схемы в том, что заряженная битовая линия не влияет на состояние узла ячейки памяти при чтении, а значит, не имеет значения запас статической помехоустойчивости ячейки при чтении. В результате воздействия отдельной ядерной частицы в режиме чтения состояние такой ячейки сохранится так же хорошо, как и в режиме хранения. Но, результат чтения данных такой ячейки памяти непосредственно в нестационарном состоянии зависит от состояния узла, к которому подключен порт чтения и не может быть определен достоверно.

Использование для чтения и записи одних и тех же транзисторов выборки и битовых линий позволяет отказаться от дополнительного порта чтения и избежать увеличения площади накопителя.

В этом случае, узлы ячейки через открытые транзисторы выборки подключаются к предварительно заряженным битовым линиям. Линии, соединенные с узлом D-триггера в состоянии логического «0», разряжаются через транзисторы ячейки памяти, а другие битовые линии сохраняют свое состояние. Паразитная емкость битовой линии значительно превышает емкость узла триггера, что вызывает импульс помехи напряжения на узлах ячейки в состоянии логического «0», через которые разряжается битовая линия. Такая схема требует достаточного запаса статической помехоустойчивости ячейки в режиме чтения. Существует несколько вариантов реализации такого принципа чтения.

Таблица 1. Логические уровни на выводах ячейки STG DICE в нестационарных состояниях при воздействии одиночной частицы одну из двух групп транзисторов ячейки.

Варианты сочетания уровней на узлах (выводах) ячейки	Уровни при чтении "0" ABCD 0101	Уровни при чтении "1" ABCD 1010
nc1a / nc1b	00b1 / b100	0b10 / 100b
nc2a / nc2b	0b11 / 110b	b110 / 10b1
nc3a / nc3b	0011 / 1100	0110 / 1001

Часто, четыре узла ячейки памяти DICE через четыре транзистора выборки подключаются к двум битовым линиям [1, 7 – 10]: к каждой из двух битовых линии подключаются два узла ячейки памяти в одинаковом логическом состоянии.

При чтении, фактически, используются данные двух узлов в разных логических состояниях. Такое подключение обеспечивает большую нагрузочную способность ячейки.

Недостатком такой схемы является распространение импульса напряжения помехи, возникшего на одном из узлов в результате воздействия отдельной ядерной частицы, на другой узел, подключенный к той же битовой линии [11].

Большая паразитная емкость битовой линии уменьшает распространение импульса напряжения помехи на другой узел.

Возможно использование данных с четырех узлов в режиме двух-портового чтения.

Необходимо подключение к одной ячейки памяти двух сигналов выборки [12],

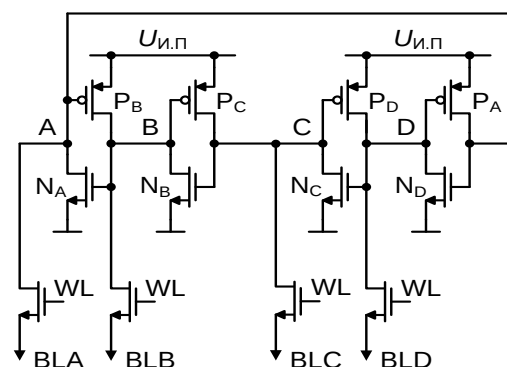


Рис. 1. Ячейка памяти STG DICE.

что увеличивает площадь металлизации.

При считывании с двух узлов ячейки, считываемый сигнал представлял собой разность прямого и инверсного сигналов. В этом случае, блок чтения данных статического КМОП ОЗУ на основе ячеек памяти DICE может быть выполнен аналогично блоку чтения данных статического КМОП ОЗУ на основе шести-транзисторных ячеек памяти.

Используя те же транзисторы выборки, что и для записи данных, можно считывать данные четырех узлов.

В патенте [13] приводится алгоритмический подход получения данных из массива ячеек памяти DICE с двумя битовыми линиями и двумя инверсными битовыми линиями.

Для чтения используются четыре дифференциальных считывающих усилителя, каждый из которых соединен с прямой и инверсной битовыми линиями. Для двух прямых и двух инверсных битовых линий существует 4 комбинации из прямой и инверсной битовых линий, таким образом, для каждого усилителя используется своя комбинация.

Так же, используя данные четырех узлов ячейки памяти STG DICE, возможно осуществить достоверное чтение в нестационарном состоянии ячейки памяти, вызванном воздействием отдельной ядерной частицы. Осуществить такое чтение позволяет блок чтения данных на основе считывающего усилителя со смещенными передаточными характеристиками [4].

4. Функциональная схема блока чтения данных

При чтении ячейки памяти STG DICE состояние четырех узлов триггера ячейки А, В, С и D через открытые транзисторы выборки выставляется на предварительно заряженные битовые линии BLA, BLB, BLC, BLD. Блок чтения сигналов (рис. 2) представляет собой два считывающих усилителя с регулируемым смещением передаточных характеристик [4], объединенных по ИЛИ. Входы 1 и 2 одного усилителя подключены к битовым линиям BLA и BLB, а второго – к битовым линиям BLC и BLD, соответственно.

Схема считывающего усилителя с отражателем тока на PMOП транзисторах и NМОП транзистором для смещения передаточных характеристик усилителя представлена на Рис. 3. Передаточные

характеристики считывающего усилителя, выполненного по технологии КМОП 28 нм, приведены на Рис. 4 и представляют собой трехмерную зависимость напряжения на выходе от напряжений на входах 1 и 2 при напряжении смещения $U_{CM} = 0.5$ В на затворе смещающего NМОП транзистора.

Передаточные характеристики не

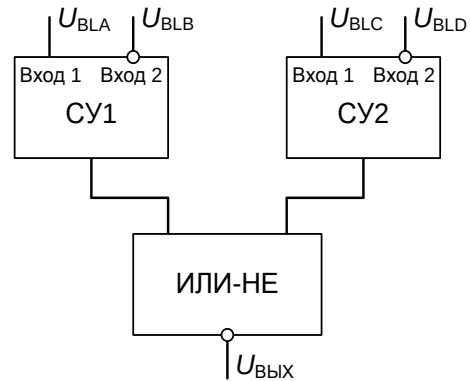


Рис. 2. Функциональная схема блока чтения.

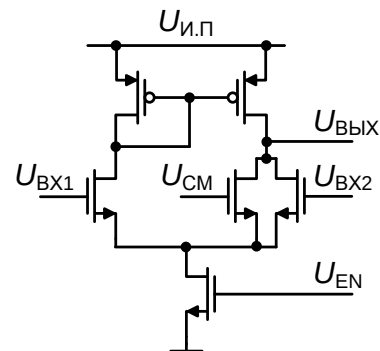


Рис. 3. Считывающий усилитель с NМОП транзистором смещения передаточных характеристик.

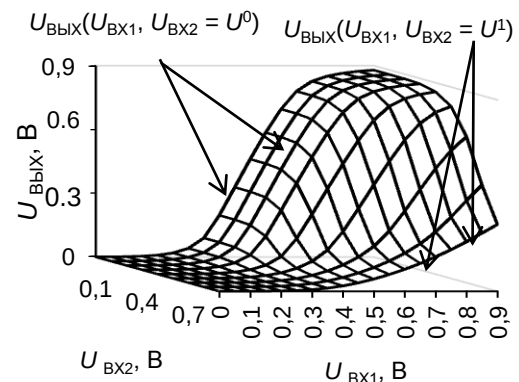


Рис. 4. Передаточные характеристики считывающего усилителя с двух входов 1 и 2 $U_{ВЫХ}(U_{ВХ1}, U_{ВХ2}, U_{CM})$ при смещении $U_{CM} = 0.5$ В.

зависят от напряжения на входе 2 усилителя при значении напряжения на входе 1 в диапазоне 0–0,35 В. Благодаря этому, напряжение на выходе усилителя $U_{\text{вых}} = 0$ в случае логического уровня «0» на входе 1 и, одновременно, логического уровня 0 или b на входе 2 усилителя, что не может быть определено обычным считывающим усилителем.

5. Результаты моделирования чтения данных

Как показывает моделирование, проведенное в симуляторе Spectre Cadence, КМОП 28 нм блок чтения на основе считывающих усилителей со смещенными переключаемыми характеристиками способен обеспечить достоверное чтение данных накопителей на основе ячеек памяти STG DICE в нестационарном состоянии ячейки, вызванным воздействием одиночной ядерной частицы на одну из групп транзисторов ячейки, так и в стационарном состоянии.

При чтении в стационарном состоянии ячейки, задержка распространения сигнала блока чтения $t_{\text{зд.р.0}} = 61$ пс для чтения «0» и $t_{\text{зд.р.1}} = 61$ пс для чтения «1». Задержка распространения сигнала не изменяется при чтении «1» в нестационарном состоянии и увеличивается вдвое при чтении «0» в нестационарном состоянии.

На Рис. 5 приведены полученные в симуляторе Spectre Cadence временные зависимости, иллюстрирующие работу блока чтения. Чтение данных STG DICE триггера, узлы ABCD которого находятся в состоянии 1010 (состояние лог. «1»), происходит с 0,1 нс по 0,52 нс. На Рис. 5а приведена временная зависимость напряжения на линии WL и импульс тока, воздействующий во время чтения данных на узел В триггера ячейки, хранящего «1». Импульс тока имитирует вывод заряда из объема полупроводника через обратно смещенный *pn* переход сток-подложка РМОП транзистора P_B . В результате воздействия, в момент времени $t = 0,2$ нс триггер переходит в нестационарное состояние B(b110), а затем при $t = 0,55$ нс возвращается в стационарное состояние. Временные зависимости напряжений на узлах триггера и битовых линиях представлены на Рис. 5б и 5в.

На выходе блока чтения, считывающего данную ячейку, сохраняется

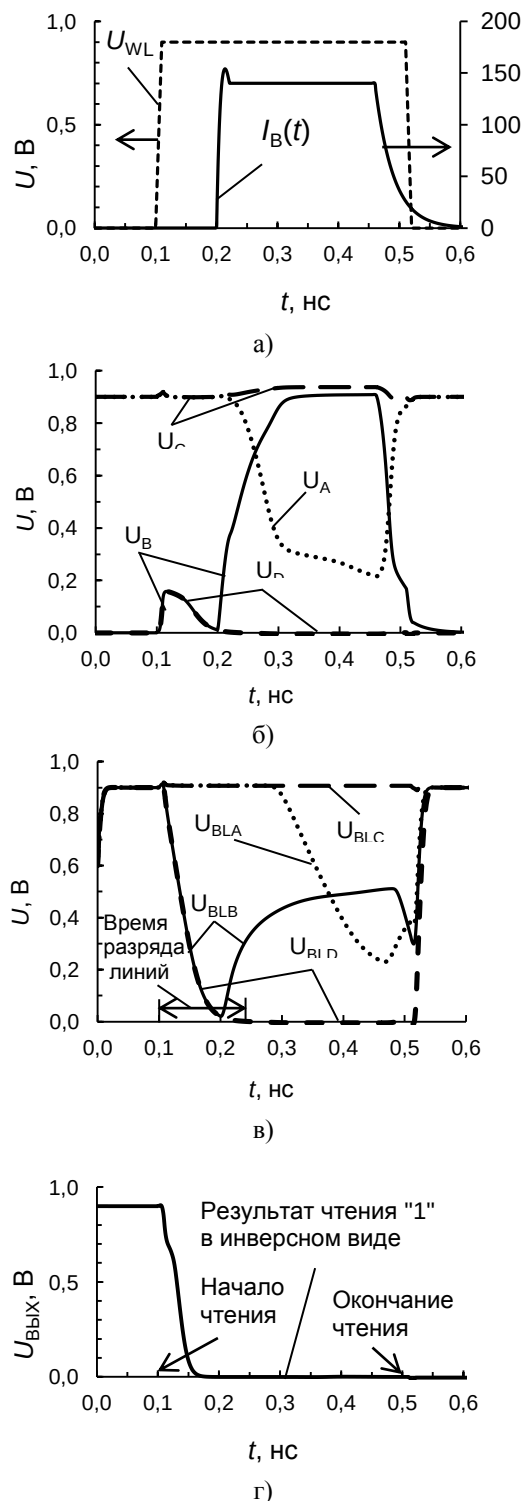


Рис. 5. Временные диаграммы при чтении нестационарного состояния B(b110): (а) напряжение на линии чтения WL и импульс воздействующего тока $I_{B(t)}$ с амплитудой 140 мкА; (б) напряжение на узлах триггера ячейки; (в) напряжение на битовых линиях массива ячеек (емкость каждой линии 3,5 фФ); (г) напряжение на выходе блока чтения.

напряжение $U_{\text{ВЫХ}} = 0$, соответствующее чтению “1” (см. Рис. 5г) в инверсном режиме в интервале от 0.1 нс до 0.52 нс при длительности воздействующего импульса тока 270 пс в интервале от 0.2 нс до 0.47 нс. Реакция ячейки на перенос заряда на узел В проявляется в изменении напряжений $U_A(t)$ и $U_B(t)$ на смежных узлах триггера А и В (см. Рис. 5б), а также изменении напряжений на битовых линиях $U_{\text{BLA}}(t)$, $U_{\text{BLB}}(t)$.

До начала чтения битовые линии заряжены до напряжения питания $U_{\text{И.П}} = 0.9$ В. Чтение начинается с отпирания транзисторов выборки. Битовые линии разряжаются через узлы ABCD находящиеся в логическом состоянии “0”, что вызывает изменение напряжений $U_{\text{BLB}}(t)$ и $U_{\text{BLD}}(t)$ на битовых линиях BLB и BLD (см. Рис. 5в) в интервале от 0.1 нс до 0.2 нс.

На Рис. 6 представлены зависимости, полученные в ходе приборного моделирования с использованием утилиты TCAD при температуре 25°C и напряжении питания 1.0 В. Трехмерная модель включает все 12 транзисторов ячейки памяти и разработана по объемной КМОП-технологии с проектной нормой 65 нм на основе модели представленной в работе [14]. Различие напряжений U_B и U_D узлов В и D в интервале от 0.1 до 0.2 нс вызвано допустимым технологическим разбросом параметров транзисторов и не влияет на результаты моделирования.

При чтении данных ячейки STG DICE в состоянии ABCD = 1010 битовая линия BLD разряжается через последовательно соединенные транзистор выборки и транзистор N_D , а битовая линия BLB – через транзистор выборки и транзистор N_B соответственно (см. Рис. 1). Представленные на Рис. 6 зависимости иллюстрируют случай, когда линии BLD и BLB не успели разрядиться до начала воздействия частицы. Воздействие частицы на транзистор N_A вызывает просадку напряжения на узле А, что запирает транзистор N_D . Напряжение на узле D увеличится, поскольку произойдет перераспределение заряда между линией BLD и узлом D через связывающий их открытый транзистор выборки. Далее откроется транзистор N_C (управляемый по затвору напряжением на узле D) и триггер из транзисторов узлов С и D переключится и произойдет сбой состояния триггера ячейки DICE.

Причиной сбоя в этом случае является одновременное влияние нескольких импульсов помехи напряжения: импульса, вызванного разрядом битовых линии через узлы

ячейки и импульса, вызванного воздействием частицы. Такой механизм развития сбоя характерен для большинства известных ячеек памяти, чтение и запись в которые осуществляется через одни и те же транзисторы выборки. Вероятность такого сбоя мала, поскольку воздействие частицы должно произойти в течении короткого отрезка времени после начала чтения. Чем меньше ёмкость битовых линий и величина напряжения предварительно заряженных битовых линий, тем быстрее разряжаются битовые линии через узлы триггера DICE в состоянии “0” и вероятность сбоя ячейки памяти снижается.

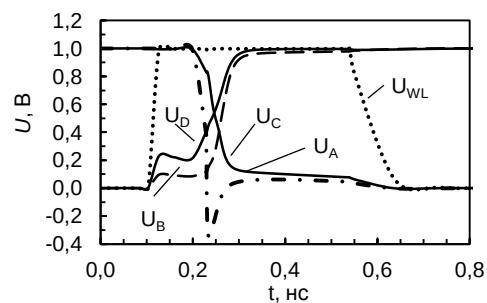


Рис. 6. Временные диаграммы напряжений на узлах ячейки STG DICE, иллюстрирующие возникновение сбоя при воздействии частицы во время цикла чтения в исходном состоянии ячейки ABCD = 1010 при прохождении трека в направлении нормали к поверхности через сток транзистора N_A . Моделирование в TCAD для ЛПЭ = 4 МэВ, начало воздействия в момент времени 0.2 нс.

7. Заключение

Ячейка памяти STG DICE обладает повышенной устойчивостью к воздействию отдельных ядерных частиц. Воздействие отдельной ядерной частицы вызывает импульсы помехи напряжения на узлах ячейки, приводя ее в нестационарное состояние длительностью до 1 нс. Электрическое моделирование, проведенное в симуляторе Spectre Cadence для структур по объемной КМОП технологии TSMC 28 нм подтвердило реальность достоверного чтения данных ячейки памяти STG DICE в стационарном и нестационарном состояниях при помощи блока чтения на основе считывающих усилителей со смещенными передаточными характеристиками.

Публикация выполнена в рамках государственного задания ФГУ ФНИЦ

НИИСИ РАН (проведение фундаментальных научных исследований) по теме № 0065-2018-0009 «Архитектурные и схемотехнические методы снижения энергопотребления

и повышения сбоеустойчивости микропроцессоров и коммуникационных контроллеров высокопроизводительных ЭВМ».

Increasing the data reading reliability in static CMOS RAM under the single nuclear particles impacts

P.V. Stepanov, Y.V. Katunin

Abstract - The STG DICE memory cell has increased fault tolerance to the effects of single nuclear particles due to the separation of transistors into two groups and the spacing of two transistor groups. When a particle impacts to a cell, it goes into an unsteady state with a duration of up to 1 ns. Different reading schemes for STG DICE memory cells use data from one, two or four cell nodes. The presented reading scheme based on the reading amplifiers with the shifted transfer characteristic is able to read data in the unsteady state of the cell by determining two of the four STG DICE cell nodes, that keep their logic levels unchanged during the unsteady state.

Keywords - DICE cell, single nuclear particle, unsteady state, data reading, simulation, single event transients

Литература

1. T. Calin, M. Nicolaidis, R. Velazco. Upset hardened memory design for submicron CMOS technology. «IEEE Trans. Nucl. Science», v. 43 (1996), № 6, 2874–2878.
2. В.Я. Стенин, Ю.В. Катунин, П.В. Степанов. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами. «Микроэлектроника», т. 45 (2016), № 6, 456–470.
3. В.Я. Стенин. КМОП 28-нм ячейка памяти DICE с разделенными на две группы транзисторами в нестационарном состоянии. «Вестник НИЯУ МИФИ», т.3 (2014), № 4, 462–469.
4. В.Я. Стенин, П.В. Степанов. Чтение 28-нм КМОП ячеек памяти DICE в нестационарных состояниях, вызванных эффектами воздействия одиночных ядерных частиц. «Вестник НИЯУ МИФИ», т.4 (2015), №2, 162–170.
5. R. Yamamoto, C. Hamaoka, J. Furuta, K. Kobayashi, H. Onodera. An area-efficient 65 nm radiation-hard dual-modular flip-flop to avoid multiple cell upsets. «IEEE Trans. Nucl. Science», v. 58 (2011), № 6, 3053–3059.
6. D. Rennie, M. Sachdev. Novel Soft Error Robust Flip-Flops in 65nm CMOS. «IEEE Transactions on Nuclear Science», v. 58 (2011), № 5, 2470–2476.
7. В.Я. Стенин, И.Г. Черкасов. Влияние топологии субмикронных КМОП ячеек памяти DICE на чувствительность ОЗУ к воздействию отдельных ядерных частиц. «Микроэлектроника», т. 40 (2011), № 3, 170–175.
8. В.Я. Стенин, И.Г. Черкасов. Особенности проектирования субмикронных КМОП статических ОЗУ с повышенной сбоеустойчивостью к воздействию высокоэнергетических частиц. «Микроэлектроника», т. 39 (2010), № 2, 91–101.
9. O.A. Amusan, L.W. Massengill, M.P. Baze, A.L. Sternberg, A.F. Witulski, B.L. Bhuvu, J.D. Black. Single Event Upsets in Deep-Submicrometer Technologies Due to Charge Sharing. «IEEE Trans. Device and Materials Reliability», v. 8 (2008), № 3, 582–589.
10. K. Lilja, M. Bounasser, S. Wen, R. Wong, J. Holst, N. Gaspard, S. Jagannathan, D. Loveless, B. Bhuvu. Single event performance and layout optimization of flip-flops in a 28-nm bulk technology. «IEEE Trans. Nucl. Science», v. 60 (2013), № 4, 2782–2788.
11. В.Я. Стенин, П.В. Степанов. Моделирование локального воздействия ядерных частиц на 65 нм КМОП ячейки памяти DICE. «Микроэлектроника», т. 41 (2012), № 4, 253–261.
12. П.С. Долотов. Двупортовая ячейка в составе интегральной схемы ОЗУ. «Патент РФ на полезную модель» № 111279. Оpubl. 10.12.2011.
13. C.D. Moore, S.J. Keller, A.J. Martin. Ultra-low-power variation-tolerant radiation-hardened cache design. «United States Patent» № 8605516 B2, Dec. 10, 2013.
14. R. Garg, S.P. Khatri. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. «New York, Springer» (2010), 194–205.

Обобщенная модель эффекта низкой интенсивности в биполярных приборах

В.С. Першенков¹, А.С. Бакеренков², В.А. Фелицын³, А.С. Родин⁴

НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹vspershenkov@mephi.ru, ²as_bakerenkov@list.ru, ³vafelitsyn@mephi.ru, ⁴asrodin@mephi.ru

Аннотация: В данной работе описана обобщенная физическая модель, которая позволяет описать деградацию биполярных приборов, чувствительных (ELDRS-susceptible) и нечувствительных (ELDRS-free) к эффекту низкой интенсивности в широком диапазоне накопленных доз, интенсивностей и температур.

Ключевые слова: биполярные транзисторы, дозовые эффекты, радиационная стойкость, поверхностные состояния, эффект низкой интенсивности

1. Введение

Эффект низкой интенсивности заключается в том, что деградация радиационно-чувствительных параметров приборов при воздействии ионизирующего излучения низкой интенсивности, например, в бортовой аппаратуре космического назначения, может существенно (в 5-10 раз) превышать деградацию, получаемой при высоких мощностях дозы. В биполярных приборах для обозначения этого эффекта широко используется термин ELDRS (Enhancement Low Dose Rate Sensitivity) [1]. Приборы, чувствительные к эффекту низкой интенсивности, обозначаются, как ELDRS-susceptible; приборы, в которых эффект низкой интенсивности отсутствует или нечувствительные к эффекту низкой интенсивности, называются ELDRS-free. В относительно недавней работе [2] обращено внимание на то, что для приборов, нечувствительных к эффекту, характерно уменьшение деградации при низких интенсивностях. Ранее [3] был опубликован обширный экспериментальный материал по ELDRS-free приборам фирмы National Semiconductor, указывающий на возможное уменьшение (в 1,5-2 раза) деградации при низких интенсивностях. С практической точки зрения важно знать не только увеличение, но и снижение деградации при малых мощностях дозы. При повышении чувствительности к эффекту в пять раз и запланированном времени на орбите 10 лет, чувствительные к эффекту приборы выйдут из строя через 2 года. Если радиационно-чувствительный параметр при низкой интенсивности имеет в два раза меньшее значение, чем при высокой, то использование прибора на основании тестовых испытаний при высокой

интенсивности, может привести к тому, что вместо запланированной работы в течение 10 лет, прибор сохранит работоспособность при 20-летнем пребывании на орбите. Т.е. возможна отбраковка приборов, вполне способных выполнять заданные функции в условиях работы при низкой интенсивности.

В данной работе описана обобщенная модель, которая позволяет описать деградацию ELDRS-susceptible и ELDRS-free приборов в широком диапазоне накопленных доз, интенсивностей и температур.

В основу данной модели положена конверсионная модель эффекта низкой интенсивности [4,5].

2. Физический механизм радиационной деградации биполярных приборов

Радиационная деградация биполярных приборов под действием ионизирующего излучения происходит из-за накопления радиационных дефектов на границе раздела Si/SiO₂.

Логично предположить, что в накопление радиационных дефектов должны вносить вклад процессы, происходящие как в Si, так в SiO₂ при радиационном воздействии. Физические механизмы радиационных эффектов в SiO₂ представлены на Рис. 1, описываются различными физическими моделями, например, водородной [9], и хорошо известны.

Для оценки влияния кремниевой подложки на темп встраивания поверхностных радиационных дефектов был проведен эксперимент с образцами МОП-транзисторов, результаты которого представлены на Рис. 2.

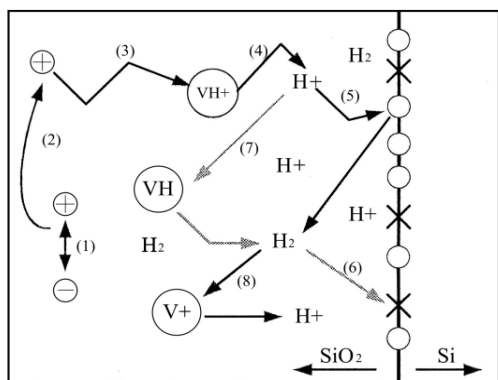


Рис. 1. Водородная модель радиационной деградации интегральных микросхем

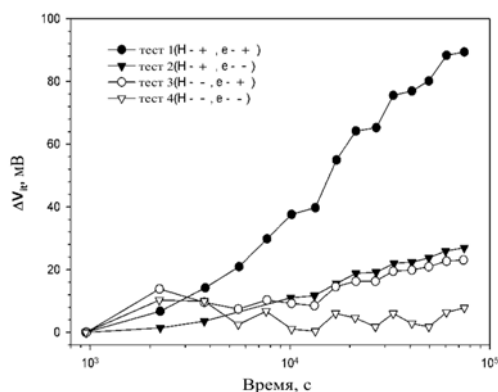


Рис. 2. Графики ΔV_{th} компоненты во время отжига в зависимости от условий

МОП-транзисторы с n-каналом, у которых толщина подзатворного окисла 30 нм, облучались на рентгеновском источнике с медным анодом (8 кэВ) при интенсивности 1 крад/с(Si) с напряжением на затворе +5В в течение одного часа. После облучения две выборки образцов были помещены в среду водорода на 24 часа. Переход исток-подложка первой выборки поддерживался под прямым смещением, а переход исток-подложка второй выборки поддерживался при нулевом смещении. Третья и четвертая выборки выдерживались в воздушной среде после облучения при прямом и нулевом смещении исток-подложка соответственно. Прямое смещение сток-исток позволяет подвести электроны в область, расположенную поблизости с подзатворным диэлектриком без существенного изменения электрического поля.

Из Рис. 2 видно, что наличие электронов в подложке вблизи подзатворного окисла увеличивает темп изменения порогового напряжения, связанного с накоплением поверхностных состояний как в водородной, так и воздушной среде. Полученный факт говорит о том, что электроны из подложки оказывают существенное влияние на темп встраивания

поверхностных состояний N_{it} на границе раздела Si-SiO₂.

Для оценки влияния электронов на темп встраивания поверхностных состояний N_{it} на границе раздела Si-SiO₂ разработана конверсионная модель [1], которая предполагает, что поверхностные состояния образуются в результате взаимодействия электронов из зоны проводимости кремниевой подложки с положительно заряженными ловушками, образующихся в SiO₂ при радиационном воздействии (Рис.3).

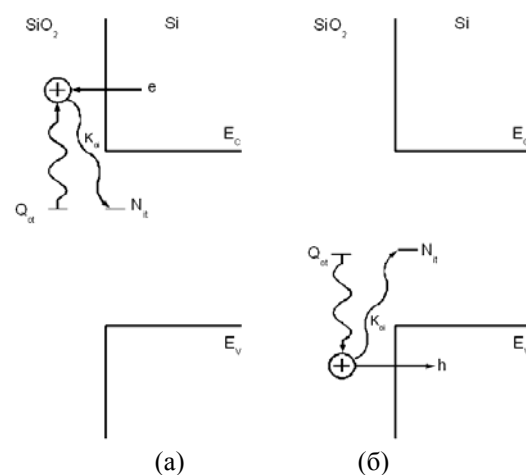


Рис.3. Конверсия положительно заряженной ловушки в оксиде Q_{ot} в поверхностное состояние N_{it} : захват электрона e (а), эмиссия дырки h (б), E_c и E_v – энергетические уровни в зоне проводимости и валентной зоне для кремния

Для того, чтобы взаимодействие произошло, необходимо чтобы уровни ловушки превысили границу зоны проводимости вследствие термического возбуждения.

Аналогичный процесс образования поверхностных состояний возможен при снижении уровня ловушки ниже границы валентной зоны.

Для описания эффекта низкой интенсивности ELDRS в биполярных приборах было сделано предположение, что в SiO₂ под действие излучения накапливается два вида положительно заряженных ловушек: глубокие и мелкие (Рис.4).

Энергетические уровни мелких ловушек лежат ближе к границе зоны проводимости, поэтому вероятность их термического возбуждения в единицу времени значительно выше, чем для глубоких ловушек.

Таким образом, глубокие ловушки дают вклад в приращение плотности поверхностных состояний N_{it} только при длительном низкоинтенсивном облучении.

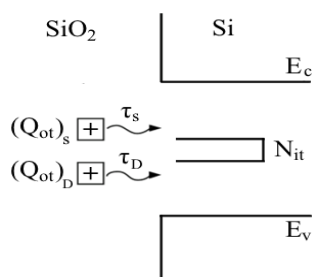


Рис.4. Иллюстрация вклада мелких $(Q_{ot})_s$ и глубоких $(Q_{ot})_D$ ловушек в образование поверхностных состояний с временами конверсии τ_s и τ_D соответственно

Типовой вид зависимости радиационной деградации тока базы биполярных структур от интенсивности излучения представлен на рис. 5.

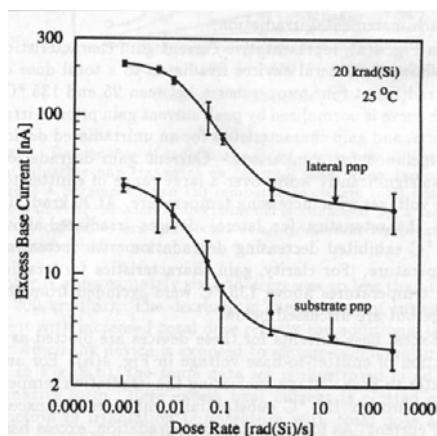


Рис. 5. Зависимость приращения тока базы от интенсивности излучения [1]

Как видно из рис., в области высоких интенсивностей наблюдается насыщение. Это связано с полной конверсией только мелких ловушек, в то время как насыщение в области высоких интенсивностей содержит в себе вклад как мелких, так и глубоких ловушек.

3. ELDRS-free и ELDRS-susceptible приборы

Увеличение деградации при фиксированной поглощенной дозе и снижении интенсивности излучения называется эффектом низкой интенсивности ELDRS (Enhanced Low Dose Rate Sensitivity), который наблюдается в некоторых приборах. В иностранной литературе такие приборы обычно называются ELDRS-susceptible, а приборы, невосприимчивые к данному эффекту называются ELDRS-free. Ниже приводятся рассуждения о различии физических механизмов радиационной деградации ELDRS-free и ELDRS-susceptible

приборов.

Энергетические уровни поверхностных состояний, которые встраиваются на границе раздела SiO_2 под действие излучения могут расположиться как в верхней, так и в нижней половине запрещенной зоны (рис.6).

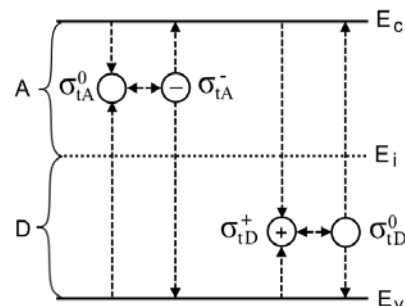


Рис.6. Радиационно-индуцированные акцепторные и донорные ловушки

Энергетические уровни, расположенные в верхней половине запрещенной зоны имеют акцепторную природу и заряжаются отрицательно, если заняты электронами. Свободные акцепторные ловушки электронейтральны. В нижней половине запрещенной зоны располагаются донорные ловушки, которые нейтральны, если заняты электронами, и заряжены положительно, если свободны. Сечение захвата нейтральной ловушки $\sim 10^{-15} \text{ cm}^2$, что по порядку величины составляет размеров атома. Сечение захвата заряженной ловушки на 1-2 порядка больше ($10^{-14} - 10^{-13} \text{ cm}^2$) из-за кулоновского рассеяния.

Заряд поверхностных состояний зависит от положения уровня Ферми. В ELDRS-susceptible приборах уровень Ферми лежит ниже уровней ловушек, как показано на рис. , так что акцепторные уровни нейтральны, а донорные уровни свободны и заряжены положительно. В ELDRS-free приборах уровень Ферми лежит между уровнями донорных и акцепторных ловушек, поэтому оба типа ловушек имеют нулевой заряд.

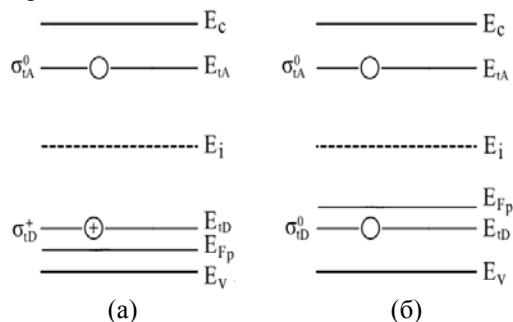


Рис. 7. Зонная диаграмма расположения акцепторных E_{tA} и донорных E_{tD} ловушек для ELDRS-susceptible (a) и ELDRS-free (б) приборов

Поэтому, в ELDRS-susceptible приборах увеличение интенсивности приводит к уменьшению концентрации поверхностных состояний из-за неполной конверсии положительного заряда окисла, в результате чего приращение базового тока уменьшается в то время как в ELDRS-free приборах увеличение интенсивности излучения ведет к увеличению неконвертированного захваченного положительного заряда, который притягивает инжектированные электроны к поверхности, увеличивая скорость рекомбинации и приращение базового тока.

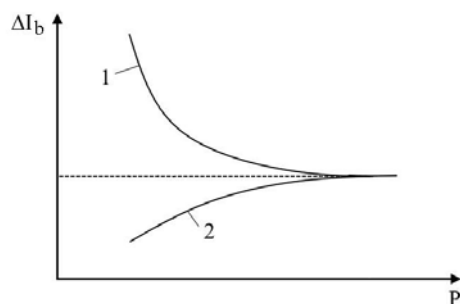


Рис.8. Качественная зависимость приращения тока базы ΔI_b от интенсивности излучения для ELDRS-susceptible (1) и ELDRS-free (2) приборов

Качественная зависимость приращения тока базы ΔI_b от интенсивности излучения для случаев ELDRS-free и ELDRS-susceptible приборов показана на рис.8

Заключение

В данной работе описан физический механизм радиационной деградации ELDRS-free и ELDRS-susceptible биполярных приборов при различных интенсивностях облучения. Главным различием данных классов приборов является положение уровня Ферми основных носителей в базе биполярной структуры, влияющее различным образом на заряд поверхностных состояний и темп поверхностной рекомбинации, совместно с неконвертированным зарядом в окисле при высокой интенсивности радиационного воздействия. Расположение уровня Ферми в области базы относительно радиационно-индуцированных акцепторных и донорных ловушек может служить физической основой для классификации ELDRS-susceptible и ELDRS-free приборов.

Joint model of ELDRS in bipolar devices

V.S Pershenkov, A.S. Bakerenkov, V.A. Felitsyn, A.S. Rodin

Abstract. In this paper, a joint physical model describing the radiation degradation of bipolar devices, sensitive (ELDRS-susceptible) and insensitive (ELDRS-free) to a low dose rate effect in a wide range of total doses, intensities and temperatures

Keywords: bipolar transistors, total ionizing dose effects, radiation hardness, interface traps, enhanced low dose rate sensitivity

Литература

1. R.L. Pease, R.D. Schrimpf, D.M. Fleetwood, ELDRS in bipolar linear circuits: a review // IEEE Trans. Nucl. Sci., vol. 56, no.4, pp. 1894-1908, 2009.
2. J. Boch, A. Michez, M. Rousselet, S. Dhombres, A.D. Touboul, J.-R. Vaille, L. Dusseau, E. Lorfèvre, N. Charty, N. Sukhaseum, F. Saigne, Dose rate switching technique on ELDRS-free bipolar devices // IEEE Trans. Nucl. Sci., vol. 63, no.4, pp.2065-2071, August 2016.
3. K. Kruckmeyer, L. McGee, B. Brown, D. Hughart, Low dose rate test results of National Semiconductor's ELDRS-free bipolar amplifier LM124 and comparators LM139 and LM193 // Proc. IEEE Radiation Effect Data Workshop Record, pp.110-117, 2008.
4. V.S. Pershenkov, D.V. Savchenkov, A.S. Bakerenkov, V.N. Ulimov, A.Y. Nikiforov, A.I. Chumakov, A.A. Romanenko, The conversion model of low dose rate effect in bipolar transistors // RADECS Proc., pp. 286-393, 2009.
5. V.S. Pershenkov, D.V. Savchenkov, A.S. Bakerenkov, V.N. Ulimov, Conversion model of enhanced low dose rate sensitivity in bipolar ICs // Russian Microelectronics, v.39, № 2, 2010, pp. 91-99.

6. V. V. Emelianov, A. V. Sogoyan, O. V. Meshurov, V. N. Ulimov, V. S. Pershenkov, "Modeling the field and thermal dependence of radiation-induced charge annealing in MOS devices" // IEEE Trans. Nucl. Sci., vol. 43, no.6, pp.2572-2578, Dec. 1996.
7. V.S. Pershenkov, S.V. Cherepko, A.V. Sogoyan, V.V. Belyakov, V.N. Ulimov, V.V. Abramov, A.V. Shalnov, V.I. Rusanovsky, Proposed two-level acceptor-donor (AD) center and nature of switching traps in irradiated MOS structures // IEEE transactions on Nuclear Science, vol. 43, №6, pp. 2579-2586, 1996.
8. S. K. Lai, Interface trap generation in silicon dioxide when electrons are captured by trapped holes // *J. Appl. Phys.*, vol. 54, p. 2540, 1983.
9. Ivan. S. Esqueda, Hugh. J. Barnaby, Philippe C. Adell, Modeling the Effects of Hydrogen on the Mechanisms of Dose Rate Sensitivity // 12th European Conference on Radiation and Its Effects on Components and Systems , 2011, pp. 1 - 6.

Исследование радиационной деградации источника опорного напряжения LM4050

В.М. Кисель¹, А.Ю. Малявина², А.С. Бакеренков³, В.А. Фелицын⁴,
А.С. Родин⁵, В.С. Першенков⁶

НИЯУ МИФИ, Москва, Россия,

E-mail's: ¹vitalikis.kisel@gmail.com, ²aumalyavina98@list.ru, ³as_bakerenkov@list.ru,
⁴vafelitsyn@mephi.ru, ⁵asrodin@mephi.ru, ⁶vspershenkov@mephi.ru

Аннотация: В данной работе исследовано влияние ионизирующего излучения на температурную зависимость источника опорного напряжения LM4050 во всем рабочем температурном диапазоне. Показано, что к параметрическому отказу может привести изменение температуры объекта испытаний. Проведена оценка радиационной стойкости источника опорного напряжения LM4050 с учетом радиационной деградации рабочего температурного диапазона.

Ключевые слова: биполярные транзисторы, дозовые эффекты, радиационная стойкость, источник опорного напряжения.

1. Введение

В процессе радиационных испытаний электрические параметры интегральных микросхем обычно измеряются в процессе радиационного воздействия. Во время процедуры измерений и процесса облучения температура поддерживается на постоянном уровне, что не позволяет проводить измерения электрических параметров объекта испытаний во всем рабочем диапазоне температур. Даже после облучения измерения обычно производятся только при комнатной температуре. В результате, набор экспериментальных данных по радиационной деградации температурных зависимостей параметров изделий электронной техники крайне ограничен. В ряде случаев изменение температуры объекта испытаний после радиационного воздействия может привести к параметрическому отказу, даже если температура изменяется в пределах рабочего диапазона [1, 2]. Влияние ионизирующих излучений на радиационную деградацию пределов рабочего диапазона температур обычно не исследуется при радиационных испытаниях. В процессе эксплуатации в условиях космического пространства температура микросхем может изменяться достаточно резко и неожиданно. Для получения наиболее корректной оценки радиационной стойкости изделий электронной техники необходимо проводить измерения во всем рабочем диапазоне температур до и после радиационного воздействия при испытаниях.

Целью данной работы является исследование влияния дозовых радиационных эффектов на температурную зависимость выходного напряжения опорного источника LM4050.

2. Радиационные испытания

Для проведения исследований использовался экспериментальный стенд, структурная схема которого представлена на Рис.1.

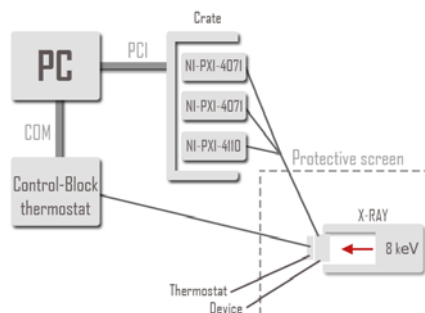


Рис.1. Структурная схема экспериментального стенда

Персональный компьютер (PC) предназначен для управления процессом эксперимента и анализа полученных данных. Для управления термоустройством (Thermostat) использовался блок контроля (Control-Block thermostat). Крейт (Crate) с измерительными модулями (NI-PXI-4071), а также управляемый источник питания (NI-PXI-4110) использовались для получения экспериментальных данных. Облучение образца проводилось на источнике рентгеновского излучения с медным анодом

при температуре $+25^{\circ}\text{C}$. Средняя энергия излучения составляла 8 кэВ, а интенсивность 10 рад(Si)/с. Облучение проводилось в активном электрическом режиме. Схема включения LM4050 в процессе радиационного воздействия представлена на Рис.2.

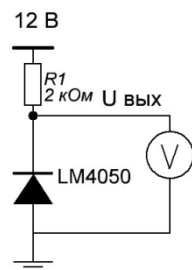


Рис.2. схема включения LM4050 в процессе радиационного воздействия

Зависимость выходного напряжения источника от температуры до и после облучения представлена на Рис.3. Зависимость выходного напряжения от поглощенной дозы, измеренная в процессе радиационного воздействия представлена на Рис.4.

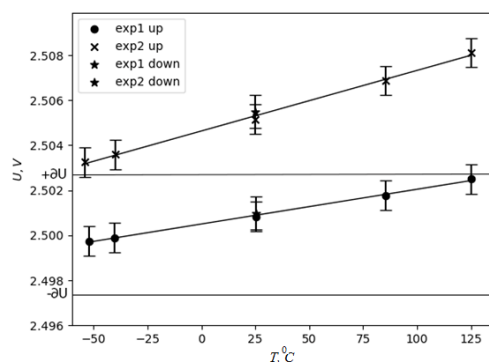


Рис.3. Зависимость выходного напряжения опорного источника LM4050 от температуры до и после облучения (поглощенная доза 36 крад(Si)), границы предельно-допустимого выходного напряжения показаны горизонтальными сплошными линиями, напротив надписей $-\Delta U$ и $+\Delta U$.

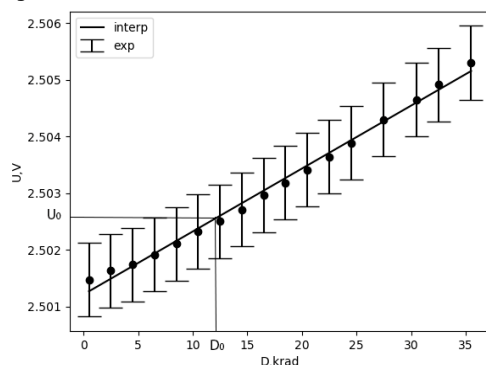


Рис.4. Зависимость выходного напряжения от поглощенной дозы опорного источника LM4050, измеренная в процессе радиационного воздействия

Измерения производились, как представлено на рис. 5-8, при пяти различных температурах. Вначале выходное напряжение измерялось при $+25^{\circ}\text{C}$, далее измерения производились при температурах -55°C , -40°C , $+85^{\circ}\text{C}$ и $+125^{\circ}\text{C}$.

После измерений при $+125^{\circ}\text{C}$ выходное напряжение источника измерялось при $+25^{\circ}\text{C}$ повторно.

Из Рис. 3 видно, что результаты начальных и повторных измерений выходного напряжения при $+25^{\circ}\text{C}$ после облучения практически совпадают.

Полученные данные позволяют заключить, что влияние эффекта отжига во время измерений при повышенных температурах незначительно в данных приборах. Результаты, полученные при 25°C хорошо согласуются с экспериментальными данными, опубликованными в [3].

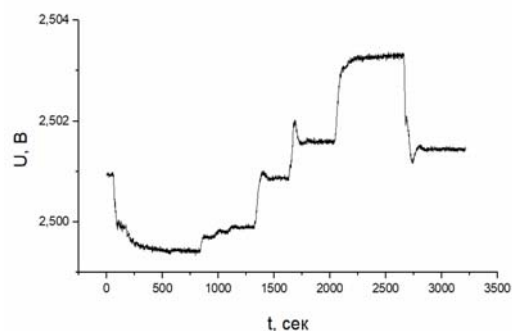


Рис. 5. Зависимость выходного напряжения от времени до облучения

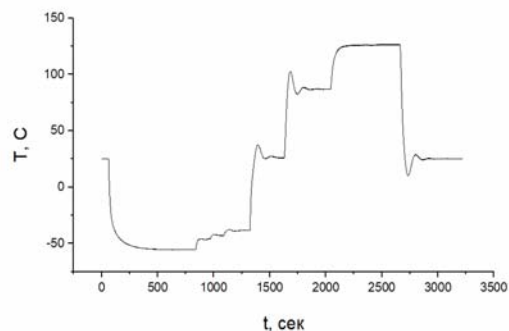


Рис. 6. Зависимость температуры от времени до облучения

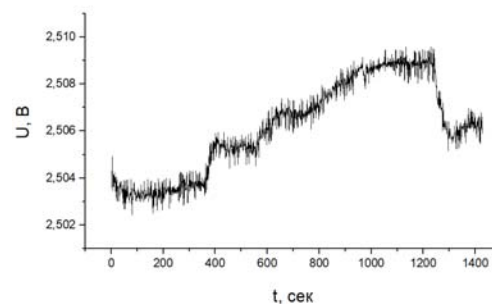


Рис. 7. Зависимость выходного напряжения от времени после облучения

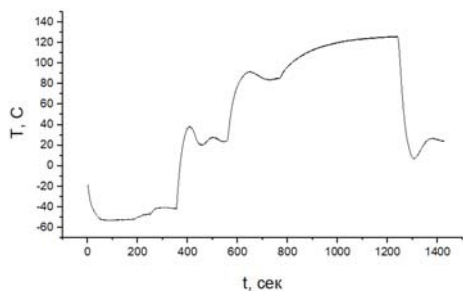


Рис. 8. Зависимость температуры от времени после облучения

Была проведена оценка коэффициента температурного дрейфа выходного напряжения до и после облучения результаты представлены в таблице 1.

Таблица 1. Коэффициент температурного дрейфа

	K , мкВ/°C	Предел, мкВ/°C
До облучения	15	125
36 крад(Si)	27	

В процессе эксперимента коэффициент температурного дрейфа источника

опорного напряжения LM4050 не вышел за пределы допустимого значения.

В процессе облучения выходное напряжение возрастает с увеличением температуры и поглощенной дозы.

При поглощенной дозе $D_0 = 12,1$ крад(Si) произошел параметрический отказ микросхемы (Рис. 4) при 25 °C. Однако ее все еще можно считать пригодной в области более низких температур. При поглощенной дозе 36 крад(Si) выходное напряжение выходит за границы нормы при любой температуре.

Заключение

Исследовано влияние дозовых радиационных эффектов на зависимость выходного источника напряжения LM4050 от температуры. Получено, что рабочий диапазон температур микросхемы LM4050 сужается с набором поглощенной дозы ионизирующего излучения. Проведена оценка радиационной стойкости данной микросхемы с учетом радиационной деградации рабочего температурного диапазона.

Investigation of radiation degradation of LM4050 reference voltage source

V.M. Kisel, A.Yu. Malyavina, A.S. Bakerenkov,
V.A. Felitsyn, A.S. Rodin, V.S. Pershenkov

Abstract. In this paper, the effect of ionizing radiation on the temperature dependence of LM4050 reference voltage source over the entire operating temperature range is investigated. It is shown that the temperature of the test object can lead to a parametric failure. The radiation hardness of LM4050 reference voltage source was estimated taking into account the radiation degradation of the operating temperature range.

Keywords: bipolar transistors, total ionizing dose effects, radiation hardness, reference voltage source

Литература

1. A.S. Rodin, A.S. Bakerenkov, V.S. Pershenkov, V.A. Felitsyn, A.G. Miroshnichenko, N.S. Glukhov, Evaluation of the post-irradiation temperature dependence of operational amplifier input bias current // Proceedings of the European Conference on Radiation and its Effects on Components and Systems, RADECS, Volume 2015-December, 24 December 2015.
2. V.A. Felitsyn, A.S. Bakerenkov, A.S. Rodin, V.S. Pershenkov, V.I. Butin, Estimation of the Radiation Hardness of Bipolar Voltage Comparators in Wide Operation Temperature Range // Proceedings of the European Conference on Radiation and its Effects on Components and Systems, RADECS, Volume 2017-October, October 2017.
3. K. Kruckmeyer, E. Morozumi, R. Eddy, T. Trinh, T. Santiago, P. Maillard, "Single event transient and ELDRS test results for LM4050QML 2.5V precision reference," in Proc. IEEE Rad. Effects Data Workshop Rec., Jul. 2010, pp. 164–169.

Требования к программному обеспечению, оборудованию и оснастке для сложно-функциональных СБИС при проведении радиационного эксперимента

Д.С. Костюченко, А.Б. Каракозов, Н.С. Дятлов,
П.В. Некрасов, К.А. Епифанцев, В.А. Марфин,
Н.Д. Кравченко, О.А. Калашников, А.В. Уланова

НИЯУ МИФИ, Москва, Россия, АО «ЭНПО Специализированные электронные системы», Москва, Россия,
E-mail: dskos@spels.ru

Аннотация. Разработка оснастки и программного обеспечения для проведения исследований современных сверхбольших интегральных схем на радиационную стойкость является сложной комплексной задачей. В процессе разработки необходимо учитывать разнообразные факторы – требования полноты функционального контроля, влияния электромагнитных помех и ионизирующего излучения на оснастку, модульности программного обеспечения. Статья описывает основные проблемы, с которыми сталкивается разработчик и инженер-испытатель при подготовке радиационного эксперимента и пути их решения.

Ключевые слова: радиационная стойкость, функциональный контроль, поглощенная доза, ионизирующее излучение, одиночный импульс напряжения, тяжелые заряженные частицы.

1. Введение

В процессе подготовки микросхем к радиационному эксперименту требуется учитывать широкий спектр методических и технических особенностей его проведения [1]. Детально проработанный эксперимент позволяет минимизировать, а в ряде случаев исключить возможность возникновения ошибки и гарантировать получение достоверного и информативного результата.

Отдельное место при подготовке к проведению радиационного эксперимента занимает создание испытательного стенда для реализации функционального и параметрического контроля (ФПК) исследуемой микросхемы [2]. Данный стенд, как правило, состоит из аппаратной и программной частей.

Аппаратная часть включает в себя оснастку для включения исследуемой микросхемы и измерительное оборудование. К программной части относится:

- программа управления измерительным оборудованием и ходом эксперимента, включающая в себя набор требуемых для исследуемого изделия тестов и протоколирование результатов;
- в случаях исследования СБИС с процессорными ядрами необходима программа прошивки для функционального контроля внутренних блоков микросхемы: регистров, ОЗУ, кэш-памяти, интерфейсов и др.

2. Особенности реализации аппаратной части испытательного стенда

2.1. Организация питания микросхемы

Достоверность полученных в ходе радиационного эксперимента данных напрямую зависит от того, насколько правильно была разработана и изготовлена испытательная оснастка [1]. Одной из наиболее важных частей является блок обеспечения питания исследуемого объекта. Необходимо обеспечить максимально возможное стабильное питание микросхемы, отслеживая критически важные моменты, изложенные ниже.

2.1.1. Падение напряжения на линиях питания до воздействия

Как правило, питание исследуемых микросхем обеспечивается с помощью внешнего источника питания через соединительные провода, которые имеют собственное сопротивление. В результате, при высоких токах потребления исследуемого образца (больше 1 А) на проводах могут теряться десятки и сотни милливольт, что потенциально критично для функционирования микросхемы. Данную разность можно компенсировать путем

подстройки выходного напряжения на самом источнике питания. В целях контроля реального напряжения на плате с микросхемой используется заведенная обратная связь. Однако при проведении радиационных исследований возможны значительные колебания тока потребления, как за счет детерминированного изменения режима функционирования с динамического на статический, в том числе пониженного энергопотребления и обратно, так и за счет недетерминированных изменений тока потребления в результате функциональных сбоев.

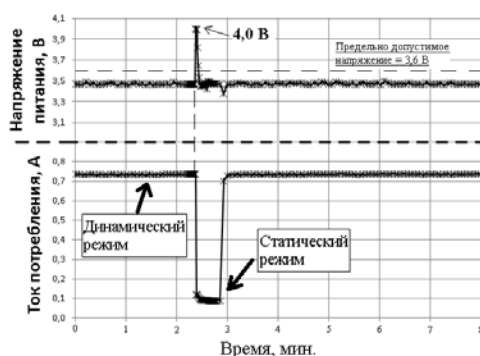


Рисунок 1. Пример выхода напряжения питания за допустимые границы в момент перехода микросхемы из динамического режима в статический

Если детерминированные изменения режима можно предусмотреть, снижая напряжение питания перед изменением режима и тем самым не допускать превышения при переходе из динамического в статический режим, то скачки тока в результате функциональных сбоев непредсказуемы. Программная подстройка напряжения, как правило, достаточно медленная (десятки миллисекунд и выше), в результате чего при смене режима могут возникать кратковременные превышения напряжения питания выше допустимых значений (см. Рисунок 1). Данная проблема может быть решена как за счет уменьшения сопротивления проводов, так и путем использования источников питания с более быстрой обратной связью.

Наилучшим решением будет использование вторичных источников питания, устанавливаемых непосредственно возле исследуемой микросхемы, расположенных по возможности вне зоны облучения на испытательных установках.

2.1.2. Просадки питания в момент воздействия импульсного ионизирующего излучения

Важной особенностью при исследо-

вании микросхем на воздействие импульсного ионизирующего излучения (ИИИ) является контроль просадок напряжения на каналах питания. В момент воздействия ИИИ импульсный ток потребления микросхемы резко возрастает (до нескольких ампер), что приводит к снижению напряжения питания микросхемы. Величина просадки зависит от мощности ИИИ – чем выше мощность, тем сильнее падение напряжения. При достаточно сильных воздействиях напряжение питания вовсе может проседать до нуля [2]. Данный эффект является недопустимым, поскольку влечет за собой следующие проблемы.

Во-первых, снижение напряжения питания может привести к возникновению сбоев. В таком случае останется неизвестной причина возникновения сбоя: как результат воздействия ИИИ или из-за влияния просадки.

Во-вторых, при наличии просадок по линиям питания снижается достоверность определения порога возникновения тиристорного эффекта (ТЭ), так как вероятность возникновения ТЭ снижается при понижении напряжения питания, а при просадке до уровня напряжения удержания и вовсе отсутствует.

Наиболее простым способом решения данной проблемы является установка керамических конденсаторов большой емкости в цепях питания для компенсации динамического изменения тока потребления. Однако наилучшего эффекта удастся достичь путем организации питания микросхемы с использованием вторичных источников питания соответствующей мощности, упомянутых ранее (см. Рисунки 2, 3).

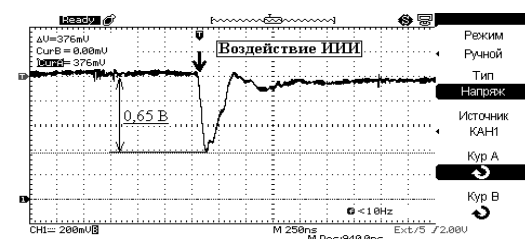


Рисунок 2. Просадка напряжения по каналу питания ядра для сложно-функциональной СБИС с внешним источником питания RIGOL DP832A

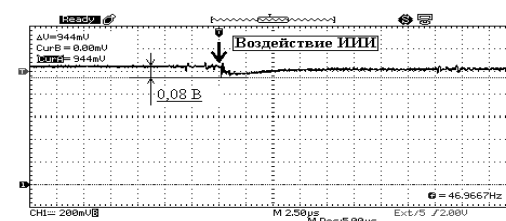


Рисунок 3. Просадка напряжения по каналу питания ядра для сложно-функциональной СБИС с вторичным источником питания LTM4676A

Однако стоит учесть, что использование вторичных источников питания затрудняет регистрацию ТЭ. При близком расположении вторичного источника питания следует также учитывать возможное влияние ИИИ модулирующей установки на сам источник. Эта проблема не возникает при использовании лазерного источника ИИИ.

2.2. Обеспечение защиты оснастки от воздействия ЭМ-помехи

Проведение радиационных исследований в основном сопряжено с использованием физических установок, в частности ускорителей. Данные установки, как правило, являются источниками сильных электромагнитных (ЭМ) помех. Вследствие чего исследуемая микросхема во время проведения радиационного эксперимента помимо воздействия радиации также подвергается воздействию ЭМ помех, что может вызвать ряд нежелательных последствий.

Проблем стоит ожидать, если печатная плата с исследуемым образцом сконструирована с нарушениями правил проектирования печатных плат [6]. Следует исключить использование неэкранированных проводов, проходящих вне плоскости печатной платы, особенно образующих при этом проводящий контур, который является наиболее чувствительным к ЭМ помехе. Кроме того, наличие множества сигнальных линий большой длины, большого количества переходных отверстий в сигнальных линиях, отсутствия сплошных слоев экранирования (полигонов земли и питания) приводит к общему снижению помехоустойчивости оснастки.

Второй наиболее уязвимой частью оснастки являются соединительные провода, обеспечивающие подключение платы оснастки с исследуемой микросхемой к измерительному оборудованию. Использование неэкранированных проводов для обеспечения питания микросхемы, и в особенности для передачи информации по шине данных приводит к наведению сильной помехи в проводнике.

Подобные помехи могут привести к следующим результатам:

- скачок напряжения в цепи питания, в результате которого на входах питания микросхемы окажется потенциал, выходящий за границы допустимых норм;
- помеха в линии данных может привести к функциональному сбою;

Таким образом, корректное проведение радиационных исследований на физических установках с высокими ЭМ помехами

становится практически невозможным при использовании оснастки, сильно восприимчивой к ЭМ помехам. В результате требуется обращаться к различным способам организации экранирования испытательной оснастки от внешнего ЭМ излучения. На Рисунке 4 представлен пример такого экранирования при помощи алюминиевой фольги, обернутой несколькими слоями вокруг оснастки и шлейфа данных, который необходим для обмена информацией между микросхемой и персональным компьютером (ПК).



Рисунок 4. Экранирование испытательной оснастки от воздействия внешней ЭМ помехи при испытаниях

В целях достижения наименьшего влияния ЭМ помехи на оснастку следует разрабатывать ее с учетом способов борьбы с ЭМ излучением:

- следовать правилам проектирования печатных плат [6];
- не использовать соединения компонентов при помощи проводов, проходящих вне плоскости печатной платы;
- обмен информацией между ПК и микросхемой осуществлять с помощью последовательного интерфейса;
- использовать экранированные кабели для подключения микросхемы к оборудованию.

Необходимость экранировать оснастку косвенно накладывает на нее еще одно требование — физические габариты и конструктивные ограничения.

2.3. Габариты и конструктивные особенности оснастки

2.3.1. Требования к оснастке для испытаний на физических установках

Оснастка должна иметь размеры и конструкцию, позволяющие устанавливать ее на различных физических испытательных установках с учетом их конструктивных особенностей, например, должно обеспечиваться функционирование

технологических детекторов и датчиков самой установки. В печатной плате с исследуемым образцами должны быть предусмотрены отверстия для ее надежной фиксации на монтажной раме физической установки. Также необходимо предусмотреть возможность установки дополнительного оборудования, например стенда контроля и задания температурного режима. Следует учитывать необходимую длину и толщину проводов, необходимых для подачи питания и передачи данных. На Рисунке 5 изображен внешний вид оснастки, установленной в рабочей камере ускорителя ионов. Видно, что имеются ограничения допустимых размеров платы, требования по способу монтажа оснастки, а также ряд технологических особенностей для конкретной установки.



Рисунок 5. Монтаж оснастки во время эксперимента на ускорителе ионов

В случае необходимости использования на печатной плате с образцом дополнительных активных элементов (транзисторы, диоды, контроллеры, микросхемы внешней памяти и т.д.) для задания режима и/или проведения контроля функционирования исследуемой микросхемы требуется обеспечить их защиту от воздействия радиации.

Зачастую во время испытаний требуется проводить воздействие непосредственно на сам кристалл микросхемы, то есть к нему требуется обеспечить открытый доступ, предусмотрев:

- а) сквозное отверстие достаточного диаметра при использовании колодок;
- б) вырез на печатной плате под микросхемой для возможности проведения радиационного или лазерного воздействия на

кристалл со стороны подложки или в случаях, когда кристалл в микросхеме располагается приборным слоем вниз, в сторону печатной платы.

2.3.2. Требования к оснастке, накладываемые различными видами радиационных исследований

Комплекс радиационных исследований СБИС содержит в себе различные виды внешних исследований микросхемы на стойкость к:

- накопленной поглощенной дозе;
- воздействию ИИИ,
- воздействию тяжелых заряженных частиц (ТЗЧ);
- одиночных импульсов напряжения (ОИН).

Каждый из перечисленных видов исследований имеет свои особенности и требования к оснастке при проведении исследований.

А) Исследование на стойкость к воздействию накопленной поглощенной дозы.

Оснастка должна обеспечивать предельные режимы работы исследуемой микросхемы, то есть обеспечивать функционирование образца и контроль критичных блоков на максимальных тактовых частотах и на всем диапазоне рабочих напряжений питания и температур. Должны контролироваться потребляемые микросхемой токи. Кроме того необходимо предусмотреть контрольные точки для контроля:

- выходных высокого и низкого логических уровней микросхемы с возможностью задания требуемых по выходных нагрузочных токов;
- время потери работоспособности (ВПР) микросхемы;
- напряжений питания и земли непосредственно возле исследуемого образца.

Таким образом, должна обеспечиваться возможность подключения дополнительного измерительного оборудования: осциллограф, мультиметр, источник тока и т.п.

Б) Исследование на стойкость к воздействию ИИИ.

Поскольку при исследовании микросхем на стойкость к воздействию ИИИ требуется определить уровень бессбойной работы (УБР) микросхемы, то для данного вида исследований необходима оснастка, выполняющая все те же требования, что и оснастка для контроля стойкости к воздействию накопленной поглощенной

дозы. Однако в случае воздействия ИИИ становятся актуальными просадки питания, упомянутые в первой части статьи (п.1.1.2), которые необходимо учитывать. Кроме того для проведения калибровочных испытаний необходима оснастка, позволяющая измерить ионизационные реакции микросхемы в пассивном режиме. Как правило, в оснастке должны выполняться следующие пункты:

- должны быть объединены все каналы питания и иметь один общий вывод;
- должны быть объединены все каналы земли и иметь один общий вывод;
- все входы микросхемы, по возможности, должны иметь возможность подключения к каналу питания через один общий вывод;
- все выходы микросхемы должны быть оставлены висеть в воздухе;
- на печатной плате должны отсутствовать какие-либо сторонние элементы, кроме самой исследуемой микросхемы, особенно конденсаторы в цепях питания.

В) Исследование на стойкость к воздействию тяжелых заряженных частиц (ТЗЧ).

В случае облучения микросхем ионами наиболее актуальным становится вопрос обеспечения прямого доступа приборного слоя для частиц. В остальном требования вполне соответствуют требованиям для контроля накопленной поглощенной дозы.

Г) Исследование на стойкость к воздействию одиночного импульса напряжения (ОИН).

Одно из главных требований – проводить воздействие ОИН и ФПК изделия в различных оснастках. Это необходимо по двум причинам:

Во-первых, во время воздействия ОИН все чувствительные измерительные приборы должны быть гальванически развязаны с генератором ОИН во избежание выхода этих приборов из строя.

Во-вторых, схема воздействия ОИН существенно отличается от схемы ФПК. С одной стороны, исследуемое изделие при наличии технической возможности должно находиться в электрическом или в активном режиме эксплуатации. С другой стороны, все выводы, кроме тех, которые обеспечивают нахождение микросхемы в электрическом режиме, по возможности должны быть отключены от других компонентов.

Также необходимо удалить все компоненты с выводов, на которые подается ОИН для исключения влияния данных компонентов на результаты воздействия. В противном же случае результаты

исследования будут зависеть от номиналов этих компонентов. Особенно важно исключение конденсаторов с испытываемых выводов, так как наличие конденсатора сгладит фронт ОИН, уменьшив амплитуду импульса, что приведет к завышению результатов исследований стойкости. Пример схемы воздействия на вход микросхемы, представлен на Рисунке 6.

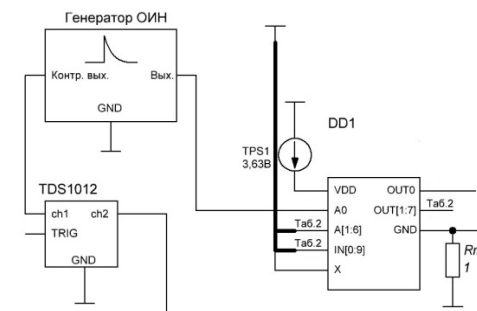


Рисунок 6. Схема воздействия ОИН на вход изделия

Таким образом, все конструктивные и функциональные требования, а также требования по измерению параметров труднореализуемы в одной оснастке. Как правило, для проведения всего перечня исследований необходимо три различные оснастки:

- оснастка с наиболее полным ФПК и максимальной достижимой частотой и производительностью микросхемы;
- статическая оснастка с возможностью задать статический режим, с обеспечением стабильного питания и, как правило, упрощенным ФПК;
- пассивная оснастка для калибровки лазерных испытаний, также используемая для воздействия ОИН.

Соответственно, во время проведения исследований используются различные типы оснасток и их комбинации.

2.4. Общие требования к оснастке и измерительному комплексу

По мере увеличения сложности и объема ФПК изделия следует стараться использовать минимальное количество измерительного оборудования, поскольку на установку и настройку каждой дополнительной единицы оборудования необходимо дополнительное время, которое в случае использования дорогостоящих ускорителей может приводить к лишним затратам. Кроме того, повышаются как вероятность выхода из строя того или иного прибора во время эксперимента, так и вероятность человеческой ошибки испытателя из-за необходимости совершения значительного

количества дополнительных действий и контроля большого числа различных приборов.

Кроме того, зачастую размещение значительного количества измерительного оборудования становится невозможным из-за особенностей испытательной установки (незначительное пространство для размещения оборудования, необходимость размещения оборудования на большом удалении от исследуемой микросхемы и др.). В таком случае приходится или искать способы уменьшения объема измерительного оборудования, или проводить значимо неполный ФПК изделия во время исследования.

Наиболее оптимальны по возможностям проведения ФПК и занимаемому объему модульные измерительные системы, которые могут разрабатываться на базе оборудования National Instruments и программного обеспечения LabVIEW[2].

3. Особенности реализации программной части испытательного стенда

3.1. Общие требования к программному обеспечению для проведения радиационных исследований

Аппаратная составляющая испытательного стенда, несмотря на все ее многочисленные особенности, не является единственной важной частью проведения эксперимента. Не менее важную роль играет грамотная организация программного обеспечения (ПО). Детально продуманное ПО позволит не только избежать большого числа ошибок во время проведения радиационного эксперимента, но и значительно снизить затрачиваемые на него ресурсы. Кроме того автоматизация ПО позволяет достичь лучших результатов в вопросе обеспечения идентичности алгоритмов проведения исследований микросхем.

В ходе проведения радиационного эксперимента необходимо достоверно определить уровень стойкости микросхемы при различных видах радиационных воздействий [3, 5]. В случае исследования СБИС в первую очередь необходимо обеспечить ФПК всех критичных внутренних блоков микросхемы: ОЗУ, ПЗУ, PLL, АЛУ, кэш-память, внутренние регистры, блоки АЦП/ЦАП, интерфейсы ввода/вывода и др. [1, 3, 5]. Методика ФПК для различных видов радиационного воздействия должна учитывать особенности

возникновения эффектов сбоя и отказов.

3.2. Методики контроля различных блоков СБИС при проведении радиационного эксперимента

Различные функциональные блоки СБИС имеют различные виды проявляемых радиационных эффектов. В результате, для каждого отдельного блока микросхемы существуют отдельный вид функционального теста, учитывающий его индивидуальные особенности.

А. Блоки памяти – ОЗУ, ПЗУ, кэш-память, РОН

Контроль данных блоков использует как тесты хранения (однократная запись информации с последующим постоянным чтением) для исследований стойкости изделия к воздействию ИИИ и ТЗЧ, так и тесты на перезапись (однократная или циклическая непрерывная) для исследований стойкости изделия к накопленной поглощенной дозе.

Б. Блоки интерфейсов ввода/вывода

– низкоскоростные интерфейсы (SPI, I2C, UART, GPIO и др.) – контроль блоков осуществляется с использованием внешнего измерительного оборудования. В случае отсутствия технической возможности контроля интерфейсов с помощью внешнего оборудования допускается осуществлять контроль путем включения интерфейсов микросхемы методом «сам-на-себя».

– высокоскоростные интерфейсы (PCIe, Ethernet, DDR2, DDR3 и др.) – контроль данных интерфейсов при помощи внешнего измерительного оборудования невозможен из-за высоких требований интерфейсов к синхронности сигналов и частоте обмена данными, что требует учета длинных линий и волнового сопротивления проводов. Включение интерфейсов производится внешним «кольцом» на печатной плате оснастки или внутренним «кольцом» в самой СБИС.

В. Блоки АЦП/ЦАП

В целях контроля параметров АЦП/ЦАП необходимо обеспечить измерение характеристики преобразования (ХП) блока, на основании которой в дальнейшем вычисляются точностные параметры преобразования: интегральная нелинейность (INL), дифференциальная нелинейность (DNL), смещение нуля (OE), смещение полной шкалы (FE).

Кроме того имеются отличия в методиках проведения контроля блоков АЦП/ЦАП при исследованиях микросхем на стойкость к воздействию накопленной поглощенной дозы и ИИИ/ТЗЧ.

– Накопленная поглощенная доза – проводится циклическое считывание ХП всей шкалы с контролем значений INL, DNL, OE, FE.

– ИИИ и ТЗЧ – контроль значений преобразования проводится путем построения гистограммы в одной или нескольких точках шкалы: 5%, 50% и 95% полной шкалы. Сбоем считается любое значение, выходящее за допустимые границы разброса значений эталонной гистограммы. На Рисунке 6 представлен пример контроля сбоев АЦП при исследовании микросхемы на стойкость к воздействию ТЗЧ.

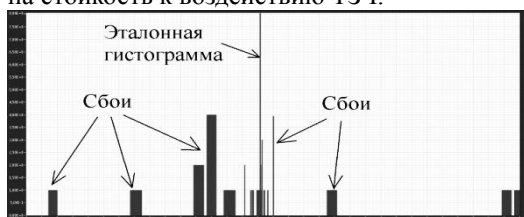


Рисунок 7. Одиночные сбои АЦП при контроле по гистограмме

Г. Блоки умножителей частоты PLL

Как правило, контроль функционирования блока PLL осуществляется на тактовом выводе микросхемы CLK_OUT (см. Рисунок 8). Однако микросхемы не всегда имеют подобные выходы. В таком случае возможен контроль PLL по косвенным признакам, например, по заданному программным способом меандру на одном из цифровых выходов или по показаниям функционального контроля и току потребления микросхемы (см Рисунок 9) – резкое уменьшение потребляемого тока при сохранении функционирования микросхемы является явным признаком сбоя блока PLL.

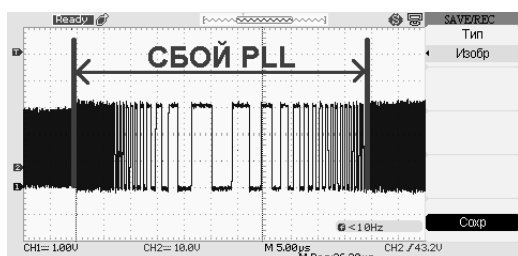


Рисунок 8. Контроль сбоя блока PLL с помощью вывода CLK_OUT

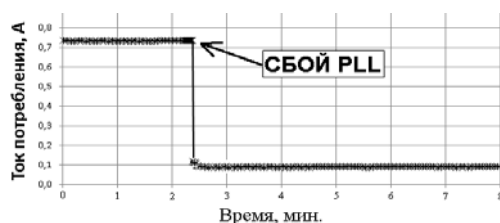


Рисунок 9. Контроль сбоя блока PLL по току потребления микросхемы

Д. Порты вывода/вывода GPIO

Контроль GPIO заключается в установке на выходе линии значений «логического нуля» и «логической единицы» с контролем выходных напряжений при требуемых выходных токах.

3.3. Модульность, гибкость и интеграция ПО

Из изложенных в пункте 3.2 требований видно, что ПО для проведения радиационного эксперимента содержит в себе множество особенностей, зависящих как от типа исследуемого изделия, так и от вида радиационного воздействия. Тем самым испытателю необходим набор функциональных и параметрических тестов изделия. Как следствие, ПО должно обладать модульностью, то есть испытатель должен иметь возможность комбинирования необходимых тестов, а также задавать последовательность их выполнения.

В процессе проведения исследований не редко случаются ситуации, когда требуется оперативное внесение изменений и осуществление корректировок в выполняемых тестовых функциях. В случае использования заранее написанных изготовителем и переданных испытателю в виде конечных исполняемых файлов тестовых программ, подобные действия сильно затруднены. ПО должно обладать достаточной гибкостью, для того чтобы испытатель без труда мог задать наиболее подходящие параметры (тестовые данные, код для тестирования памяти, диапазоны контролируемых адресов, задание режимов работы отдельных блоков и т.п.) выполняемых функций и алгоритмов.

Кроме того на практике приходится использовать обширный парк измерительных приборов (осциллографы, мультиметры, источники питания и др). ПО должно иметь возможность интеграции дополнительного оборудования в один единый измерительный аппаратно-программный комплекс.

3.4. Дополнительные требования к ПО

В процессе исследования должно быть обеспечено нахождение микросхемы в различных режимах: динамическом, статическом, пониженного энергопотребления и др. Также должна быть предусмотрена возможность программного и аппаратного сброса микросхемы.

Важным требованием является возможность выбора между ручным и автоматическим режимом проведения тестов.

– Автоматический режим необходим для проведения длительных испытаний. Кроме того автоматизированное выполнение функциональных тестов и алгоритмов

позволяет исключить влияние «человеческого фактора» на результаты эксперимента, а также обеспечить повторяемость его проведения.

– Ручной режим необходим для отладки оборудования во время подготовки к эксперименту, а также для проверки корректности результатов, получаемых в автоматическом режиме.

ПО должно иметь возможность удаленного управления, что необходимо как при проведении долгосрочных экспериментов, так и при испытаниях на радиационных установках, во время работы которых нахождение оператора возле микросхемы невозможно.

В качестве интерфейсов обмена данными между микросхемой и измерительным оборудованием следует использовать синхронные интерфейсы: SPI, I2C и т.п., поскольку асинхронные интерфейсы имеют зависимость от внутреннего генератора тактового сигнала микросхемы, который в случае испытаний на стойкость к накопленной поглощенной дозе, может деградировать, что в свою очередь приведет к изменению скорости передачи асинхронного интерфейса.

3.5. Пользовательский интерфейс и протоколирование данных

Немаловажным является наличие простого и понятного для оператора пользовательского интерфейса. Необходимо визуально четко отображать в реальном времени текущее состояние исследуемой микросхемы (количество одиночных радиационных эффектов (ОРЕ), параметров микросхемы и т.п.), поскольку данная информация является важной для принятия верного и своевременного решения оператором при проведении исследований на установке. Недопустимым является необходимость совершения огромного количества действий со стороны испытателя (ручное прописывания адресов, ввод команд, необходимость запуска различных программ для различных видов тестов), так как подобные действия впустую растрачивают имеющееся в наличии время на физической установке.

Протоколирование хода проведения эксперимента и результатов ФПК также является важной частью ПО. Следует отметить, что важен не только объем фиксируемых данных, но и структурированность записанной информации. Ясная структура лога упрощает его дальнейшую обработку и анализ. Например, простая запись в одну строку всей информации о микросхеме приводит к

необходимости дополнительной обработки данных для выделения нужной информации. Менее трудозатратным было бы сразу организовать лог, с отдельной записью различных параметров изделия.

Разумным решением является запись двух параллельных логов:

– основной лог – содержит в себе максимально подробную информацию о ходе проведения эксперимента: все контролируемые параметры (токи, напряжения, ФК различных блоков), а также информация о текущем статусе выполнения ФПК, показаниях датчиков, значения управляемых параметров, текущий режим микросхемы, промежуточные результаты и т.п. Вся эта информация может оказаться необходимой для дальнейшего анализа проведенного эксперимента, если будут выявлены эффекты и события, наличие которых не предполагалось во время подготовки к проведению эксперимента.

– краткий лог – содержит лишь сводную информацию о полученных результатах для ускорения обработки данных.

Также необходимо фиксировать различную общую служебную информацию об условиях проведения эксперимента, используемом оборудовании, способах защиты от ЭМ помех, режимах согласования и т.п.

4. Заключение

Проведение радиационного эксперимента является трудоемкой задачей и требует учета множества нюансов, как со стороны аппаратной части, так и со стороны программного обеспечения.

Отдельное внимание стоит уделять вопросам обеспечения стабильного питания исследуемой микросхемы, защищенности оснастки от воздействия ЭМ помех и ее возможность обеспечивать проведение эксперимента в наиболее критичных для изделия режимах. В оснастке должны быть учтены технические особенности физических установок, на которых предполагается проведение эксперимента.

Программная часть стенда должна обеспечивать контроль максимально возможных критичных функциональных блоков микросхемы. Наиболее удобной для проведения радиационных исследований является организация тестируемой программы в которой оператору предоставляется возможность произвольного выбора функциональных тестов для того или иного вида радиационного воздействия. Также ПО должно быть гибким, иметь возможность подключения дополнительного

измерительного оборудования, иметь возможность работы, как в ручном, так и в автоматическом режиме, а также предоставлять оператору возможность удаленного управления и контроля микросхемы во время эксперимента. Протоколирование эксперимента должно содержать максимально подробную информацию, при этом иметь хорошо структурированный вид, пригодный для дальнейшей обработки и анализа.

В обязательном порядке в ходе планирования эксперимента необходимо детальное обсуждение разработчика изделия и Испытательного центра для учета изложенных особенностей при разработке испытательных программного обеспечения и оснастки. Соблюдение указанных в данной статье рекомендаций позволит достичь наилучших результатов в процессе проведения радиационного эксперимента для СБИС.

Requirements to hardware, software and test setup for radiation testing of VLSIs

**D. Kostjuchenko, A. Karakozov, N. Djatlov,
P. Nekrasov, K. Epifantsev, V. Marfin,
N. Kravchenko, O. Kalashnikov, A. Ulanova**

Abstract. Development of equipment, software and test setup for radiation hardness testing of modern VLSI is a complex task. In the process of development, it is necessary to take into account a variety of factors – the requirements of full functional control, the impact of electromagnetic interference and ionizing radiation on the equipment, the modularity of the software. The article describes the main problems faced by the developer and the test engineer in the preparation of the radiation experiment and ways to solve them.

Keywords: radiation hardness of electronics, functional control, total dose, ionizing radiation, IESD, heavy ionized particles.

Литература

1. А.В. Чумаков. Радиационная стойкость изделий ЭКБ: Научное издание. М., НИЯУ МИФИ, 2015.
2. А.О. Ахметов, Д.В. Бобровский, П.В. Некрасов. Система контроля работоспособности функционально сложных СБИС при проведении радиационных исследований. «Электроника, микро- и наноэлектроника, 2010 г.», М., 258 – 265.
3. Н.Д. Кравченко, Д.В. Бойченко, О.А. Калашников, П.В. Некрасов, Н.В. Рясной, Е.В. Чурилин. Сравнение стойкости периферийных блоков микропроцессорных СБИС с различной архитектурой к дозовому воздействию. «20-ая Всероссийская научно-техническая конференция «Стойкость-2017», г. Лыткарино, 6-7 июня 2017 г. (тезисы)», 2017, 192 – 193.
4. В.С.Фигуров, В.В.Байков, В.В.Шелковников. Оценка влияния «просадки» питания на уровень возбуждения тиристорного эффекта у КМОП ИС при воздействии импульсного ионизирующего излучения. Вопросы атомной науки и техники. Серия: физика радиационного воздействия на радиоэлектронную аппаратуру, 2010, 39-45.
5. A. Egorov, P. Nekrasov, and O. Kalashnikov. Hardware-software complex for functional and parametric tests of ARM microcontrollers STM32F1XX. MATEC Web of Conferences, vol. 79, article number 01031, 2016.
6. B. Carter. Circuit Board Layout Techniques // Op Amps for Everyone, 2002, 17.1-17.31

Метод прогнозирования отказов силовых транзисторов при воздействии тяжелых заряженных частиц в среде TCAD

А.А. Голубцов¹, А.Н. Рябев², А.О. Шишкин³, А.С. Костин⁴

АО «Российские космические системы», Москва, Россия,

E-mail's: ^{1,2,3,4} design-centre@spacecorp.ru, ¹ gaa.771@gmail.com, ² aryabev@gmail.com

Аннотация. Разработан метод прогнозирования отказов силовых транзисторов при воздействии тяжелых заряженных частиц (ТЗЧ) в среде TCAD. Проведено моделирование воздействия ТЗЧ на силовой транзистор в среде TCAD и получены значения энергии частиц. Выполнено сравнение данных, полученных при использовании предложенного метода, с данными испытаний.

Ключевые слова: одиночные радиационные эффекты (ОРЭ), тяжелые заряженные частицы (ТЗЧ), TCAD (technology computer aided design), одиночный эффект выгорания (ОЭВ), линейная передача энергии (ЛПЭ), силовой транзистор.

Электронные устройства, работающие в космосе, подвержены одиночным радиационным эффектам (ОРЭ), которые могут быть вызваны солнечной активностью, космической радиацией и т. д. Энергия нейтронов даже в пределах атмосферы достигает сотен МэВ. Поэтому при создании электронного устройства необходимо учитывать влияние ОРЭ.

Силовые транзисторы также подвержены воздействию ОРЭ, которые могут быть вызваны тяжелыми заряженными

частицами (ТЗЧ), появляющимися в результате направленной ионизации. Когда ТЗЧ попадают в устройство или из-за вторичных частиц, образованных воздействиями протонов и нейтронов внутри устройства.

Все ОРЭ вызывают возмущения в устройстве, что ведет к нежелательным последствиям на компонентном уровне. Они разделяются на обратимые ОРЭ и необратимые ОРЭ (рисунок 1).

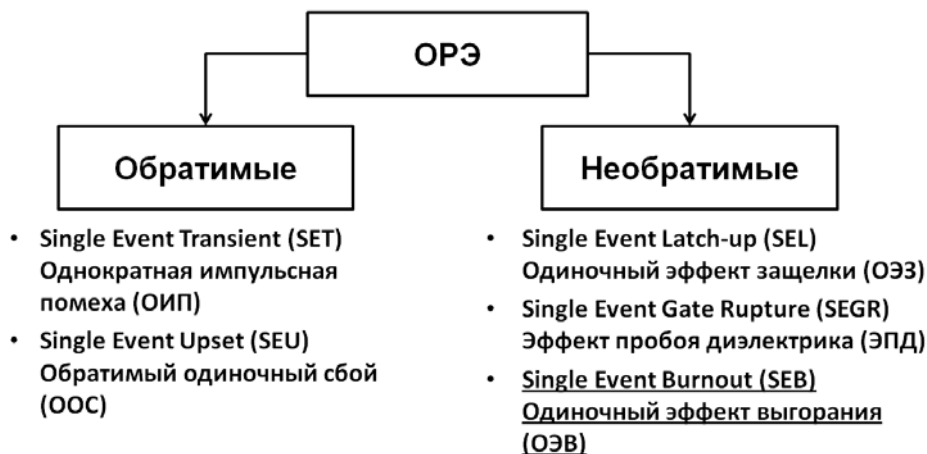


Рисунок 1. Одиночные радиационные эффекты и их классификация

Обратимые ОРЭ являются временным явлением, то есть устройства могут восстановиться от воздействия ТЗЧ. Обратимые ОРЭ делятся на:

- однократная импульсная помеха (ОИП), которая происходит, когда заряды, расположенные внутри ячейки устройства, порождают временный паразитный ток,

который может вызвать ошибки на выходе компонента;

- обратимый одиночный сбой (ООС) типичен для логических элементов, таких как памяти SRAM, DRAM, который нарушает состояние внутри ячейки. Эффект в общем случае корректируется путем перезаписи соответствующих бит.

Необратимые ОРЭ характеризуются невосстановимыми изменениями тока или напряжения и не могут быть скорректированы, если не будут своевременно и очень быстро предотвращены. Их последствия могут привести к критическим отказам компонентов. Необратимые ОРЭ делятся на:

- одиночный эффект выгорания (ОЭВ) появляется в устройствах при воздействии единичных ионизированных частиц, которые вызывают лавинный эффект, ведущий за собой появление высоких токов и приводящий к КО.

- эффект пробоя диэлектрика (ЭПД) появляется в устройствах с изолированным затвором, когда есть сильное смещение сток-исток и ТЗЧ проходят через кремний, заряд имеет тенденцию к накоплению в подзатворном окисле, который может быть разрушен, если произойдет внезапное увеличение паразитного тока на затворе, что ведет к КО.

- одиночный эффект защелки (ОЭЗ), заключается в возникновении паразитного тиристора внутри устройства (многоячеечных компонентов), вызванного одиночными частицами. Сгенерированные воздействием ТЗЧ токи могут быть довольно высоки, что приводит к повышению температуры, из-за чего сплавляются кремниевые и металлические части внутри единичной ячейки устройства и происходит катастрофический отказ (КО), в то время пока ток потребления всего устройства все еще небольшой [1, 2].

Одним из наиболее разрушительных ОРЭ для силовых транзисторов является одиночный эффект выгорания (ОЭВ). Одиночный эффект выгорания возникает при

пролете через транзистор ТЗЧ. Механизм эффекта ОЭВ заключается в следующем: заряженная частица, попадая в транзистор, теряет свою энергию, вызывая тем самым появление избыточных электронно-дырочных пар на своем пути за счет ионизации полупроводника. Плотность электронно-дырочных пар достигает очень больших значений в субмикронном диаметре трека частицы. Если полевой транзистор находится в выключенном состоянии (на затворе потенциал близок к 0) и на сток подано высокое напряжение относительно эмиттера, то электроны начинают двигаться от области стока к истоку, то есть появляется электрический ток. Этот вертикальный ток течет вдоль трека частицы и вблизи границы раздела диэлектрик-полупроводник горизонтально отклоняется в сторону истока. В результате возникает разность потенциалов на переходе база-эмиттер паразитного транзистора, что, в свою очередь, может привести к включению паразитного ВJT. Если это произойдет, то начнет действовать механизм обратной связи: электроны из эмиттера через базу будут инжектироваться в коллектор, поддерживая протекание тока большой величины через полевой транзистор. В результате полевой транзистор может перегреться и выйти из строя.

В отсутствие ОЭВ ток течет через канал полевого транзистора под управлением напряжения на затворе. При возникновении ОЭВ (в момент попадания ТЗЧ) ток начинает протекать через паразитный транзистор, и если включается механизм обратной связи, ток через ВJT, продолжает расти до разрушения транзистора [3].

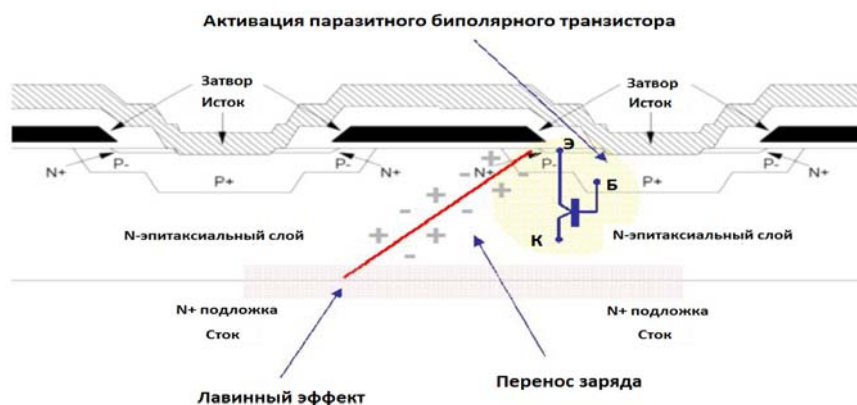


Рисунок 2. Визуализация одиночного эффекта выгорания

Чувствительность к SEB увеличивается с ростом напряжения смещения и энергии частиц. Простой способ прогнозирования отказов устройств, при

воздействии ТЗЧ – это создание модели и расчет их воздействия на устройство.

Перед началом разработки модели и метода прогнозирования воздействий ТЗЧ на

транзистор в среде TCAD необходимо определить понятие ЛПЭ. Линейная передача энергии (ЛПЭ) – скорость, с которой энергия передается от заряженной частицы к материалу посредством электромагнитного взаимодействия между ними. ЛПЭ зависит от энергии частицы и от плотности материала цели. ЛПЭ выражается

$$\text{пКл/мкмили в } \frac{\text{МэВ} \cdot \frac{\text{см}^2}{\text{мг}}}{\text{мг}} \cdot \frac{1}{\rho} \frac{dE}{dx} = \text{ЛПЭ} \left[\text{МэВ} \cdot \frac{\text{см}^2}{\text{мг}} \right], \quad (1)$$

где – энергия падающей частицы, ρ – плотность материала цели, – длина пробега частицы в материале цели.

В среде TCAD для расчета ЛПЭ используется зависимость $\frac{\text{пКл}}{\text{мкм}}$. Для кремния перевод величин рассчитывается как[4]:

$$97 \frac{\text{МэВ}}{\text{мг}} \cdot \frac{\text{см}^2}{\text{мг}} \approx 1 \frac{\text{пКл}}{\text{мкм}}, \quad (2)$$

В полупроводниковых материалах заряд генерируется, когда достаточно энергии передается к материалу и приводит к переходу электронов от зоны проводимости в валентную зону, создавая электронно-

дырочные пары. В кремнии средняя энергия, которая требуется для генерации электронно-дырочной пары, равна 3,6 эВ. То есть, преобразование от энергии передачи в осажженный заряд равна 22,5 МэВ/пКл[5-6].

Когда тяжелый ион проникает в структуру устройства, он теряет энергию и вдоль его трека создаются электронно-дырочные пары. Эти дополнительные заряды могут вызвать достаточно большой ток, который нарушает функциональность устройства. Далее представлено уравнение рекомбинации носителей заряда, используемое в TCAD в модели Шокли-Рида-Холла:

$$R_{net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)}. \quad (3)$$

Для расчета генерации носителей заряда в транзисторе используется уравнение:

$$G_{ii} = \alpha_n n v_n + \alpha_p p v_p. \quad (4)$$

Испытания силовых транзисторов на воздействие ТЗЧ проводят на ускорителях частиц, с параметрами указанными в Таблице 1.

Таблица 1. Параметры ионов при испытаниях силовых транзисторов на воздействие ТЗЧ

Тип иона	Энергия нуклона, МэВ	ЛПЭ, МэВ·см ² /мг	Пробег, мкм
Ксенон (Xe)	7,29	64±3,2	71,2±3,6
Аргон (Ar)	3,33	15,9±0,2	34,9±0,5

Для создания аналогичного воздействия ТЗЧ на модель транзистора необходимо задать данные для расчетов в TCAD, которые приведены в таблице 2. При задании смещения сток-исток выбирается напряжение смещение соответствующее данным с испытаний. Длина трека частицы в модели задается с шагом 5 мкм по всей длине структуры. Угол наклона вектора движения от нормали к поверхности задается равным 0°, так как такое значение отражает наихудший случай, имеющей наибольшую

чувствительность к SEB. Радиус первичной ионизации задается 50 нм [7]. Момент попадания ТЗЧ в транзистор задан на 5 пс. Общее время моделирования 5 мкс, чтобы воздействия на транзистор, произведенные ТЗЧ, успели стабилизироваться. Значение ЛПЭ задавалось с шагом 0,0001 пКл/мкм. ЛПЭ определяется по принципу выбора последнего значения из диапазона, при котором транзистор способен восстановиться от воздействия ТЗЧ.

Таблица 2. Параметры ионов в среде TCAD

Тип иона	Напряжение сток-исток, В	ЛПЭ, $\frac{\text{пКл}}{\text{мкм}}$	Длина трека, мкм	Угол наклона вектора движения от нормали к поверхности, °	Радиус первичной ионизации, нм	Момент воздействия, пс	Точка входа
Ксенон (Xe)	140	60	10-40	0°	25	5	Область затвора
Аргон (Ar)	200	15	10-40	0°	25	5	Область затвора

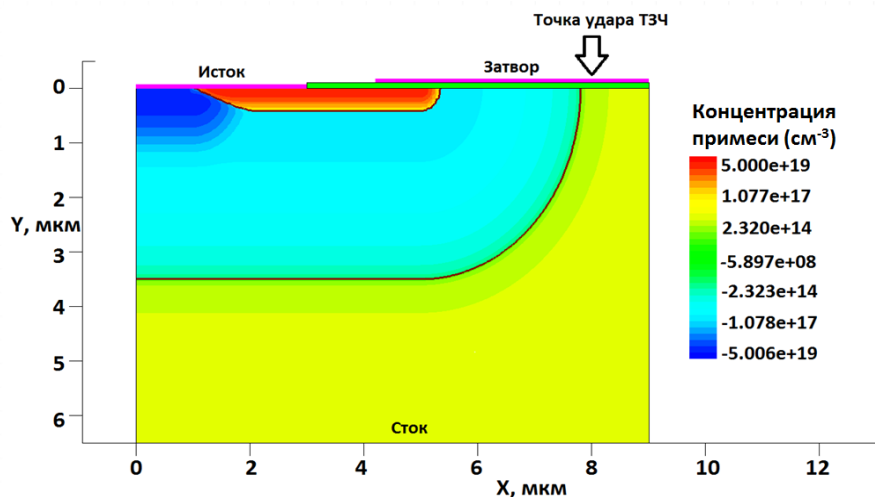


Рисунок 3. Распределение концентрации легирующей примеси и точка удара ТЗЧ на TCAD модели транзистора с максимальным рабочим напряжением сток-исток 200 В

В качестве примера взят образец силового транзистора D-MOSFET с максимальным рабочим напряжением сток-исток 200 В. Конструкция используемой TCAD модели силового транзистора и концентрации легирующей примеси, а также точка удара ТЗЧ представлены на Рисунке 3.

После моделирования воздействия ТЗЧ на транзистор и получения данных ЛПЭ для различной длины пробега частицы в кремнии рассчитывается общий накопленный заряд:

$$Q_{\text{общ}} = \text{ЛПЭ} \cdot l \cdot (5)$$

Энергия частицы для модели рассчитывается по формуле:

$$E_{\text{ТЗЧ}} = \frac{Q_{\text{общ}} \cdot E_{\text{ион}}}{E_e} \quad (6)$$

После нахождения значений энергии для разной длины пробега, выбирается наихудший случай, наиболее чувствительный к ОЭВ, и сравнивается с энергией частицы, которой облучали транзистор на испытаниях.

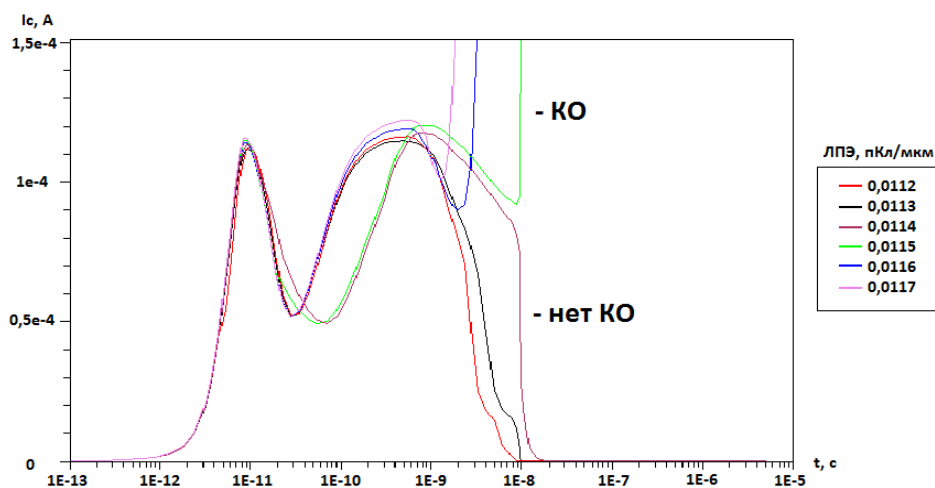


Рисунок 4. Результат TCAD моделирования зависимости тока стока транзистора от времени

На Рисунке 4 показана зависимость тока стока транзистора от времени моделирования, на которой видно, что после определенного значения ЛПЭ ток стока транзистора постоянно увеличивается, то есть транзистор перестает восстанавливаться, что приводит к КО.

На Рисунке 5 представлен случай, когда не происходит КО и представлена зависимость тока стока транзистора от времени моделирования и распределение плотности тока в промежутки времени: $5 \cdot 10^{-12}$ с; $5 \cdot 10^{-10}$ с; $1 \cdot 10^{-8}$ с.

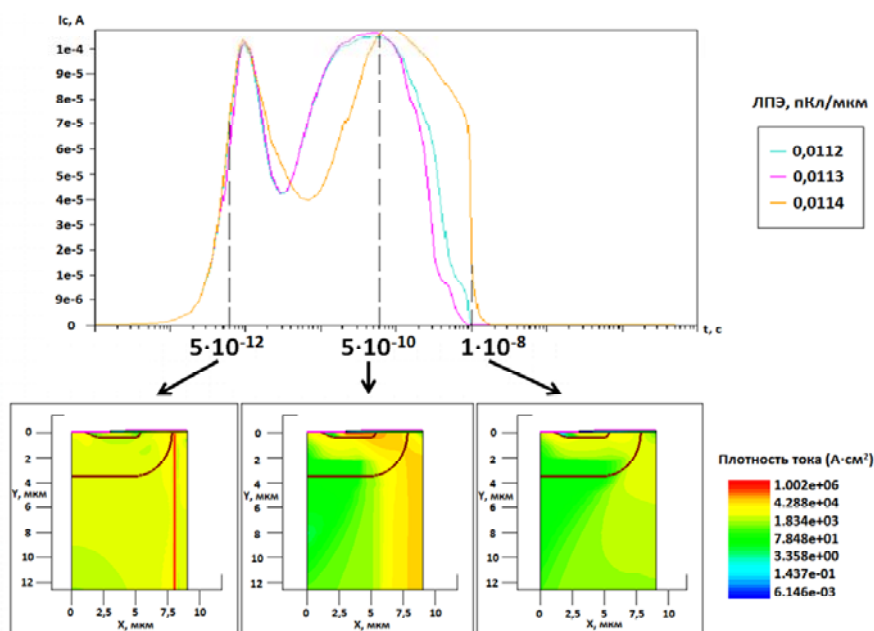


Рисунок 5. Зависимость тока стока от времени и распределение плотности тока в TCAD модели транзистора

На Рисунке 6 представлен случай, когда происходит КО и представлена зависимость тока стока транзистора от

времени моделирования и распределение плотности тока в промежутки времени: $5 \cdot 10^{-12}$ с; $5 \cdot 10^{-10}$ с; $2 \cdot 10^{-9}$ с.

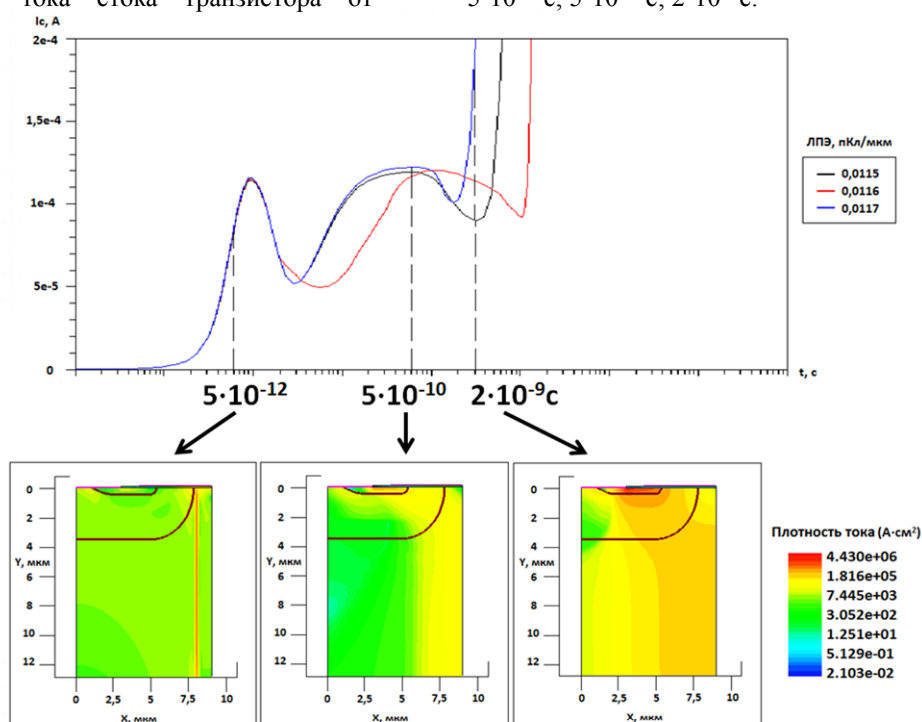


Рисунок 6. Зависимость тока стока от времени и распределение плотности тока в TCAD модели транзистора

Воздействие ТЗЧ на транзистор и наличие эффекта SEB оценивалось по пикам тока стока с течением времени (рисунки 4-6). Выход прибора из строя определяется по изменению тока стока после воздействия ТЗЧ: если ток продолжает расти с течением

времени, то присутствует эффект SEB – катастрофический отказ устройства, если же ток восстанавливается к своему начальному состоянию, то эффекта от SEB нет – устройство работает в обычном режиме.

Таблица 3. Сравнение параметров, полученных при моделировании и при испытаниях транзистора

Частица	Напря- жение, В	Пробег, мкм	ЛПЭ, пКл/мкм	Е _{ТЗЧ} , МэВ	Е _{ТЗЧ мин} , МэВ	Е _{ТЗЧ} , МэВ	
			Образец	Модель			Образец
Аргон (Ar)	200	10	0,015	0,0408	9,18	4,1	3,33
		15	0,01	0,0134	4,52		
		20	0,0075	0,0091	4,10		
		25	0,006	0,0074	4,16		
		30	0,005	0,0067	4,52		
		35	0,0043	0,0067	5,28		
		40	0,0038	0,0067	6,03		
Ксенон (Xe)	140	10	0,032	0,546	121,50	6,41	7,29
		15	0,021	0,099	33,41		
		20	0,016	0,0152	6,84		
		25	0,013	0,0114	6,41		
		30	0,011	0,01	6,75		
		35	0,0091	0,01	7,88		
		40	0,008	0,01	9,00		

По результатам моделирования определено, что силовой транзистор с максимальным рабочим напряжением стока 200 В способен выдерживать воздействие частиц с энергией 6,41 МэВ при напряжении смещения 140 В. А для случая моделирования, когда на силовой транзистор подавалось напряжение смещения 200 В

энергия частицы, которая не поведет за собой КО, равна 4,1 МэВ.

Определена область безопасной работы транзистора (рисунки 7-8) в зависимости от ЛПЭ и длины пробега ТЗЧ в кремнии с напряжением смещения стока 140 В и 200 В.

Облучение аргоном

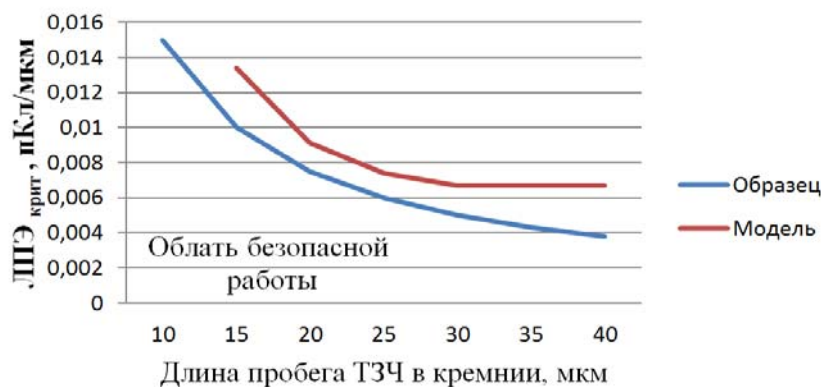


Рисунок 7. Зависимость области безопасной работы транзистора от длины пробега ТЗЧ в кремнии и ЛПЭ при облучении аргоном при напряжении смещения 200 В

Облучение ксеноном

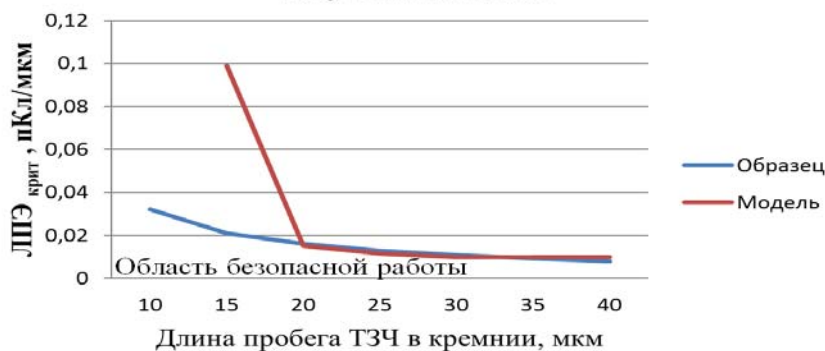


Рисунок 8. Зависимость области безопасной работы транзистора от длины пробега ТЗЧ в кремнии и ЛПЭ при облучении ксеноном при напряжении смещения 140 В

Используя разработанный метод прогнозирования воздействия ТЗЧ на силовой транзистор в среде TCAD, были получены значения ЛПЭ и напряжения сток-исток, которые соответствуют данным испытаний, представленных в таблице 3. Для транзистора с напряжением смещения 140 В энергия ТЗЧ при моделировании составила 6,41 МэВ, что соответствует данным с испытаний при облучении транзистора ксеноном. Для транзистора с напряжением смещения 200 В энергия ТЗЧ при

моделировании составила 4,1 МэВ, что соответствует данным с испытаний при облучении транзистора аргоном. Также представленный метод позволяет определить область безопасной работы транзистора. Следовательно, можно сделать вывод, что разработанный метод позволяет прогнозировать устойчивость силовых транзисторов к одиночному эффекту выгорания при заданных значениях ЛПЭ и напряжениях сток-исток.

Method for predicting failures of power transistors under the influence of heavy ions in TCAD

A.A. Golubtsov, A.N. Ryabev, A.O. Shishkin, A.S. Kostin

Abstract. Developed a method for predicting failures of power transistors under the influence of heavy ions in TCAD. The modeling of the effect of heavy ions on a power transistor in TCAD was carried out and the values of the particle energy. Comparison of the data obtained using the proposed method with the test data was performed.

Keywords: single event effects (SEE), heavy ions, TCAD (technology computer aided design), single event burnout (SEB), linear energy transfer (LET), power transistor.

Литература

1. S. Siconol. A physical prediction model of destructive Single Event - ISAE, 2015. – 129 p.
2. С.А.Морозов, С.А.Соколов. Радиационные эффекты при воздействии тяжелых заряженных частиц на КНИ БИС и способы их моделирования // Труды НИИСИ РАН, т 1, 2011, № 2, с. 47-51.
3. К.И.Таперо. Радиационные эффекты в кремниевых интегральных схемах космического применения. – М.: БИНОМ. Лаборатория знаний, 2012. – 304 с.
4. К.Е.Holbert. Charged particle ionization and range. – 2012. – pp. 1–6.
5. Г.И.Зебрев. Радиационные эффекты в кремниевых интегральных схемах высокой степени интеграции - НИЯУ МИФИ, 2010. – 148 с.
6. M.A. Clemens, R A. Weller. Energy deposition mechanisms for proton- and neutron-induced single event upsets in modern electronic devices - 2012. – 114 p.
7. В.М.Лисицын. Оценка радиуса трека тяжелых заряженных частиц в ионных кристаллах по спектрам наведенного поглощения. – Известия Томского политехнического университета, 2009. – т. 314. № 2, с. 122-125.

Учет отжига радиационных эффектов в SPICE моделях МОП-транзисторов для расчетов радиационно стойких КМОП БИС

И. А. Харитонов

ФГБНУ «НИИ Перспективных материалов и технологий», Москва, Россия, E-mail: ikharitonov@hse.ru

Аннотация. Описана расширенная и улучшенная версия SPICE модели МОПТ для расчета характеристик радиационно-стойких КМОП схем. Это достигнуто за счет добавления в модель выражений, описывающих изменения плотностей дырочного заряда в окисле и поверхностных состояний на его границе в зависимости от мощности дозы, времени облучения, электрического поля в окисле. Приведены примеры применения модели для моделирования характеристик МОП транзисторов и КМОП схем при работе в условиях облучения с различной мощностью дозы.

Ключевые слова: КМОП БИС, САПР, схемотехническое моделирование, SPICE модели, радиационные эффекты, полученная доза, отжиг дефектов, дырочный заряд, поверхностные состояния

1. Введение

Известно, что мощность дозы и время облучения МОП транзисторов существенно влияют на деградацию параметров транзисторов и причины нарушения работоспособности построенных на них схем [1-3 и др.].

В качестве примера на Рис. 1 приведены данные [1] по разному характеру изменения порогового напряжения от дозы в зависимости от мощности дозы для п-канального МОПТ (4/3 мкм технология, 42 нм подзатворный окисел (Sandia Nat. Labor.). Из рисунков видно, что при больших мощностях дозы (малых временах облучения) преобладает дырочный заряд в окисле, снижающий пороговое напряжение, а при низких (больших временах облучения) – заряд поверхностных состояний, увеличивающий пороговое напряжение. Из литературы известно, что дырочный заряд в окисле при облучении формируется быстро, отжигается медленно. Процесс формирования поверхностных состояний растянут во времени, при коротких временах облучения они не успевают образоваться. Отжиг их происходит при еще больших временах (месяцы и годы). В результате при высокой мощности дозы (малых временах) дырочный заряд формируется, но не успевает отжигаться. Поверхностные состояния не успевают формироваться. При низкой мощности дозы (больших временах) дырочный заряд в той или иной степени

отжигается и поверхностные состояния успевают сформироваться. Спад подвижности вследствие роста поверхностных состояний приводит к ухудшению динамических характеристик схем, а уменьшение порогового напряжения (особенно для паразитных боковых транзисторов) приводит к росту тока потребления схемы.

Иллюстрирующие примеры приведены на Рис. 2 (данные из [2]) для микросхемы памяти Sandia SA3001 2K SRAMs. Таким образом, для корректного моделирования характеристик КМОП схем в условиях радиационного воздействия в SPICE моделях МОПТ необходимо учитывать эффекты изменения (генерации и отжига) радиационных эффектов во времени. К сожалению, в используемых в настоящее время SPICE моделях стойких МОП факторы отжига радиационных дефектов (дырочного заряда и поверхностных состояний) учитываются недостаточно. Во многом это объясняется малыми размерами современных КМОП транзисторов и малыми величинами наводимых облучением зарядов. Однако, для ряда аналоговых и некоторых других применений продолжают использоваться транзисторы с длинами каналов более 100 нм, для которых указанными эффектами пренебрегать нельзя. Актуальным остается учет эффектов отжига и для толстых боковых окислов современных КМОПТ, вследствие возникновения в них токов утечки.

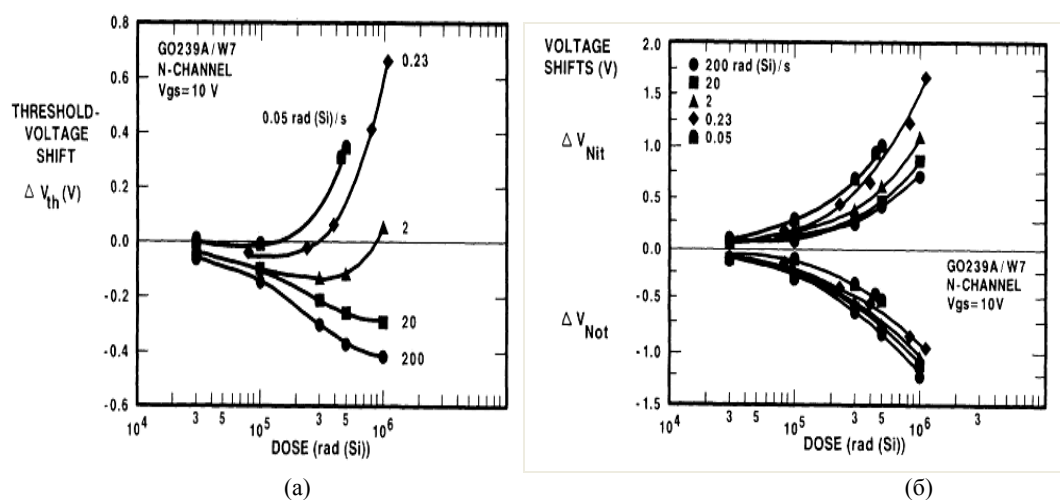


Рис. 1. Измеренные [1] изменения порогового напряжения (а) и составляющие этих изменений для п-канального МОПТ (4/3 мкм технология, 42 нм подзатворный окисел (Sandia Nat. Labor.)).

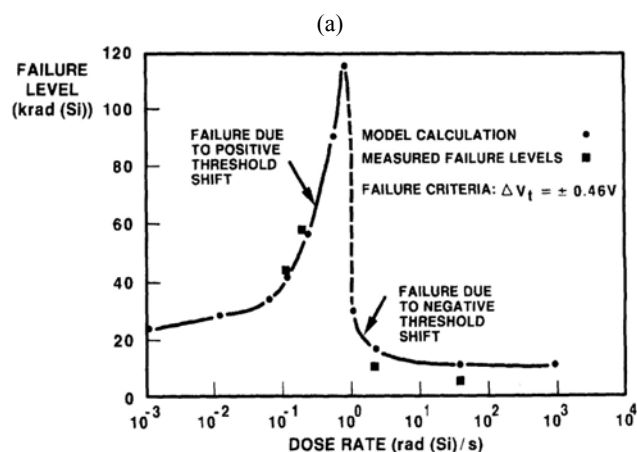
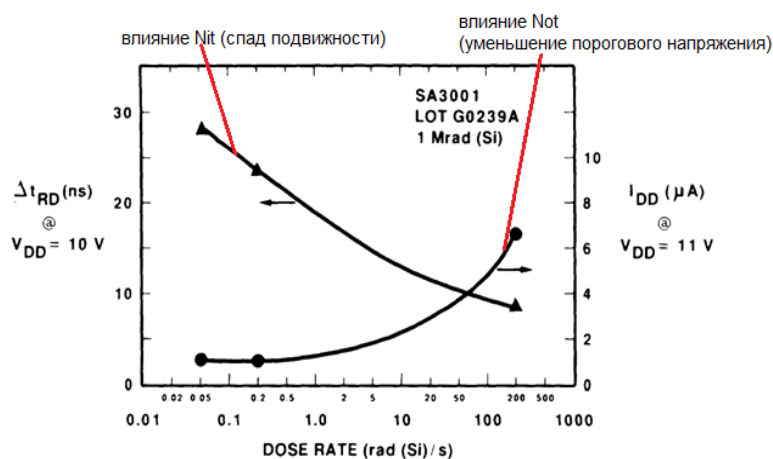


Рис.2. Измеренные [2] изменения характеристик (времени считывания и тока потребления) схемы памяти SA3001 в процессе облучения (а) и значения дозы, при которой происходит отказ схемы (б) в зависимости от мощности дозы.

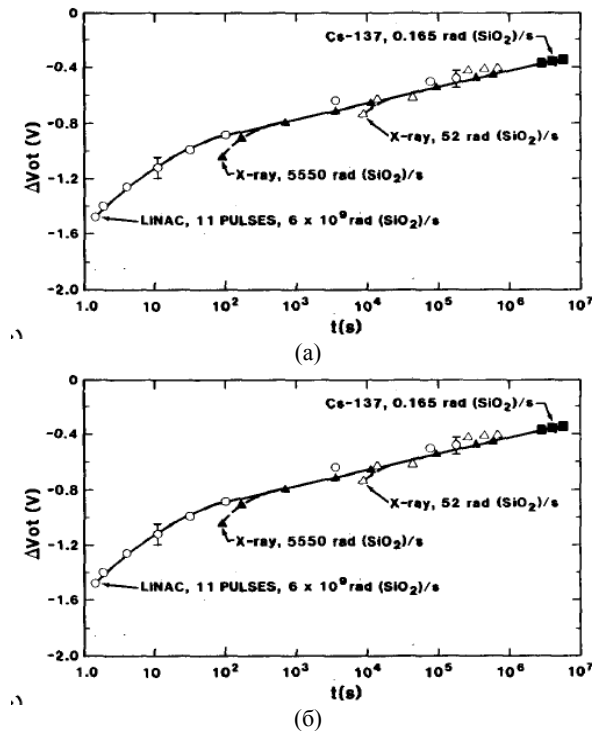


Рис. 3. Измеренные [5] изменения порогового напряжения вследствие дырочного заряда (а) и заряда поверхностных состояний (б) в зависимости от времени облучения («кривые отжига») (2 мкм технология, 32 нм окисел (Sandia Nat. Labor.), 500 крад.).

2. Учет эффектов отжига радиационных эффектов в SPICE моделях МОП-транзисторов

Физические зависимости и выражения для временных изменений плотностей наведенных облучением зарядов: накопления и отжига дырочного заряда N_{ot} , генерации и отжига поверхностных состояний N_{it} в подзатворном и изолирующих оксидах МОПТ в зависимости от мощности дозы, времени и др. факторов подробно описаны в литературе (например, [1-5] и др.). Иллюстрирующие примеры приведены на рис. 3 (так называемые «кривые отжига»). Для описания этих кривых отжига были предложены вариации следующих зависимостей [2-5].

Доля изменения во времени порогового напряжения вследствие *отожженного* заряда дырок:

$$\Delta V_{ha} = -\Delta V_{ht} K_2 \ln(t/t_0), \quad (1)$$

где ΔV_{ha} – величина изменения порогового напряжения вследствие *наведенного* заряда дырок, зависящая от полученной дозы, толщины окисла, напряжения на затворе во время облучения.

Доля изменения во времени порогового напряжения вследствие изменения концентрации поверхностных состояний при облучении:

$$\Delta V_{it} = K_4 D (1 - (1 + t/\tau)^{-1/2}), \quad (2)$$

где t_0 , τ – постоянные времени отжига дырочного заряда и генерации поверхностных состояний, соответственно.

Указанный способ учета временного изменения и отжига радиационных эффектов в SPICE моделях МОПТ был приведен для зарубежной системы BERT [5] в 1994 г., однако, в дальнейшем в зарубежной и отечественной литературе данный вопрос достаточно не рассмотрен.

При этом изменение предпорогового наклона сток-затворной ВАХ облученного МОПТ в работе [5] и др. не учитывалось.

Поскольку наши SPICE модели стойких МОПТ [8, 9 и др.] уже учитывают зависимости основных параметров модели от плотностей дырочного заряда N_{ot} , и плотности поверхностных состояний N_{it} , которые зависят от полученной дозы D , то возможно изменить зависимости $N_{ot}(D)$ и $N_{it}(D)$ на $N_{ot}(t, rate)$ и $N_{it}(t, rate)$, где t – время облучения, $rate$ – мощность дозы облучения, введя дополнительный параметр

модели – время облучения t .

Результирующие зависимости имеют вид:

$$\Delta N_{ot}(E, t) = N_{ot_satur}(E) \cdot (1 - e^{-k_{ot} \cdot R \cdot t}) \times \left[1 - \ln \left(1 + \frac{t}{t_{s_ot}} \right) \right], \quad (3)$$

$$\Delta N_{it_gener}(E, t) = N_{it_satur}(E) \times (1 - e^{-k_{it} \cdot R \cdot t}) \cdot \left(1 - \left(1 + \frac{t}{t_{s_it}} \right)^{-v} \right), \quad (4)$$

где

$N_{ot_satur}(E)$, $N_{it_satur}(E)$ – соответствующие максимальные значения концентраций, зависящие от электрического поля под затвором E , при $t \rightarrow \infty$,

t_{s_ot} , t_{s_it} – постоянные времени отжига дырочного заряда и генерации поверхностных состояний, соответственно,

R – мощность дозы,

k_{ot} , k_{it} , v – подгоночные коэффициенты.

Для постоянных времени использованы традиционные зависимости вида:

$$t_s(E) = K_t \cdot \tau_{1/2}(E), \quad (5)$$

$\tau_{1/2}$ – половинное время процесса отжига (генерации), зависящее от эл. поля, толщины, температуры, свойств окисла ([4 - 7] и др.).

В модели для значений концентраций N_{ot_satur} , N_{it_satur} и постоянных времени t_{s_ot} , t_{s_it} использованы существующие физические зависимости этих параметров от температуры, электрического поля, особенностей окисла (работы [1-7], их ссылки и др.).

Точные значения параметров определяются из результатов измерений характеристик МОПТ для различных условий облучения.

Рассчитанные концентрации $\Delta N_{ot}(t)$ и $\Delta N_{it}(t)$ затем используются обычным образом в нашей макромодели [8-9] для расчета изменений параметров модели МОПТ, описывающих пороговое напряжение, подвижность, предпороговый наклон сток-затворной ВАХ, что обеспечивает связь физических особенностей радиационных эффектов в МОП структурах с параметрами схемотехнических моделей и затем с характеристиками схем.

Для иллюстрации на рис. 4 приведены смоделированные составляющие порогового напряжения МОПТ ($t_{ox}=42$ нм) при разных мощностях дозы: 200 рад/сек (а) и 0.05 рад/сек (б).

Результаты измерений для этих данных были приведены на рис. 1.

На рис. 5 приведены измеренные [5] для 50 крад/сек (а) и смоделированные составляющие порогового напряжения МОПТ ($t_{ox}=22$ нм) при разных мощностях дозы: 50 крад/сек (б) и 10 крад/сек (в).

Примеры подгонки параметров модели приведены для упомянутой технологии Sandia т.к.:

- эта технология, транзисторы и схемы, изготовленные на ее основе, были подробно исследованы разными авторами при разных мощностях дозы и в разных условиях,

- из-за большой толщины окисла рад. эффекты хорошо заметны.

Видно, что используемая модель воспроизводит экспериментальные зависимости составляющих и суммарного сдвига порогового напряжения для разных мощностей дозы с погрешность не более 20%.

3. Моделирование работы КМОП схем с учетом временного отжига радиационных эффектов

Верификация модели была проведена на ряде КМОП схем. Для примера корректность модели продемонстрирована, как и в работе [5], на схеме кольцевого генератора, содержащего 101 КМОП инвертор с размерами транзисторов $W_n/L_n=6/1.3$ мкм, $W_p/L_p=6/1.2$ мкм, $t_{ox}=21$ нм.

На рис. 6 приведены измеренные в [5] и смоделированные с помощью разработанной нами модели относительные изменения частоты описанного кольцевого генератора для мощностей дозы 50 крад/мин (а) и 10 крад/мин (б).

Несмотря на небольшое различие в мощностях дозы, различие в изменениях пороговых напряжений и частот кольцевого генератора достаточно заметны.

Видно, что наша модель обеспечивает точность моделирования относительного изменения динамических характеристик не хуже 5%.

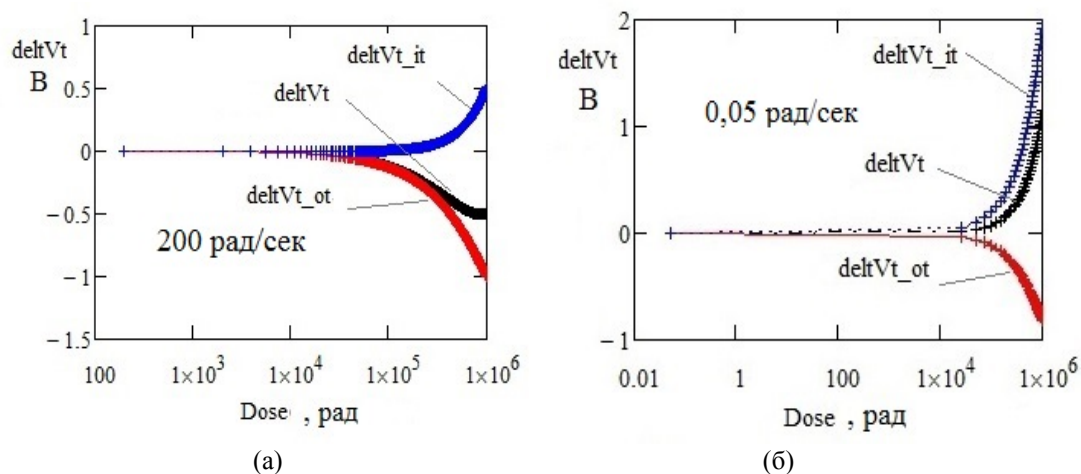


Рис. 4. Смоделированные составляющие и суммарные (ΔV_t) сдвиги порогового напряжения МОПТ ($t_{ox}=42$ нм) при мощностях дозы: 200 рад/сек (а) и 0.05 рад/сек (б).

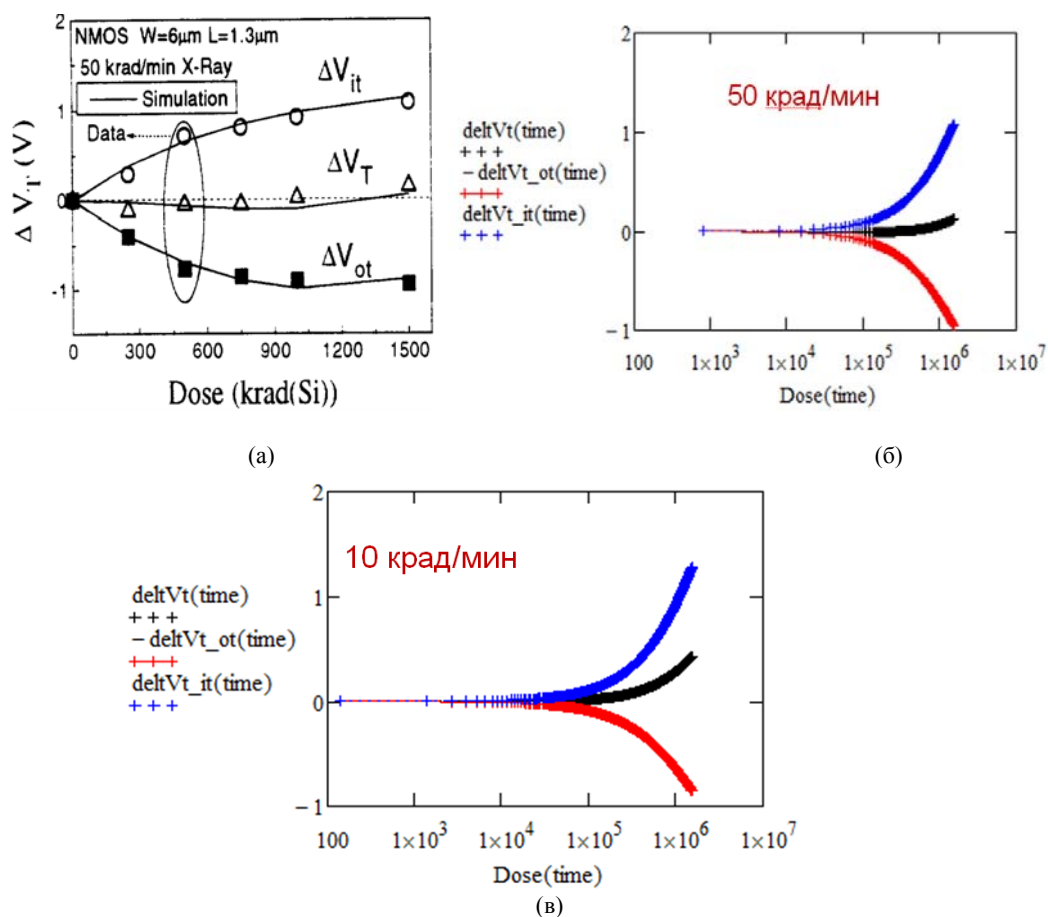


Рис. 5. Измеренные [5] для 50 крад/мин (а) и смоделированные составляющие порогового напряжения МОПТ ($t_{ox}=22$ нм) при разных мощностях дозы: 50 крад/мин (б) и 10 крад/мин (в).

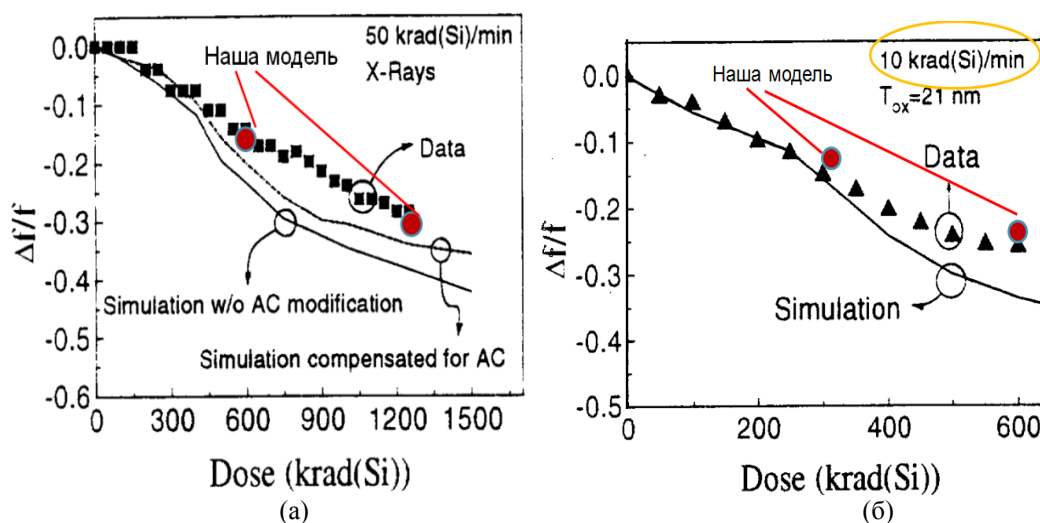


Рис. 6. Измеренные [5] и смоделированные для 50 крад/мин (а) и 10 крад/мин (б) относительные изменения частоты кольцевого генератора на (101 инвертор, $t_{ox}=21$ нм, $W/L=6/1.2$ мкм).

4. Выводы

1. В нашу модель стойких МОПТ добавлены зависимости для учета отжига радиационных эффектов (дырочного заряда и заряда поверхностных состояний) во времени, учета мощности дозы и времени облучения.
2. Доработанная модель обеспечивает существенно более высокую точность

моделирования стойких КМОП схем в условиях работы при различных мощностях дозы.

3. После калибровки модели по результатам измерений, появляется возможность оценки характеристик МОП транзисторов и схем при работы в условиях с мощностью дозы, отличающейся от используемой при измерениях.

Account of annealing of radiation effects in MOSFET SPICE models for simulation of hardened CMOS ICs

I. Kharitonov

Abstract. An expanded and improved version of our SPICE model for MOS FETs for calculating the characteristics of radiation-hardened CMOS circuits is described. The improvement is achieved by adding to the model expressions that describe changes in the density of the trapped hole charge in the oxide and surface states at its interface, depending on the dose rate, the irradiation time, and the electric field in the gate oxide. Examples of the application of the developed model for simulation of the characteristics of MOS transistors and CMOS circuits operating under irradiation conditions with different dose rates are given.

Keywords: CMOS IC, CAD systems, SPICE simulation, SPICE models, radiation effects, oxide charge, interface traps, annealing, dose rate.

Литература

1. P. S. Winokur, F. W. Sexton, G. L. Hash, and D. C. Turpin. Total-Dose Failure Mechanisms of Integrated Circuits in Laboratory and Space Environments. IEEE Trans. on Nucl. Sci., vol. NS-34, N 6, 1987, 1448-1454.
2. P. S. Winokur, F. W. Sexton, J. R. Schwank, D. M. Fleetwood, P. V. Dressendorfer, T. F. Wrobel, Total-dose radiation and annealing studies: Implications for hardness assurance testing. IEEE Trans. on Nucl. Sci., Vol. NS-33, No. 6, 1986, 1343-1351.
3. D. M. Fleetwood, P. S. Winokur, and J. R. Schwank , Using laboratory x-ray and cobalt-60 irradiations to predict CMOS device response in strategic and space environments. IEEE Transactions on Nuclear Science, Vol. 35, No. 6, December 1988.
4. 3D. B. Brown, W. C. Jenkins, A. H. Johnston. Application of a Model for Treatment of Time Dependent Effects on Irradiation of Microelectronic Devices. IEEE Trans. on Nucl. Sci., vol. 36, N 6, 1989, 1954-1962.
5. P. Pavan, R.H. Tu, E.R. Minami, G. Lum, P.K. Ko. Chenming Hu. A complete radiation reliability software simulator . IEEE Trans. on Nucl. Sci., vol. NS-41, N 6, 1994, 2619-2630.
6. V. Lakshmanan and A. S. Vengurlekar. Logarithmic detrapping response for holes injected into SiO₂ and the influence of thermal activation and electric fields, Journal of Applied Physics. Vol. 63, 1988, 4548-4555.
7. Ph. M. Campbell and C. W. Bogdan. Analytical Models for Total Dose Ionization Effects in MOS Devices. Sandia report. Sandia National Laboratories Albuquerque, New Mexico, 2008.
8. Petrosyants K. O., Kharitonov I. A., Sambursky L. M., Mokeev A. S. Rad-Hard Versions of SPICE MOSFET Models for Effective Simulation of SOI/SOS CMOS Circuits Taking into Account Radiation Effects. Proc. of the 24th European conference on radiation and its effects on components and systems -2015 (RADECS 2015), Moscow, Russia, 2015, 23-26.
9. И. А. Харитонов. Подсистема схемотехнического проектирования КМОП БИС с учётом совместного влияния радиационных и тепловых эффектов, Труды НИИСИ РАН, том 2, № 2, 2017, 78-87.

Экспериментальное усреднение сечения сбоев от ТЗЧ по полному телесному углу

О.С. Пивко¹, А.М. Галимов², Г.И. Зебрев³

^{1,2} НИИМА Прогресс, Москва, Россия ^{2,3} НИЯУ МИФИ, Москва, Россия,

E-mail's : ¹ pivko@mri-progress.ru, ² galimov@mri-progress.ru, ³ gizebrev@mephi.ru

Аннотация. В работе рассматриваются феноменологический и дозиметрические методы расчета сечения сбоев, усредненного по полному телесному углу. Приведены сравнения расчетных и экспериментальных данных усреднения сечения.

Ключевые слова: одиночные сбои, частота сбоев, сечение сбоев, угловая зависимость, ТЗЧ.

Введение

Прогнозирование частот сбоев микросхем памяти, вызванных воздействием тяжелых заряженных частиц (ТЗЧ) остается актуальной проблемой уже на протяжении четырех десятков лет. В 1983 году для расчета частоты сбоев от ТЗЧ Питерсон предложил являющийся стандартным по сей день метод IRPP [1] (Integral Rectangular Parallelepiped), основанный на дозиметрических приближениях изолированного чувствительного объема. Основной задачей, которую решает данный метод, является пересчет от экспериментального сечения сбоев, полученного при фиксированном угле падения частиц $\sigma(\theta = 0)$, к сечению сбоев, усредненного по полному телесному углу $\langle\sigma\rangle$. Данная процедура является ключевым моментом прогнозирования частоты сбоев в изотропном потоке ТЗЧ космоса. На сегодняшний день подавляющее большинство существующих методов и программных инструментов расчета основываются на концепции изолированных чувствительных областей.

Уменьшение проектных норм неизбежно привело к тому, что характерные размеры чувствительных областей микросхем памяти стали сопоставимы с характерными размерами треков частиц. В современных суб-100 нанометровых микросхемах начинают доминировать множественные сбои, что в свою очередь приводит к значительной недооценке частот сбоев при использовании традиционных подходов. Основной целью данной работы является исследование достоверности существующих методов расчета частот сбоев в части пересчета от $\sigma(\theta = 0)$ к $\langle\sigma\rangle$. Приведено сравнение значений $\langle\sigma\rangle$, полученных расчетными методами, с литературными экспериментальными данными. В результате анализа экспериментальных данных показано, что сечение сбоев, усредненное по полному

телесному углу, соответствует экспериментальному сечению, полученному под углом 60 градусов.

1. Дозиметрические методы расчета частот сбоев

Все дозиметрические методы основаны на подсчете выделенного заряда в изолированном чувствительном объеме с известными размерами. На практике параметры чувствительного объема не могут быть измерены и определены однозначно и зачастую определяются экспертной оценкой. В данном разделе рассмотрены наиболее популярные дозиметрические методы расчета и приведены их основные характеристики с точки зрения практических расчетов.

1.1. Метод IRPP Питерсона

Метод IRPP является наиболее популярным методом расчета частот сбоев в космосе. Усредненное по полному телесному углу $\langle\sigma(\Lambda)\rangle$ рассчитывается по формуле:

$$\langle\sigma(\Lambda)\rangle = \frac{S_0}{4} \int_0^{r_{max}} K(r) \cdot C(r) dr, \quad (1)$$

где r - длина хорды в чувствительной области в виде прямоугольного параллелепипеда (RPP), Λ - линейная передача энергии (ЛПЭ), S_0 - площадь поверхности RPP, $C(r)$ - функция распределения длин хорд в RPP. $K(r)$ - вероятность возникновения сбоя в RPP, характеризующаяся в методе IRPP функцией Вейбула

$$K(r) = 1 - \exp\left(-\left(\frac{\Lambda \frac{r}{z} - \Lambda_c}{W}\right)^\alpha\right), \quad (2)$$

где Λ_c - пороговое ЛПЭ, W и α - параметры, определяющие форму кривой надпорогового участка, z - глубина RPP.

Точный расчет частот сбоев методом IRPP не является простой задачей. Для расчетов

необходимо задать семь тонко настраиваемых параметров: 4 параметра функции Вейбула, которые не всегда можно определить однозначно [2], и 3 параметра размеров RPP, где глубина чувствительной области фактически является произвольным параметром. Ко всему прочему функция распределения длин хорд также зависит от параметров RPP и имеет смысл только для изолированного чувствительного объема и локального воздействия частицы.

1.2. Закон обратного косинуса

Косинусный закон является самым простым и очевидным методом пересчета сечения сбоев от нормального угла к любому другому. Тем не менее, метод не учитывает зависимость от азимутального угла, поэтому расчёты часто могут содержать значительную ошибку [3]. В рамках закона обратного косинуса усредненное по полному телесному углу сечение выглядит следующим образом

$$\langle \sigma(\Lambda) \rangle = \frac{1}{4\pi} \int_0^\pi \int_0^{2\pi} \sin \theta \cdot |\cos \theta| \cdot \sigma_N \left(\frac{\Lambda}{\cos \theta} \right) d\varphi d\theta, \quad (3)$$

где φ - азимутальный угол падения ТЗЧ, θ - полярный угол, σ_N - сечение сбоев, измеренное под нормальным углом.

1.3. Альфа-закон Эдмондса

Мотивацией для создания Альфа закона послужил тот факт, что косинусный закон не учитывает азимутальную составляющую.

В работе [3] Эдмондс предлагает для учета азимутальной составляющей ввести корректирующий коэффициент $\alpha(\theta, \varphi)$. Данный коэффициент по своему смыслу совпадает с функцией распределение длин хорд в RPP с тем отличием, что чувствительной областью по Эдмондсу является эллипсоид. Основные выражения, определяющие Альфа закон, представлены в формулах (4)-(6).

$$\langle \sigma(\Lambda) \rangle = \frac{1}{4\pi} \int_0^\pi \int_0^{2\pi} \sin \theta \cdot \alpha(\theta, \varphi) \cdot \sigma_N \left(\frac{\Lambda}{\alpha(\theta, \varphi)} \right) d\varphi d\theta \quad (4)$$

$$\alpha(\theta, \varphi) = \sqrt{(A^2 \cdot \cos^2 \varphi + B^2 \cdot \sin^2 \varphi) \sin^2 \theta + \cos^2 \theta} \quad (5)$$

$$A = \frac{z}{a}; B = \frac{z}{b}; \quad (6)$$

где A и B - подгоночные коэффициенты, характеризующие форму эллипсоида. Выражение (6) устанавливает связь формы эллипсоида с аналогичным ему чувствительным объемом в форме RPP, где a, b и z - размеры RPP. Таким образом, Альфа закон есть аналог метода IRPP с отличием в представлении формы чувствительного объема.

2. Феноменологический подход

Как показано ранее, дозиметрические методы расчета частот сбоев не позволяют однозначно получить надежную оценку усредненного сечения вследствие отсутствия достоверной информации о чувствительных областях микросхемы.

Экспериментальное исследование сечения имеет существенное преимущество, так как позволяет экспериментально учесть все эффекты возникающие в микросхеме, в том числе и множественные сбои.

Экспериментальный подход, или по-другому феноменологический подход, не содержит произвольных параметров, поскольку вся необходимая для прогнозирования информация уже содержится в экспериментальных данных.

Расчет частоты сбоев от ТЗЧ R_{HI} выглядит следующим образом:

$$R_{HI} = \int \langle \sigma(\Lambda) \rangle \cdot \varphi(\Lambda) d\Lambda \quad (7)$$

где $\langle \sigma(\Lambda) \rangle$ - сечение сбоев, включая множественные сбои, экспериментально усредненное по полному телесному углу, $\varphi(\Lambda)$ - дифференциальный спектр ЛПЭ изотропного потока частиц;

Усредненное сечение рассчитывается по формуле [4]:

$$\langle \sigma(\Lambda) \rangle = \frac{1}{4\pi} \int_0^\pi \int_0^{2\pi} \sigma(\Lambda, \varphi, \theta) \sin \theta d\theta d\varphi \quad (8)$$

где $\sigma(\Lambda, \varphi, \theta)$ - сечение сбоев, экспериментально измеренное в полном диапазоне полярного и азимутального угла.

С практической точки зрения получение данной информации не представляется возможным. В работе Зебрева и Галимова [2] предложена концепция, согласно которой $\langle \sigma(\Lambda) \rangle$ для коммерческих микросхем памяти возможно получить при фиксированном полярном угле падения ТЗЧ, соответствующему углу 60 градусов.

Суть концепции заключается в том, что для современных микросхем нелокальность воздействия ТЗЧ переводит набор отдельных чувствительных областей массива памяти в единый тонкий чувствительный слой (Рис.1). Для изотропного излучения функция распределения углов падения для единого тонкого слоя равна:

$$f_\theta(\theta) = 2 \sin \theta \cos \theta, \quad (9)$$

где $0 \leq \theta \leq \pi/2$, а средняя длина трека ТЗЧ при этом составляет удвоенную толщину тонкого слоя z :

$$\langle l \rangle = \int_0^{\pi/2} f_\theta(\theta) \cdot \frac{z}{\cos \theta} d\theta = 2z. \quad (10)$$

Из выражений (9)-(10) видно, что в тонком чувствительном слое средней длине трека

частицы соответствует угол падения ТЗЧ равный углу 60 градусов

$$\langle \sigma(\Lambda) \rangle \approx \sigma(\Lambda, 60^\circ). \quad (11)$$

В разделе 3 данное обстоятельство подтверждается анализом экспериментальных данных сечения сбоев в диапазоне полярных углов падения ТЗЧ.

3. Расчет $\langle \sigma(\Lambda) \rangle$ для коммерческих микросхем памяти

В данном разделе приведен сравнительный анализ феноменологического и дозиметрических методов расчета $\langle \sigma(\Lambda) \rangle$. Исследование $\langle \sigma(\Lambda) \rangle$ проводилось для двух коммерческих микросхем памяти HM628512 и M5M5408 с проектными нормами 0.5 мкм. Экспериментальные данные сечения в диапазоне полярных углов представлены в работе Пти [5].

Для дозиметрических методов параметры аппроксимации функцией Вейбула для данных микросхем получены из экспериментальных данных с помощью программного инструмента Omere. Глубина чувствительной области выбрана равной $z = 2$ мкм, размеры a и b RPP рассчитаны из приближения $a=b=\sqrt{\sigma_{SAT}}$, где σ_{SAT} - сечение насыщения функции Вейбулла.

Для феноменологического подхода экспериментальные зависимости сечения от полярного угла экстраполированы полиномами до 90 градусов. Поскольку в работе [5] отсутствовали данные по азимутальным углам, усреднение проводилось по полному телесному углу по следующей формуле:

$$\langle \sigma(\Lambda) \rangle = \int_0^{\pi/2} \sigma(\Lambda, \theta) \sin \theta d\theta, \quad (12)$$

которая является частным случаем (8) при отсутствии азимутальной зависимости. Полученные результаты сравнивались с экспериментальным значением сечения сбоев при 60 градусах ($\theta = 60^\circ$).

На рисунках 1 и 2 представлены результаты расчета $\langle \sigma \rangle$ по (12) и с помощью дозиметрических методов (1), (3) и (4), а так же экспериментально измеренные сечения при 60 градусах для нескольких значений ЛПЭ ТЗЧ (3,3; 10,1; 20,6; 33,4 МэВ/мг/см²).

Из рисунков видно, что лучше всего $\langle \sigma \rangle$ соответствует сечение измеренное при 60 градусах. Дозиметрические же методы приводят к существенной недооценке $\langle \sigma \rangle$.

Как видно из рисунков, $\langle \sigma \rangle$ приблизительно соответствует сечению сбоев при 60 градусах, что подтверждает концепцию моделирования частот сбоев, предложенную в работе [2].

4. Основные ограничения

На примере экспериментальных данных коммерческих микросхем памяти показана возможность проведения усреднения сечения сбоев при фиксированном полярном угле падения ТЗЧ, равным 60 градусов.

При этом стоит учитывать следующие рекомендации:

- В топологии может быть выраженная азимутальная зависимость сечения [6], поэтому рекомендуется проводить испытания для ТЗЧ, падающих вдоль и поперек N-well, и по полученным сечениям проводить экспериментальное усреднение.
- Измерения рекомендуется проводить с помощью актуальных для сбоев ТЗЧ с высокой энергией и низким зарядом ядра, которые имеют достаточные длины пробега для облучения под углом 60 градусов.
- Подход требует дальнейшей верификации, что затруднено в условиях недостатка экспериментальных данных угловой зависимости сечения. В частности, в дальнейшем необходимо установить область применения данного подхода для частных типов КМОП-технологии, таких как КНИ, FinFET и т.д.

Выводы

В заключение следует сделать следующие выводы:

- Дозиметрические методы усреднения сечения по полному телесному углу дают заниженную оценку, поскольку не учитывают нелокальный характер воздействия ТЗЧ.
- При экспериментальном исследовании $\langle \sigma(\Lambda) \rangle$ учитываются все физические особенности радиационного отклика ИМС, что является более достоверным способом прогнозирования частот сбоев.
- Показано, что экспериментальное усреднение сечения сбоев для современных ИМС памяти можно проводить с использованием единственного значения полярного угла падения ТЗЧ равного 60 градусов.

Расчет $\langle\sigma(L)\rangle$ для НМ628512 0,5 мкм

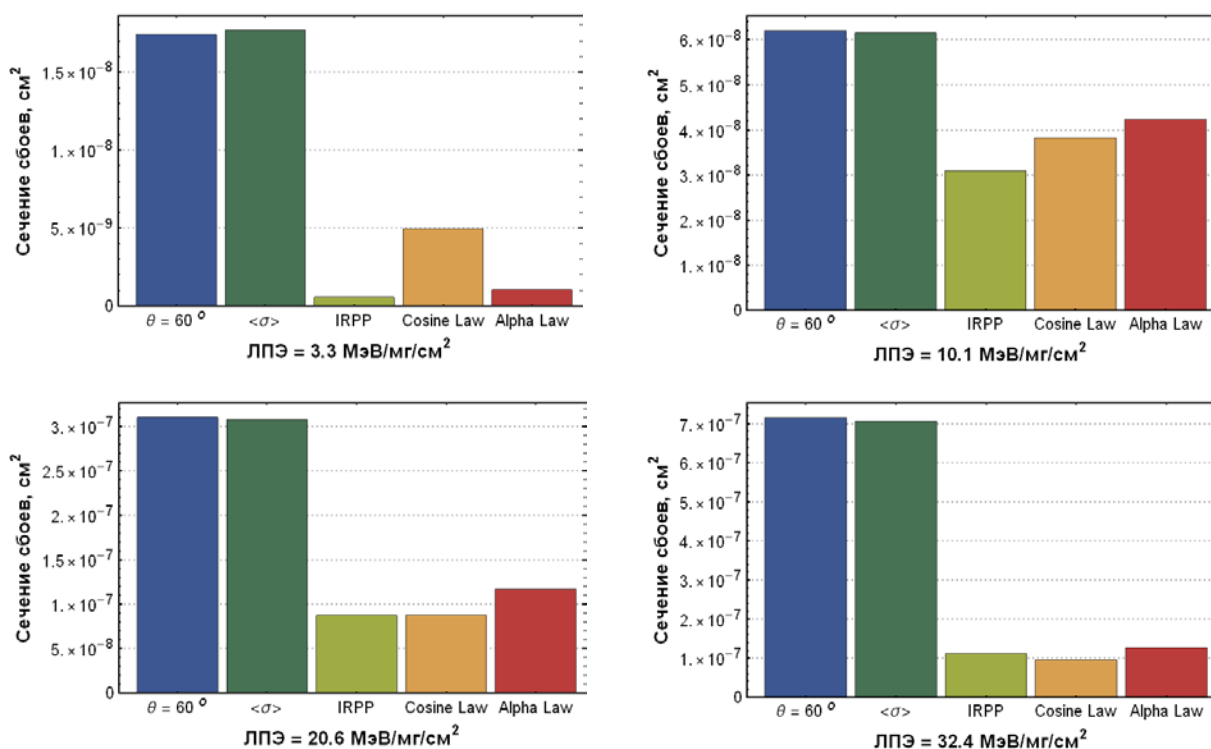


Рис. 1. Результаты расчета полного сечения сбоев (σ) дозиметрическими методами и усреднением экспериментальных данных для микросхемы НМ628512.

Расчет $\langle\sigma(L)\rangle$ для М5М5408 0,5 мкм

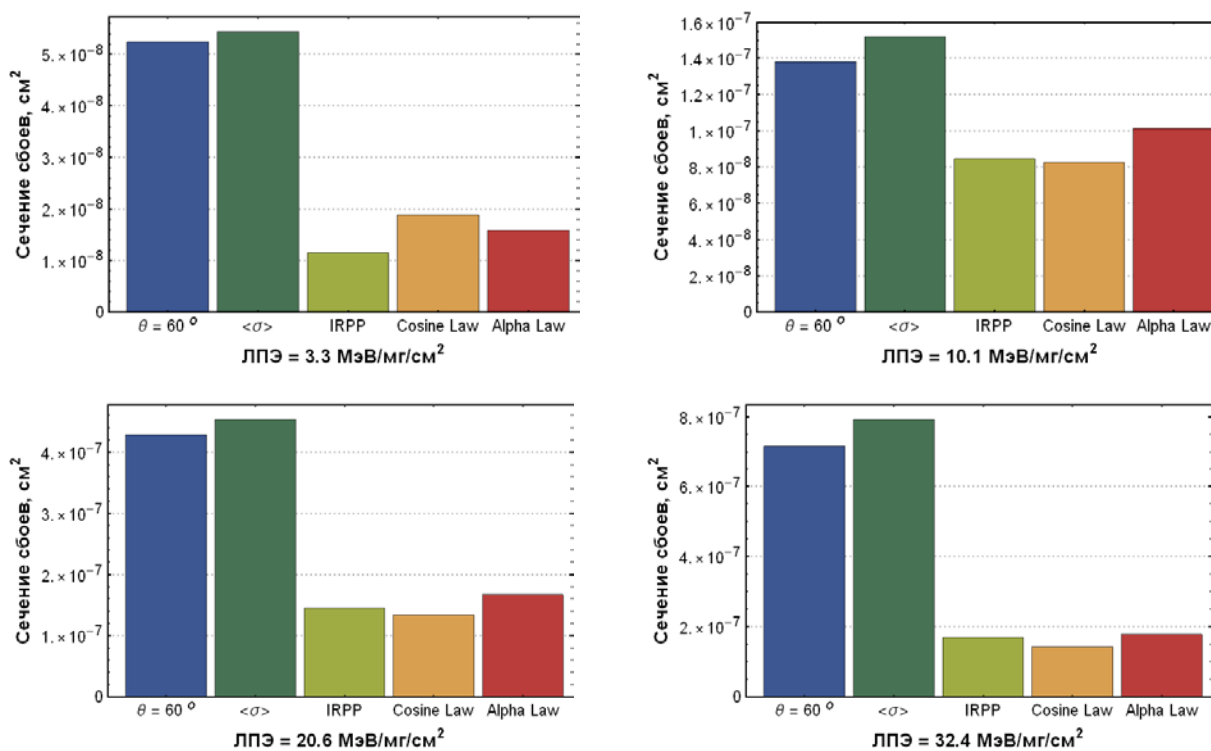


Рис. 2. Результаты расчета полного сечения сбоев (σ) дозиметрическими методами и усреднением экспериментальных данных для микросхемы М5М5408.

Experimental averaging of heavy ions induced upset cross section over the full solid angle

O.S. Pivko, A.M. Galimov, G.I. Zebrev

Abstract - The phenomenology and dosimetry approaches to the memory upset cross section averaging over the full solid angles are studied. The dosimetric calculations and experimental averaging results are compared and analyzed.

Keywords - single event upset, soft error rate, angular dependence, heavy ions.

Литература

1. E. Petersen, Single Event Effects in Aerospace, IEEE Press, 2011.
2. G. I. Zebrev, A. M. Galimov, Compact Modeling and Simulation of Heavy Ion Induced Soft Error Rate in Space Environment: Principles and Validation, IEEE TNS, Vol. 64, No. 8, Aug. 2017.
3. Larry D. Edmonds, A Method for Correcting Cosine-Law Errors in SEU Test Data, IEEE TNS, Vol. 49, No. 3, June 2002.
4. G. I. Zebrev, I. O. Ishutin, R. G. Useinov, V. S. Anashin, Methodology of Soft Error Rate Computation in Modern Microelectronics, IEEE TNS, Vol. 57, No. 6, pp. 3725-3733, Dec. 2010.
5. S. Petit, J. P. David, Memories response to MBU and Semi-empirical approach for SEE rate calculation, IEEE TNS, Vol. 53, Iss. 4, Aug. 2006.
6. M.S. Gorbunov, A.B. Boruzdina, P.S. Dolotov, Semi-Empirical Method for Estimation of Single-Event Upset Cross Section for SRAM DICE Cells, IEEE TNS, Vol. 63, Iss. 4, Aug. 2016.

Моделирование распределения потенциала в двух затворном КНИ КМОП нанотранзисторе с неравномерно-легированной рабочей областью

Н. В. Масальский

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: volkov@niisi.ras.ru

Аннотация. Обсуждается 2D математическая модель распределения потенциала в неравномерно легированной рабочей области симметричного двух затворного КНИ КМОП нанотранзистора. Рассматривается вариант канала (считая от истока): высоколегированная область, переходная область, где концентрация легирования линейно зависит от протяженности переходной области и низколегированная область. Модель распределения потенциала строится на основе аналитического решения 2D уравнения Пуассона с расширенными граничными условиями. Для моделирования вольт-амперных характеристик использовалась сформулированная в рамках зарядового разделения апробированная токовая модель с учетом модифицированного выражения для скорости насыщения. Из результатов моделирования получены оценки влияния на уровень тока насыщения транзистора следующих факторов: протяженности переходной области и уровня концентрации легирования высоколегированной области

Ключевые слова: двух затворный КНИ КМОП нанотранзистор, неравномерно-легированная рабочая область, 2D распределение потенциала, аналитическое решение

1. Введение

Интерес к транзисторным структурам с неравномерно легированной рабочей областью связан с возможностью получить дополнительные степени свободы для оптимизации характеристик транзистора с учетом требований тех приложений, где данные транзисторы будут использоваться [1]. Наибольший интерес связан с вариантом асимметричной области (считая от истока): высоколегированная и низколегированная области. Такая архитектура предназначена для того, чтобы компенсировать влияние таких механизмов: деградация горячих носителей, roll-off порогового напряжения и паразитные биполярные эффекты, сопутствующие для однородно легированных транзисторов [1-5]. При этом считается, что граница между областями является идеальной. Однако, в силу ряда причин невозможно обеспечить резкий концентрационный переход. Здесь можно отметить технологические ограничения, диффузию ионов примеси, связанную с внешним электрическим полем и повышением температуры при протекании электрического тока через транзистор. Эти эффекты могут приводить к «размытию» концентрационной границы.

В настоящей работе при помощи численного моделирования исследуются электрофизические характеристики двух затворного неравномерно легированного КНИ КМОП нанотранзистора. Рассматривается вариант канала (считая от истока): высоколегированная область, переходная область, где концентрация легирования линейно зависит от протяженности переходной области, и низколегированная область. В данном случае переходная область описывает не идеальность концентрационной границы вдоль затвора (канала). На основании распределения потенциала вычисляются токовые характеристики транзистора. Модель распределения потенциала строится на основе аналитического решения 2D уравнения Пуассона с расширенными граничными условиями. Для моделирования вольт-амперных характеристик (ВАХ) используется, сформулированная в рамках зарядового разделения апробированная токовая модель с учетом модифицированного выражения для скорости насыщения. В таком подходе можно получить оценки влияния технологических факторов на токи транзистора.

В модельной конфигурации рабочая область двух затворного КНИ КМОП нанотранзистора, структура которого схематично представлена на Рис. 1, состоит из трех частей с разными концентрациями так, что

$$L_g = L_I + L_{II} + L_{III}$$

$$N_A = \begin{cases} N_I, 0 \leq y \leq L_I \\ N_{II}, L_I + L_{III} < y \leq L_g \\ N_{III} = \\ -\frac{N_I - N_{II}}{L_{III}}(y - L_I), L_I < y \leq L_I + L_{III} \\ N_I > N_{II} \end{cases} \quad (1)$$

где L_g - длина рабочей области (длина затвора), $j = I$ область с протяженностью L_I и концентрацией легирования N_I и $j = II$ область с протяженностью L_{II} и концентрацией легирования N_{II} , $j = III$ область с протяженностью L_{III} с концентрацией легирования N_{III} , проектов создания нанотранзисторных СБИС.

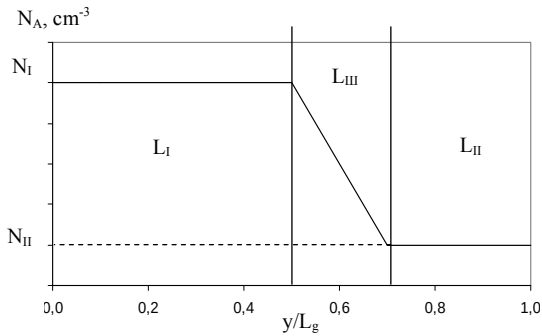


Рис. 2. Распределение концентрации легирования вдоль рабочей области

В данной работе исследуются двух затворные симметричные КНИ КМОП нанотранзисторы с неравномерно легированной рабочей областью при помощи численного моделирования, которое базируется на аналитическом выражении для распределения потенциала следующего из решения 2D уравнения Пуассона. На основании данного распределения потенциала вычисляются вольт-амперные характеристики прототипов нанотранзистора с разными переходными областями. Такой подход позволяет более адекватно оценить возможности технологии производства рассматриваемых транзисторных структур, которые должны отвечать требованиям, предъявляемым к ним при реализации проектов создания нанотранзисторных СБИС.

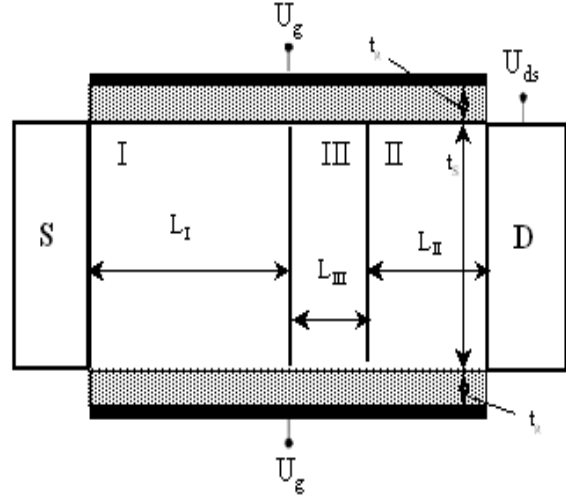


Рис. 1. Структурная схема, где t_s - толщина рабочей области, t_g - толщина подзатворного диэлектрика, U_g - напряжение на затворах, U_{ds} - напряжение сток/исток (или напряжение питания).

2. Аналитическое выражение для распределения потенциала в рабочей области транзистора

Аналитическое выражение для распределения потенциала рабочей области транзистора вытекает из решения классического 2D уравнения Пуассона, которое, как известно, широко используется для определения данной характеристики:

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{qN_A(y)}{\epsilon_s}, \quad (2)$$

где q - заряд электрона, $\phi(x, y)$ - потенциал в рабочей области транзистора, ϵ_s - диэлектрическая проницаемость рабочей области.

Для аналитического решения 2D уравнения Пуассона с необходимо дополнить классические граничные условия соотношениями об однородности потенциального и электрического полей на границе концентраций, чтобы учесть свойство неоднородности концентрации легирования рабочей области.

Для решения (2) используются следующие граничные условия в виде:

$$\begin{aligned}
\varphi(x, y)|_{x=0} &= \varphi_{f_j}(y) \\
\frac{\varepsilon_g}{t_g}(U_g - U_{FB_j} - \varphi_{f_j}(y)) &= \\
= -\varepsilon_s \frac{\partial \varphi(x, y)}{\partial x} \Big|_{x=0} \\
\frac{\varepsilon_g}{t_g}(U_g - U_{FB_j} - \varphi_{b_j}(y)) &= \\
= -\varepsilon_s \frac{\partial \varphi(x, y)}{\partial x} \Big|_{x=t_s} \\
\varphi_1(x, 0) &= U_{bi}^{(S)} \\
\varphi_2(x, L_g) &= U_{bi}^{(D)} + U_{DS} \\
\varphi_1(x, L_I) &= \varphi_3(x, L_g - L_{II} - L_{III}) \\
\varphi_2(x, L_g - L_{II}) &= \varphi_3(x, L_I + L_{III}) \\
\frac{\partial \varphi_{f_1}(y)}{\partial y} \Big|_{y=L_I} &= \frac{\partial \varphi_{f_3}(y)}{\partial y} \Big|_{y=L_g - L_I} \\
\frac{\partial \varphi_{f_2}(y)}{\partial y} \Big|_{y=L_g - L_{II}} &= \frac{\partial \varphi_{f_3}(y)}{\partial y} \Big|_{y=L_I + L_{III}}
\end{aligned}$$

где $\varphi_{f_j}(y)$ - фронтальный поверхностный потенциал j-той области, $\varphi_{b_j}(y)$ - поверхностный потенциал на обратной поверхности j-той области, ε_g - диэлектрическая проницаемость подзатворного окисла, U_g - напряжение на затворах, U_{FB_j} - напряжение плоских зон, $U_{bi}^{(S)}$ - встроенная разность потенциалов у истока, $U_{bi}^{(D)}$ - встроенная разность потенциалов у стока, U_{DS} - напряжение сток-исток.

Распределение потенциала на фронтальной и обратной поверхностях вытекают из решения уравнения Пуассона полученного для параметрического представления потенциала, которое получено в приближении разделения переменных [1].

В данном случае выражения для потенциалов можно представить в виде:

$$\begin{aligned}
\varphi_{f_j}(y) &= U_{1j} \exp\left(\frac{y}{l_j}\right) + U_{2j} \exp\left(-\frac{y}{l_j}\right) - \\
&- A_{fj}(y)
\end{aligned} \tag{3}$$

$$\text{причём } l_j = t_s \sqrt{\frac{k_C t_g}{2k_{E_j}(2t_g + \varepsilon_r t_s)}},$$

$$k_C = 1 + 2 \frac{\varepsilon_s t_g}{\varepsilon_g t_s}, \quad \varepsilon_r = \frac{\varepsilon_g}{\varepsilon_s},$$

$$A_{fj}(y) = \frac{k_C \varphi_{b_j}(y) + \varphi_{F_{II}} - \varphi_{F_I}}{k_C},$$

$$\begin{aligned}
\varphi_{b_j}(y) &= U_{3j} \exp\left(\frac{y}{l_j}\right) + U_{4j} \exp\left(-\frac{y}{l_j}\right) - \\
&- A_{bj}(y) l_j^2
\end{aligned}$$

для областей I и II

$$\begin{aligned}
A_{bj}(y) &= \kappa_{E_j} \left[\frac{qN_j}{\varepsilon_s} - \right. \\
&- \left. \frac{2((1+k_C)U_g + k_C \varphi_{F_{II}} + \varphi_{F_I})}{k_C t_s^2} \right]
\end{aligned}$$

для области III

$$\begin{aligned}
A_{b_{III}}(y) &= \kappa_{E_{III}} \left[\frac{qN_I}{\varepsilon_s} \left(1 - \frac{N_I - N_{II}}{L_{III}}\right) y - \right. \\
&- \left. \frac{2((1+k_C)U_g + k_C \varphi_{F_{II}} + \varphi_{F_I})}{k_C t_s^2} \right],
\end{aligned}$$

где l_j - характеристическая длина, коэффициенты U_{1j} , U_{2j} , U_{3j} и U_{4j} определяются из граничных условий, k_{E_j} - подгоночный параметр, который связывает производную продольного электрического поля на любой глубине рабочей области с производной продольного электрического поля на фронтальной поверхности Si-SiO₂. Для достаточно тонкой ($t_s \approx 10$ нм) рабочей

области ($t_s \approx 10$ нм) соотношение для k_{E_j} можно представить в виде

$$\frac{\partial^2 \varphi_j(y)}{\partial y^2} \cong \frac{1}{\kappa_{E_j}} \frac{\partial^2 \varphi_{f_j}(y)}{\partial y^2}, \quad \varphi_{F_I}, \quad \varphi_{F_{II}} -$$

положение уровня Ферми в областях I и II, соответственно.

Полученное аналитическое выражение распределения поверхностного потенциала позволяют при необходимости вычислить распределение потенциала и электрического поля в рабочей области транзистора, пороговое напряжение, вольт-амперные характеристики.

Для исследований был выбран прототип двух затворного симметричного КНИ транзистора с параметрами, приведенными в Таблице 1.

Таблица 1. Основные параметры транзисторов.

Параметры	Значение
Общая длина затвора, нм	45
Толщина подзатворного окисла затвора, нм	1.8
Толщина рабочей области, нм	10
Концентрация легирования N_I , см^{-3}	1.0×10^{17}
Концентрация легирования N_{II} , см^{-3}	1.0×10^{15}
Концентрация легирования N_{DS} , см^{-3}	1.0×10^{20}

На Рис. 3 приведено рассчитанное распределение поверхностного потенциала в рабочей области транзистора, которое сопоставлялось с данными моделирования полученными при помощи коммерчески доступного программного пакета ATLASTM для 2D моделирования транзисторных структур [6]. Результаты расчетов и данные моделирования находятся в хорошем соответствии.

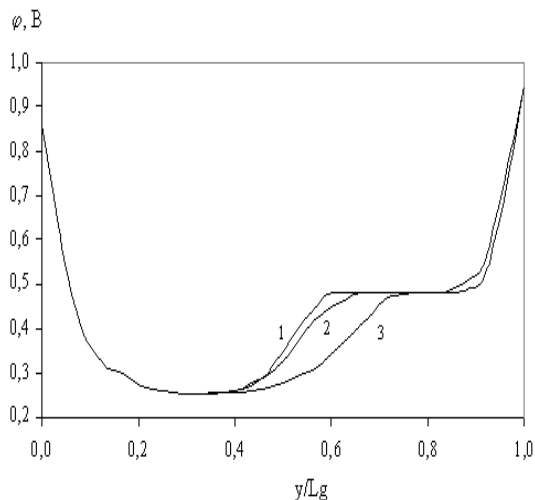


Рис. 3. Распределение поверхностного потенциала при $L_I = 0.5L_g$ и $U_g = U_{ds} = 0.1$ В, где 1 – $L_{III} = 0$, 2 – $L_{III} = 0.1L_I$, 3 – $L_{III} = 0.5L_I$

В представленном случае распределение потенциала зависит от протяженности области III. При больших значениях L_{III} форма распределения потенциала существенно отличается от распределения для случая резкой границы между высоко и низко легированными зонами (кривая 1). В случае небольших значений параметра L_{III} форма распределения потенциала практически не отличается от распределения для резкой границы. При этом все изменения в форме потенциала сосредоточены в переходной зоне. Минимум поверхностного потенциала для всех случаев расположен в высоко легированной области. Характерная

пологая часть в низко легированной области и ее протяженность определяется значением параметра L_{II} .

3. Модель тока транзистора

Для моделирования вольт-амперных характеристик (ВАХ) использовалась сформулированная в рамках дрейфодиффузионного приближения апробированная модель [7], с учетом модифицированного выражения для скорости насыщения (v_{sat}) и моделью подвижности с учетом высокой напряженности электрического поля. Выражение для тока можно получить интегрированием уравнения общего вида по всей рабочей области. При этом концентрация носителей существенным образом зависит от распределения потенциала в рабочей области. Подвижность носителей также определяется данным распределением. Пренебрегая влиянием фиксированного окисного заряда в режиме сильной инверсии, плотность тока в каждой части рабочей области, анализируемой транзисторной архитектуры можно свести к выражению:

$$I_{DS} = W \sum_{j=1,3} \int_{L_j} \mu_j(y) Q_{nj}(y) d\phi_c(y), \quad (4)$$

$$\text{где } \mu_j(y) = \frac{\mu_{0j}}{(1 + (E_j(y)/E_{CRj})^2)^{1/2}} -$$

подвижность электронов, где μ_{0j} - низко полевая подвижность, $E_j(y)$ и E_{CRj} - продольное и критическое поле соответственно, $Q_{nj}(y)$ - инверсионный заряд, $\phi_c(y)$ - центральный потенциал. Продольное поле

$$E_j(y) = \frac{C_g (U_{FBj} - U_g + \phi_c(y))}{\epsilon_s},$$

$$E_{CRj} = \frac{2v_{sat}}{\mu_j(E_x)} - \text{напряженность}$$

критического поля, v_{sat} - дрейфовая скорость насыщения. Зависимость скорости насыщения (в единицах 10^7 см/сек) для суб-50 нм устройств от длины затвора (в единицах нм) определяется следующим эмпирическим соотношением:

$$v_{sat} = v_{sat_0} + \beta L_{eff}^{\lambda}, \quad (5)$$

где v_{sat_0} - начальное значение скорости, которое равно 2.0, β - подгоночный коэффициент длины затвора и $\lambda = 1.43$ [2]. Следует отметить, что соотношение (5) применимо для толщин рабочей области более 5 нм, и эффективных длин канала не менее 15 нм. Выражение для подвижности

$$\mu_j(E_x) = \frac{\mu_{oj}}{1 + \mathcal{G}_E \left| \frac{\partial \varphi(x, y)}{\partial x} \right|},$$

где $\mathcal{G}_E$ - коэффициент деградации подвижности, выбираемый из условий эксперимента. Получено хорошее согласование эффективных подвижностей как функции толщины кремниевой пленки, которые определены из результатов моделирования и экспериментальных данных.

Взаимосвязь между поверхностным потенциалом $\varphi_f(y)$ и центром потенциала $\varphi_c(y)$ определяется соотношением вида [1]:

$$\varphi_c(y) = \varphi_f(y) + \frac{\varepsilon_g t_s}{4\varepsilon_s t_g} (\varphi_f(y) + U_{FB_j} - U_g) \quad (6)$$

Значение полного тока транзистора I_{ds} вычисляется в результате не двойного интегрирования по координатам, а интегрированию по потенциалу для каждой области пределах от φ_{f1j} до φ_{f2j} . Тогда с учетом (6) полный ток можно записать в виде:

$$I_{DS} = W \sum_{j=1,2} [A_{3j} \times \int_{\varphi_{f1j}}^{\varphi_{f2j}} d\varphi_f \{ \frac{A_1(\varphi_f - (U_g - U_{FB_j})) - \sqrt{2}\varepsilon_s^2 \varphi_f}{(1 + A_{2j}(\varphi_f - (U_g - U_{FB_j}))^2)^{1/2}} \} + A_{3III} \int_{\varphi_{f12}}^{\varphi_{f21}} d\varphi_f \{ \frac{A_1(\varphi_f - (U_g - U_{FB_{III}})) - A_{1III}(\varphi_f)^{1/2}}{(1 + A_{2III}(\varphi_f - (U_g - U_{FB_{III}}))^2)^{1/2}} \} \quad (7)$$

$$\text{где } A_{1III} = (2qN_{III}\varepsilon_s)^{1/2}, \quad A_{2j} = \frac{A_1^2}{\varepsilon_s^2 E_{CRj}^2},$$

$$A_{3j} = \frac{\mu_{oj} A_1}{C_g L_j}, \quad A_1 = C_g \left(1 + \frac{\varepsilon_g t_s}{4\varepsilon_s t_g}\right) \quad \text{и}$$

$$\text{приделы интегрирования: } \varphi_{f11} = \varphi_f(0), \quad \varphi_{f21} = \varphi_f(L_I + L_{III}), \quad \varphi_{f12} = \varphi_f(L_I), \quad \varphi_{f22} = \varphi_f(L_g).$$

Полученное выражение (7) можно использовать для расчета токов транзистора в режиме сильной инверсии.

4. Результаты моделирования

Для трех прототипов транзисторов с $L_{III} = 0, 0.1L_I, 0.5L_I$ вычислены ВАХ в режиме инверсии. Результаты моделирования ВАХ $I_{ds}(U_{ds})$ для прототипов 1 и 3 приведены на Рис. 4а и 4б, соответственно. Следует отметить, что для прототипов 1 и 2 ВАХи практически совпадают. Например, максимальный ток транзистора (при $U_{ds}=U_g=1$ В) равен 423 мкА/мкм и 417 мкА/мкм, соответственно. Аналогичный параметр прототипа 3 составляет 386 мкА/мкм.

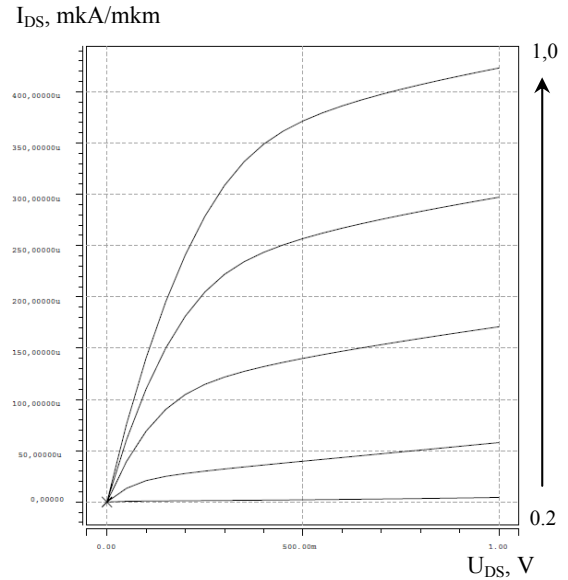


Рис. 4а. ВАХ $I_{DS}(U_{DS})$ для различных U_g прототипа 1

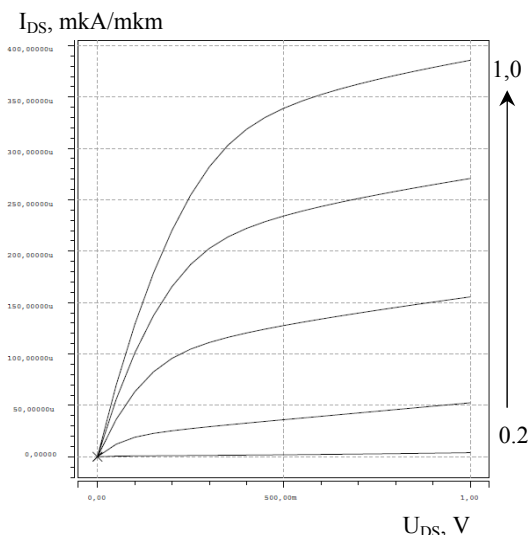


Рис. 46. ВАХ $I_{DS}(U_{DS})$ для различных U_g прототипа 3

На Рис. 5 приведены зависимости $I_{DS}(U_{DS})$ при $U_g=1$ В прототипов 1 и 3. Такое различие возникает из-за существенных отличий в распределении заряда в рабочей области, которое в свою очередь обусловлено изменениями в распределении потенциала в зоне III. Этот же фактор определяет различия электрических полей в прототипах 1 и 3.

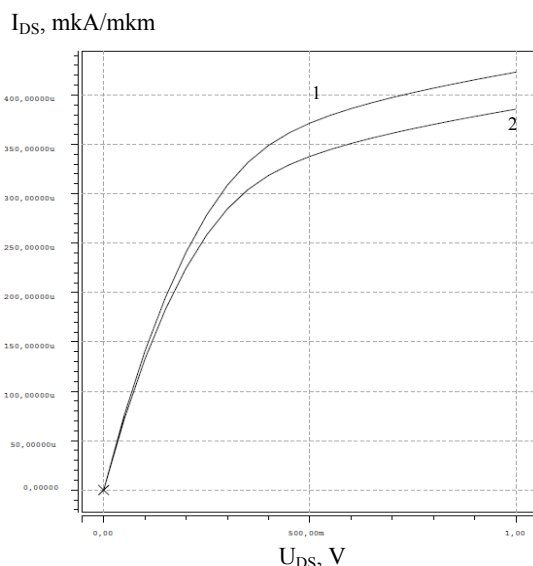


Рис. 5. ВАХ $I_{DS}(U_{DS})$ при $U_g = 1$ В, где 1 - прототипа 1, 2 - прототипа 3

Из результатов следует, что разность ΔI_{DS} между максимальными токами для случая крутой границы и плавной пропорционально увеличивается с удлинением области III. Такая зависимость

$\Delta I_{DS}(L_{III})$ представлена на рис. 6. Она практически линейна в исследуемом диапазоне длин. Мы сознательно ограничились максимальным размером $L_{III}=0.8L_1$, поскольку в дальнейшем изменяется характер переноса носителей, сказывается влияние эффектов насыщения скорости носителей и модуляции длины канала.

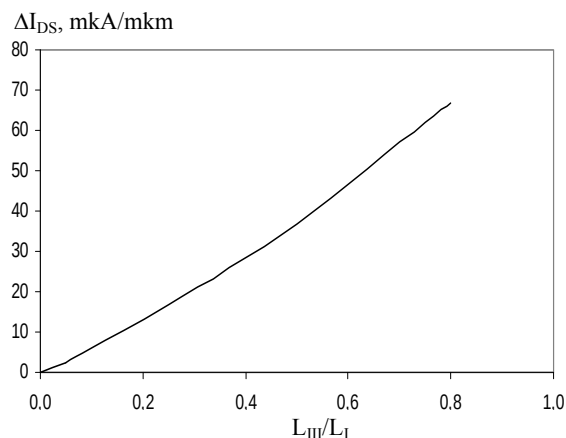


Рис. 6. Зависимость ΔI_{DS} при $U_{DS}=U_g=1$ В от протяженности области L_{III} .

В исследуемой архитектуре ключевые токи транзистора при прочих одинаковых технологических параметрах зависят от концентрации легирования каждой части рабочей области. Соответственно, повышение концентрации N_I приводит к увеличению тока транзистора. При этом зависимость $I_{DS}(N_I)$ при фиксированном значении N_{II} будет сложной. На Рис. 7 для небольшого диапазона концентраций N_I она приведена для двух случаев переходной области. На них можно выделить линейный участок, где ток транзистора возрастает с ростом концентрации N_I . Отличие состоит в крутизне данной характеристики, что связано с существенными различиями в распределении потенциала.

Характерно то, что в небольшой области длин L_{III} и концентраций N_I , в частности в исследуемом случае, можно компенсировать снижение тока из-за увеличения переходной области повышением концентрации N_I . Это важно, поскольку, как известно, высокий ток транзистора является предпосылкой к уменьшению времени его переключения электронного устройства. Для достижения максимальных значений тока I_{DS} следует повышать концентрацию N_I до максимально возможной. При этом величина максимального тока I_{DS} будет пропорционально увеличиваться так:

$\log\left(\frac{N_I}{N_{II}}\right)$. Однако подпороговый ток возрастает несоизмеримо больше, в предельном случае примерно на два порядка. Очевидно, что можно достичь некоего оптимального соотношения концентраций. Однако, разумнее при оптимизации данных параметров руководствоваться проектами микросхем, где планируется применять данные транзисторы.

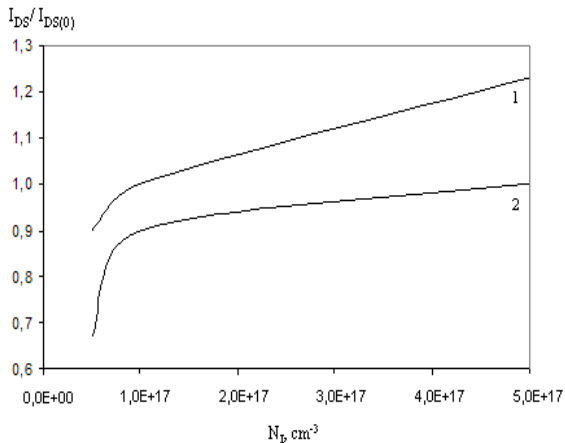


Рис. 7. Зависимость $I_{DS}/I_{DS(0)}$ от N_I при $U_{DS}=U_g=1$ В, где 1 - $L_{III}=0.1L_I$, 2 - $L_{III}=0.5L_I$ и $I_{DS(0)}-I_{DS}$ при $N_I=1 \times 10^{17} \text{ см}^{-3}$.

Заключение

Разработана 2D математическая модель распределения потенциала в неравномерно легированной рабочей области

симметричного двух затворного КНИ КМОП нанотранзистора.

Рассматривается вариант канала (считая от истока): высоколегированная область, переходная область, где концентрация легирования линейно зависит от протяженности переходной области и низколегированная области. Модель распределения потенциала строится на основе аналитического решения 2D уравнения Пуассона с расширенными граничными условиями.

Численно рассчитывается распределения потенциала в рабочей области транзистора для разных значений длины переходной области.

В рамках зарядового разделения сформулирована токовая модель неравномерно легированного двух затворного транзистора с переходной областью с учетом модифицированного выражения для скорости насыщения, которая основана на потенциальном представлении распределения заряда в рабочей области транзистора.

Численно рассчитаны вольт-амперных характеристики прототипов транзисторов с разными неравномерно легированными каналами.

Проанализировано влияние на уровень тока насыщения транзистора следующих факторов: протяженности переходной области и уровня концентрации легирования высоколегированной области

Работа выполнена в рамках Государственного задания по Программе фундаментальных исследований РАН № 43.35 НИР № 0065-2018-0006.

Simulation of potential distribution for double gate SOI CMOS nanotransistor with uniform doping channel

N.V. Masalsky

Abstract. The 2D mathematical model for potential distribution in unevenly doping transistor worker area of symmetric double gate SOI CMOS nanotransistor is discussed. The option of the channel is considered (including from a source): the high-doping area, transitional area where concentration of doping linearly depends on the extent of transitional area and low-doping areas. The model for potential distribution based on analytical solution of the 2D Poisson equation with expanded boundary conditions. For modeling of volt-ampere characteristics the approved current model formulated within charging division taking into account the modified expression for saturation speed was used. From results of modeling estimates of influence on the level of saturation current of the transistor of the following factors are received: extents of transitional area and level of doping concentration of the high-doping area

Keywords: symmetric double gate SOI CMOS nanotransistor, 2D Poisson's equation, uniform-doping channel, volt-ampere characteristics,

Литература

1. Н.В.Масальский. Двух затворные неравномерно легированные полевые нанотранзисторы. Saarbrücken, Germany, LAP LAMBERT Academic Publishing GmbH & Co, 2016.
2. Н.В.Масальский. Характеристики двух затворных КМОП нанотранзисторов с градиентно-легированной рабочей областью. 2016. Труды НИИСИ РАН. т. 6. № 2. с. 77-82
3. H. Liu, Z. Xiong, K. Sin. Implementation and characterization of double-gate MOSFET using lateral solid-phase epitaxy. «IEEE Trans. Electron Devices». v. 50(2005), № 4, 1552-1557.
4. T. M. Chung, B. Olbrechts, U. Sodervall, S. Bengtsson, D. Flandre, J-P. Raskin. Planar double-gate SOI MOS devices: fabrication by wafer bonding pre-patterned cavities and electrical characterization. «Solid-State Electron». v. 51(2007), № 1, 231-239
5. R. K. Sharma, R. Gupta, M. Gupta, R. S. Gupta. Graded channel architecture: the solution for misaligned DG FD SOI n- MOSFETs. «Semiconductors Science Technology». v. 23(2008), № 11, 75041-75051.
6. URL: <http://www.silvaco.com/> Silvaco Int. 2004: ATLAS User's Manual A 2D numerical device simulator (дата обращения 25.11.2016).
7. Н.В. Масальский. Характеристики двух затворных КНИ КМОП нанотранзисторов для перспективных технологий с низким уровнем потребляемой мощности. «Микроэлектроника». т. 41 (2012), № 6, 436-444.

Метод дублирования функциональных триггеров в системах скан-тестирования с компрессией

М.С. Ладнушкин

ФГУ ФНЦ НИИСИ РАН, Москва, Россия, E-mail: maximsl@gmail.com

Аннотация. В данной работе предложен метод сокращения времени тестирования неисправностей цифровой СБИС за счёт дублирования отдельных функциональных триггеров. Сокращение времени тестирования обусловлено увеличением тестируемости сигналов, а также снижением взаимных конфликтов неисправностей в логических путях СБИС. Предложен алгоритм отбора триггеров для дублирования на основе поиска логических путей с наибольшим числом источников сигналов, который был использован при проектировании встроенных средств тестирования ряда заказных блоков и систем-на-кристалле. Результаты показали снижение времени тестирования в среднем на 14,4% при аппаратурных затратах, не превышающих 1,2% общей площади СБИС.

Ключевые слова: тестирование, отбраковка микросхем, дублирования триггеров, компрессия тестовых сигналов, моделирование.

1. Введение

Внедрение дополнительных тестовых структур контроля и наблюдения внутренних узлов в СБИС позволяет увеличить тестовое покрытие и сократить время тестирования. Создание тестового режима работы, в котором триггерная подсистема СБИС используется в качестве сдвигового регистра (скан-схемы) [1] позволяет полностью контролировать и наблюдать состояние всех триггеров СБИС и использовать их для тестирования комбинационной части СБИС.

Объемы тестовых данных, необходимых для тестирования микросхем растут и встраиваемые средства сжатия [2], [3] не всегда позволяют сократить время тестирования до приемлемых величин в виду многих причин, включая рост длин логических путей, увеличение количества взаимных конфликтов неисправностей, а также необходимость снижения уровня абстракции при создании тестовых последовательностей для СБИС с уровня логических элементов до уровня транзисторов [4], [5].

С ростом длин логических комбинационных путей и ростом количества сходящихся разветвлений снижается наблюдаемость и контролируемость узлов этих путей в режиме тестирования [6], [7], [8]. Для решения данной проблемы в определённые узлы СБИС встраиваются дополнительные тестовые схемы - тестовые точки контроля и обзора - дополнительные триггеры с управляющей логикой, позволяющие увеличить наблюдаемость и

контролируемость отдельных узлов комбинационной подсистемы СБИС [9].

Установка тестовых точек приводит к сокращению времени тестирования до 35% [10], [11]. Современный метод установки тестовых точек, снижающий количество взаимных конфликтов неисправностей типа «залипание», позволяет сократить время тестирования в среднем в 2,2 раза для скан-схем с компрессией за счёт увеличения количества неисправностей, тестируемых каждым тестовым вектором [12]. Однако установка тестовых точек уменьшает ресурс трассировки, увеличивает задержки распространения сигналов и увеличивает площадь тестовой логики, которая используется только в режиме тестирования и в рабочем режиме не функционирует. Современные методы создания тестовых точек используют существующие функциональные триггеры СБИС, вместо дополнительных, что позволяет сократить аппаратурные затраты на тестовую логику, однако увеличения задержек критических путей после установки тестовых точек избежать не удастся [13], [14]. Увеличение контролируемости и наблюдаемости критических с точки зрения быстродействия путей представляет серьёзную проблему при проектировании средств тестирования.

Метод создания копий отдельных элементов (дублирования) известен как способ сокращения длин проводников при проектировании топологии СБИС, что позволяет сократить задержки распространения сигналов [15]. Триггер и его копия в функциональном режиме находятся в одинаковом логическом

состоянии в любой момент времени. Считается, что и в режиме скан-тестирования должно сохраняться равенство состояний этих триггеров, так как загрузка различных значений в дублированные скан-триггеры может привести к выходу микросхемы из строя в случае, если в схеме присутствуют логические элементы, допускающие сквозные токи [16]. Однако если таких элементов на кристалле немного или нет вовсе, то использование копий триггеров как независимых переменных при генерации тестовых последовательностей может увеличить тестируемость узлов комбинационной части СБИС.

2. Увеличение тестируемости узлов комбинационной схемы

Тестируемость логического узла (или вероятность обнаружения неисправности) комбинационной схемы может быть рассчитана как минимальное количество тестовых последовательностей, необходимых для обнаружения неисправности, делённое на максимальное количество уникальных входных воздействий [6]. Рассмотрим комбинационную схему с n входами $\vec{x} = (x_1, x_2, \dots, x_n)$ и m выходами $\vec{F} = (F_1, F_2, \dots, F_m)$.

Пусть $g(\vec{x})$ – внутренний сигнал схемы. Тогда тестируемость константных неисправностей типа «залипание-в-0» и «залипание-в-1» в сигнале g могут быть соответственно выражены [6],[17]:

$$t(g/0) = S\left(g(\vec{x}) \sum_{j=1}^m \frac{\partial F_j}{\partial g}\right), \quad (1)$$

$$t(g/1) = S\left(\overline{g(\vec{x})} \sum_{j=1}^m \frac{\partial F_j}{\partial g}\right), \quad (2)$$

где $t(g/0)$ – тестируемость неисправности типа «залипание-в-0», а $t(g/1)$ – типа «залипание-в-1». Пусть, также, $S(F)$ – синдром функции F , причём

$$S(F) = \frac{K}{2^n}, \quad (3)$$

где K – количество минтермов функции F , а n – количество её входов.

Произведение функций в скобках – это пересечение множеств входных воздействий, которые задают необходимое значение в сигнале $g(\vec{x})$ и обеспечивают

наблюдение этого значения на выходах $\vec{F}$. Если схема содержит сходящиеся разветвления, то это пересечение множеств может оказаться довольно небольшим, что в результате приводит к снижению $t(g/i)$, $i \in \{0;1\}$.

Входные сигналы, имеющие разветвление на входах, могут быть разделены на отдельные независимые сигналы путём дублирования триггеров-источников, что позволяет сократить число сходящихся разветвлений в схеме, а значит, и увеличить тестируемость этой схемы.

Рассмотрим в качестве примера схему с 2 независимыми входами (см. Рис. 1а), которые обозначены переменными x_1 и x_2 и одним выходом – f . Данная комбинационная схема содержит сходящееся разветвление через узел x_2 . Тестируемость $t(g/0)$ сигнала $g = x_2$ согласно формуле (1) будет равна $t(g/0) = S(x_2 \overline{x_1 x_2}) = 0$.

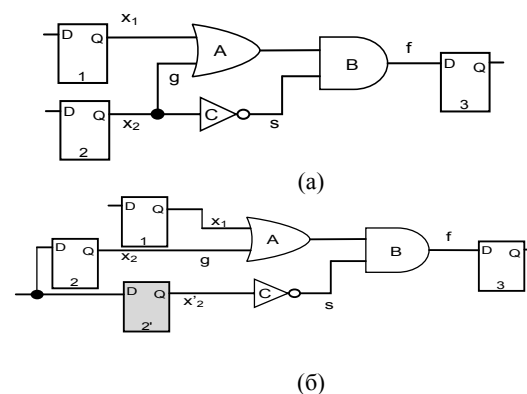


Рис.1. Пример увеличения тестируемости в комбинационной схеме: а) исходная схема; б) модифицированная схема с дублированием триггера

Рассмотрим модифицированную схему с дублированием триггера 2 (см. Рис. 1б). В данной схеме разветвление на выходе триггера 2 было разбито на 2 независимых логических сигнала, управляемых независимо триггерами 2 и 2'. Независимость управления достигается за счёт загрузки различных значений в дублированные триггеры в процессе тестирования. Чтобы комбинационная схема была функционально эквивалентна исходной, входы D триггеров 2 и 2' объединяются. Оценка тестируемости неисправности $g/0$ для модифицированной схемы с дублированием триггера показала увеличение тестируемости $t(g/0)$, которая составила

$$t(g/0) = S(x_2 \overline{x_1 x_2'}) = 1/8.$$

3. Сокращение взаимных конфликтов неисправностей

Взаимные конфликты неисправностей могут возникать в процессе генерации тестовых последовательностей, когда тестирование одного логического сигнала препятствует тестированию смежного сигнала, что приводит к созданию дополнительных тестовых векторов. Пусть s_0 – источник разветвления сигналов с ветвями $s_1, \dots, s_n$, тогда величины конфликтов выставления 0 и 1 в любой ветви s_k , $k \in [1; n]$ могут быть рассчитаны следующим образом [18]:

$$c_{s_k} = \min\{b_{s_k}; F_{s_k}\}, \quad (4)$$

$$C_{s_k} = \min\{B_{s_k}; f_{s_k}\}, \quad (5)$$

где c_{s_k} и C_{s_k} – количество конфликтов выставления логического «0» и «1» в узле s_k соответственно, b_{s_k} и B_{s_k} – необходимое количество логических состояний ветви s_k в «0» и «1» соответственно для обеспечения наблюдаемости неисправностей на всех остальных ветвях разветвления с источником s_0 , f_{s_k} и F_{s_k} – количество логических состояний ветви s_k в «0» и «1» соответственно, необходимое для наблюдения всех неисправностей, являющихся источником для сигнала s_0 , причём

$$F_{s_k} = F_{s_0} + \sum_{i=1}^n B_{s_i}, i \neq k, \quad (6)$$

$$f_{s_k} = f_{s_0} + \sum_{i=1}^n b_{s_i}, i \neq k, \quad (7)$$

Для разветвления сигнала s на выходе триггера значение $F_{s_0} = f_{s_0} = 0$, то есть $F_{s_k} = \sum_{i=1}^n B_{s_i}, i \neq k, f_{s_k} = \sum_{i=1}^n b_{s_i}, i \neq k$. Тогда, если число ветвей разветвления сократить до $n=1$, то $F_{s_k} = f_{s_k} = 0$. Отсюда $C_{s_k} = c_{s_k} = 0$ в данном разветвлении, то есть конфликтов неисправностей в нём не будет. Более того, для любого сигнала x в путях от s_0 до конечных приёмников сигнала (триггеров или портов вывода), значения f_x и F_x всех разветвлений будут сокращены на $\sum_{i=1}^n b_{s_i}$ и $\sum_{i=1}^n B_{s_i}$ соответственно. Отсюда по формулам (4) и (5) получаем, что количество конфликтов c_x и C_x любого сигнала x может быть сокращено на $\sum_{i=1}^n B_{s_i}$ и $\sum_{i=1}^n b_{s_i}$ соответственно.

Дублирование триггера-источника

разветвления позволяет сократить число ветвей разветвления до 1, значит, это приведет к снижению числа взаимных конфликтов во всех логических путях от этих триггеров.

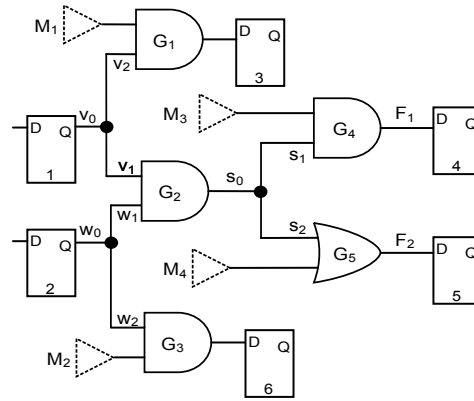
На Рис. 2а показан пример комбинационной схемы с взаимным конфликтом неисправностей в сигнале s . Отдельные части комбинационной схемы отмечены треугольниками, в которых количество неисправностей составляет M_i . По формулам (4)-(7) рассчитаем величины конфликтов в узлах s_1 и s_2 , получим:

$$c_{s_1} = \min\{b_{s_1}; F_{s_1}\} = \min\{0; \min\{M_2; M_1\}\} = 0,$$

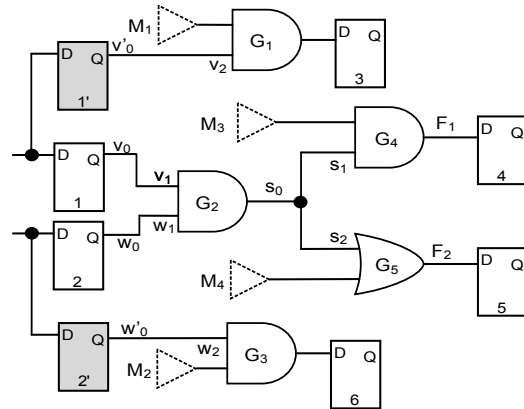
$$C_{s_1} = \min\{B_{s_1}; f_{s_1}\} = \min\{M_3; M_4\},$$

$$c_{s_2} = \min\{b_{s_2}; F_{s_2}\} = \min\{M_4; \min\{M_1; M_2\} + M_3\},$$

$$C_{s_2} = \min\{B_{s_2}; f_{s_2}\} = \min\{0; 0\} = 0.$$



(а)



(б)

Рис. 2. Пример сокращения конфликтов неисправностей в комбинационной схеме: а) исходная схема; б) модифицированная схема с дублированием триггеров

Согласно оценке возникает конфликт выставления «0» в узле s_2 и конфликт выставления «1» в узле s_1 . Для разрешения данного конфликта авторами [18] предлагается установить тестовую точку контроля ИЛИ-типа на сигнал s_2 , что

приводит к снижению до 0 в данной схеме величин c_{s_2} и C_{s_1} .

Рассмотрим эквивалентную модифицированную схему, с дублированием триггеров 1 и 2 (см. рис. 2б). Получается следующий набор выражений, характеризующий сигналы s_1 и s_2 в схеме:

$$c_{s_1} = \min\{0;0\} = 0, C_{s_1} = \min\{M_3; M_4\}, \\ c_{s_2} = \min\{M_4; M_3\}, C_{s_2} = \min\{0;0\} = 0.$$

Сравнивая результаты оценок конфликтов неисправностей модифицированной и исходной схемы можно заключить, что величина конфликта выставления «0» в узле s_2 теперь не зависит от переменных M_1 и M_2 , что приводит к снижению c_{s_2} на величину до $\min\{M_2; M_1\}$.

Так как предложенный метод дублирования триггера оказывает влияние на любой логический путь от этого триггера до конечных приёмников сигналов за счёт снижения величин взаимных конфликтов разветвления s на выходе этого триггера, то можно сделать вывод, что наибольший эффект от данного метода будет достигнут при дублировании триггеров с наибольшим количеством комбинационных элементов в выходных путях этого триггера.

4. Алгоритм поиска триггеров-источников для дублирования

Известны методы поиска всех сходящихся разветвлений по логическому описанию схемы [7], [8]. Вариант дублирования всех триггеров, имеющих на выходе разветвление, приводит к чрезмерному росту площади. Таким образом целесообразно выделить для дублирования только те триггеры, которые дают максимальный эффект увеличения тестируемости и сокращения количества конфликтов неисправностей. В данной работе анализируется алгоритм, который основан на поиске логических деревьев с наибольшим числом источников.

Длинные сходящиеся пути являются, как правило, логическими функциями большого числа переменных. Проведён анализ логических путей ряда СБИС с проектными нормами от 65 до 250 нм путём подсчёта количества конечных источников сигнала для каждого триггера схемы (см. Табл. 1). Анализ показал, что значительная часть (более 70%) триггеров имеет один конечный источник сигнала. Распределение

триггеров по количеству источников сигналов с шагом в 100 единиц дано на рис. 3. В СБИС ВМ8 встречались единицы триггеров с количеством различных источников сигналов вплоть до 7400. Логические функции с таким количеством источников представляют сложность при тестировании, поэтому их дублировать имеет смысл в первую очередь.

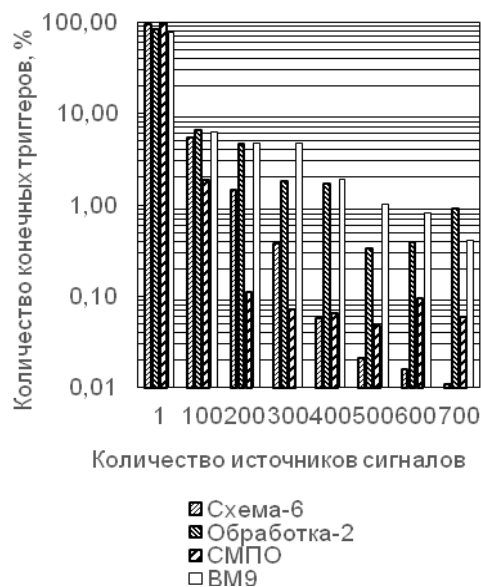


Рис. 3. Распределение триггеров по количеству источников сигналов

Алгоритм поиска триггеров-источников критических путей с порогом $d_{\max}$ по количеству элементов содержит следующую последовательность шагов:

- 1) задание количества триггеров для дублирования $d_{\max}$;
- 2) анализ схемы и получение множества сигналов L с низкой тестируемостью;
- 3) получение множества конечных источников S_i для каждого сигнала L_i ;
- 4) исключение из каждого множества S_i портов ввода-вывода и триггеров без разветвления на выходе;
- 5) сортировка множеств S_i по убыванию количества элементов;
- 6) последовательное добавление элементов из каждого множества S_i в множество D до тех пор, пока их количество не превысит $d_{\max}$.

Результатом алгоритма является множество триггеров D , которые подлежат дублированию.

Дублирование триггеров осуществляется после того, как получена модель СБИС на уровне логических элементов (нетлист). Сначала осуществляется поиск триггеров-источников

критических путей с порогом $d_{\max}$. Триггер, который имеет в выходном логическом пути элемент, допускающий сквозные токи, исключается из списка. Полученный список триггеров D дублируется, после чего осуществляется логическая оптимизация схемы, поскольку дублирование триггеров может привести к изменению задержек распространения сигналов. На основе оптимизированной схемы создаётся скан-схема с компрессией.

Генерация и моделирование тестовых векторов для полученной схемы позволяют оценить время тестирования и коэффициент тестового покрытия. Если необходимые параметры получены, либо достигнут предел заполнения элементов на кристалле, то далее проектируется топология устройства. Если же необходимый коэффициент покрытия не достигнут либо есть необходимость сократить время тестирования и при этом пространство для дополнительных триггеров есть, можно изменить параметры скан-схемы [19], либо дополнительно дублировать триггера в критических путях. Маршрут проектирования согласно изложенной методике приведен на Рис. 4.



Рис. 4. Маршрут проектирования

5. Результаты логического моделирования СБИС

Предложенная методика была использована при проектировании средств тестирования семи IP-блоков: ядра 64-разрядного микропроцессора (cpu), контроллера 2d графики (2d), контроллера Ethernet 10/100/1000 Мбит/с (eth),

контроллера PCI-E 2.0 8x (pcie_8x), контроллера последовательного RapidIO 4X с частотой передачи 3,125 Гбит/с (rio), контроллера SATA 3 Гбит/с (sata) и контроллера USB 2.0 (usb). Также согласно методике были спроектированы средства тестирования трёх систем-на-кристалле (SoC): 64-разрядного микропроцессора с архитектурой КОМДИВ и встроенными последовательными каналами RapidIO (proc), шестиканального коммутатора высокоскоростных последовательных каналов RapidIO 10 Гбит/с (smpo) и шестиканального коммутатора PCI Express 2.0 (basis). Вышеперечисленные СБИС отличаются количеством триггеров, объемом ОЗУ, количеством встроенных заказных блоков, количеством доменов синхросигналов, рабочими частотами, площадью комбинационной и триггерной логики. Все СБИС синтезировались на стандартных ячейках из библиотеки элементов TSMC с проектными нормами 65 нм, а также со встроенными интерфейсными приёмопередатчиками, заказными блоками и блоками встроенной памяти ОЗУ. Параметры всех схем приведены в Табл.1. Все вышеперечисленные СБИС были исследованы на предмет трудно тестируемых узлов, в результате были получены множества узлов L с низкой тестируемостью для каждой СБИС.

Порог $d_{\max}$ по количеству дополнительно введённых элементов для нужд средств тестирования был задан равным 2% от числа всех триггеров СБИС, что является приемлемым значением роста тестовой логики [14]. После чего согласно вышеописанному алгоритму, с заданным порогом $d_{\max}$ были получены множества триггеров D для каждой схемы, все элементы которых были дублированы.

Затем в каждой из полученных СБИС были созданы средства скан-тестирования (скан-схемы) с компрессией [20]. Описанный маршрут проектирования системы тестирования СБИС реализован в САПР Synopsys DFT Compiler. Параметры полученных схем, такие как количество внутренних скан-цепей и их длина, разрядность внешней шины тестовых данных, а также количество введённых триггеров в процессе дублирования триггеров приведены в Табл. 2. Рост площади логики СБИС, вызванный введением дополнительной логики, рассчитан после оптимизаций схем по площади и быстродействию. В среднем рост площади составил 0,38%.

Таблица 1. Параметры модифицируемых СБИС

Проект	Количество триггеров, тысячи	Площадь, мм ²			Количество портов ввода/вывода
		Триггеров	Комбинационной логики	Общая	
cpu	96,2	1,04	2,98	10,59	840
eth	31,2	0,33	0,23	2,59	602
pcie_8x	98,3	1,05	0,90	3,18	3241
rio	65,0	0,71	0,91	1,96	1638
sata	14,0	0,15	0,21	0,47	2465
usb	25,8	0,28	0,32	4,11	617
2d	6,0	0,06	0,07	0,79	1857
proc	513,8	6,21	8,55	57,95	639
smpo	344,8	3,79	4,06	59,62	311
basis	187,6	2,20	2,77	27,28	226

Таблица 2. Параметры скан-схем СБИС

Проект	Длины скан-цепей скан-схем, триггеров		Количество введенных триггеров	Рост общей площади логики, %
	без дублирования	с дублированием		
cpu	586	598	1828	0,16
eth	612	622	505	0,21
pcie_8x	601	609	1411	1,18
rio	587	598	1276	0,97
sata	610	622	254	0,09
usb	602	618	684	0,14
2d	595	615	177	0,47
proc	346	351	7207	0,36
smpo	252	260	5018	0,09
basis	189	193	3725	0,14

Таблица 3. Результаты логического моделирования СБИС

Проект	Тестовое покрытие, %	Время тестирования скан-схем, с		Сокращение времени тестирования, %
		без дублирования	с дублированием	
cpu	93,6	0,284	0,264	7,0
eth	94,1	0,102	0,097	4,9
pcie_8x	95,3	0,322	0,309	4,0
rio	96,6	0,133	0,128	3,8
sata	86,2	0,050	0,037	26,0
usb	91,4	0,030	0,029	3,3
2d	79,6	0,025	0,016	36,0
proc	91,6	1,391	0,875	37,1
smpo	90,0	0,670	0,526	21,5
basis	91,5	0,196	0,195	0,5

Проведено логическое моделирование полученных скан-схем. Тестовые последовательности были созданы с помощью инструмента ATPG (Automatic Test Pattern Generation) – Synopsys Tetramax.

В итоге определены параметры скан-схем: тестовое покрытие и количество тестовых векторов. Исходя из частоты тестового синхросигнала 10 МГц, длины скан-цепей и количества векторов было

рассчитана длительность тестирования каждой СБИС (см. Табл. 3). Для тестирования скан-схем с дублированием функциональных триггеров потребовалось на 4,8 - 39,1% меньше тестовых последовательностей для достижения заданного тестового покрытия, чем исходным скан-схемам без дублирования, в среднем по всем исследуемым проектам – на 16,1% меньше. С введением дополнительных

триггеров выросли длины скан-цепей в схемах, что привело к увеличению длительности прохождения каждого тестового вектора. Тем не менее за счёт сокращения количества векторов время тестирования сократилось на величины от 3,3% (IP-блок *gio*) до 37,1% (СБИС *proc*), в среднем на 14,4%.

6. Результаты моделирования топологий СБИС

С целью корректной оценки изменения быстродействия модифицированных схем было проведено моделирование топологий вышеописанных СБИС без дублирования триггеров и СБИС после дублирования. Разработка топологии устройств осуществлялось на стандартных ячейках TSMC с проектными нормами 65 нм в САПР Cadence Innovus. Оптимизация производилась в четырёх режимах:

1) Напряжение питания 0,9 В;

температура -40° С; SS модели транзисторов;

2) Напряжение питания 1,1 В; температура -40° С; FF модели транзисторов;

3) Напряжение питания 0,9 В; температура 125° С; SS модели транзисторов;

4) Напряжение питания 1,0 В; температура 25° С; TT модели транзисторов.

На основании временных нарушений распространений сигналов, которые были получены на критических путях триггер-триггер, вход-триггер и триггер-выход каждой из СБИС были рассчитаны максимальные рабочие частоты всех устройств, а также относительный рост максимальной частоты синхросигналов в модифицированных схемах (см. табл. 4). За исключением блока *gio*, который показал снижение частоты синхросигнала на 3,05%, все блоки показали снижение быстродействия не более чем на 1% от исходной частоты, а в трёх из семи блоков частота синхросигнала и вовсе стала выше. Стоит особенно отметить рост частоты работы процессора *cpu*, наиболее критичного к быстродействию блока.

Таблица 4. Результаты топологического проектирования СБИС

Проект	Максимальная частота синхросигнала в СБИС, МГц		Рост максимальной частоты синхросигналов, %
	без дубл.	с дубл.	
<i>cpu</i>	566,9	567,2	0,06
<i>eth</i>	465,3	470,8	1,18
<i>pcie_x8</i>	659,2	654,0	-0,78
<i>rio</i>	628,5	609,4	-3,05
<i>sata</i>	465,1	510,2	9,69
<i>usb</i>	616,9	612,8	-0,67
<i>basis</i>	278,1	275,7	-0,85

7. Заключение

Предложен метод дублирования функциональных триггеров в составе трудно тестируемых путей СБИС, который приводит к увеличению тестируемости и снижению взаимных конфликтов неисправностей.

Показано, что дублирование триггеров в путях со сходящимися разветвлениями позволяет увеличить тестируемость узлов этих путей, а дублирование триггеров-источников логических путей позволяет сни-

зить количество взаимных конфликтов неисправностей во всех узлах этих путей. Предложенная методика дублирования триггеров была реализована в 3 проектах СБИС и 7 проектах IP-блоков при проектировании средств скан-тестирования с компрессией. Результаты показали снижение времени тестирования в среднем на 14,4% при аппаратурных затратах, не превышающих 1,2% общей площади СБИС.

Method of duplicating functional registers in scan compression systems

M.S. Lادنushkin

Abstract. In this paper it was shown that duplicating of functional register can improve testability if there are reconvergent fanouts on register's output and can reduce number of blocking faults on each combinational cell in all output paths of that register.

Keywords: scan testing, register duplicating, test compression, modeling.

Литература

1. M.Abramovici, M.A.Breuer and A.D.Friedman. Digital Systems Testing and Testable Design, "Computer Science Press", 1990, 364-366 p.
2. N.A.Touba. Survey of test vector compression techniques "IEEE Design & Test of Computers", July-Vol. 23 (2006), № 4, 294-303.
3. R.Kapur. Historical perspective on scan compression «IEEE Design & Test of Computers», Vol. 25 (2008), № 2, 114-120.
4. F.Hapke, W.Redemund, A.Glowatz, J.Rajski, M.Reese, M.Hustava, M.Keim, J.Schloeffel, A.Fast. Cell-Aware Test. "IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.", Sep. 2014, Vol. 33, № 9, P. 1396-1409.
5. C.Acero, D.Feltham, F.Hapke, E.Moghaddam, N.Mukherjee, V.Neerkundar, M.Patyra, J.Rajski, J.Tyszer, J.Zawada. Embedded deterministic test points for compact cell-aware tests. "Test Conf ITC 2015 IEEE Int.", Oct. 2015, P. 1-8.
6. J. Savir Good Controllability and Observability Do Not Guarantee Good Testability. "IEEE Transactions on Computers", 1983, V. 32, № 12, P.1198-1200.
7. M.W.Robert, P.K.Lala. Algorithm to Detect Reconvergent Fanout in Logic Circuits "IEEE Proceedings", 1987, Vol.134, № 2, P.105-111.
8. S.Xu, E.Edirisuriya. A new way of detecting reconvergent fanout branch pairs in logic circuits. "Asian Test Symposium (ATS'04)", 2004, P. 354-357.
9. I. Pomeranz, S.M.Reddy Test-point insertion to enhance test compaction for scan designs. "Proc. ICDSN", 2000, P. 375-381.
10. M.J.Geuzebroek, J.T.Linden, A.J.Goor. Test point insertion that facilitates ATPG in reducing test time and data volume "Proc. ITC", 2002, P. 138-147.
11. A.Kumar, J.Rajski, S.M.Reddy, T.Rinderknecht. On the Generation of Compact Deterministic Test Set for BIST Ready Designs "Asian Test Symposium", 2013, P. 201-206.
12. C.Acero, D.Feltham, Y.Liu, E.Moghaddam, N.Mukherjee, M.Patyra, J.Rajski, S.M.Reddy, J.Tyszer, J. Zawada. Embedded deterministic test points. "IEEE Transactions on Very Large Scale Integration (VLSI) Systems", 2017, P. 1-13.
13. H.Ren, M.Kusko, V.Kravets, R.Yaari. Low cost test point insertion without using extra registers for high performance design. "Proc. ITC", 2009, P. 1-8.
14. J.Yang, N.A.Touba, B.Nadeau-Dostie. Test Point Insertion with Control Points Driven by Existing Functional Flip-Flops. "IEEE Transactions on Computers", 2012, V. 61, P. 1473-1483.
15. A.Srivastava, R.Kastner, M.Sarrafzadeh. Timing driven gate duplication: Complexity issues and algorithms. "Proc. ICCAD", 2000, P. 447-450.
16. M.Goessel, A.Singh, E.Sogomonyan. Scan-path with directly duplicated and inverted duplicated registers. "Proceedings 20th IEEE VLSI Test Symposium", 2002, P. 47-52.
17. J.Savi. Syndrome-testable design of combinational circuits. "IEEE Transactions on Computers", 1980, V.29, P. 442-451.
18. Y.Liu, E.Moghaddam, N.Mukherjee, S.M.Reddy, J. Rajski, J.Tyszer. Minimal area test points for deterministic patterns. "Proc. ITC", Nov. 2016, P. 1-7
19. М.С. Ладнушкин. Снижение аппаратурных затрат и увеличение коэффициента компрессии средств тестирования константных неисправностей КМОП цифровых СБИС «VII Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016» Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского», М.: ИППМ РАН, 2016. Ч.2, С. 68-75.
20. P.Wohl, J.A.Waicukauski, S.Ramnath. Fully X-Tolerant Combinational Scan Compression. "International Test Conference", 2007, P. 1-10.

Моделирование радиационно-индуцированной вариативности параметров в наноразмерных интегральных схемах

Г. И. Зебрев¹, М. С. Горбунов², В. О. Турин³, Р. А. Дашкин⁴, П. О. Черняков⁵

² ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ^{1,2,4,5} НИЯУ МИФИ, Москва, Россия,

³ Орловский государственный университет, г. Орлов, Россия,

E-mail's: ¹ gizebrev@mephi.ru ^{2,4,5} gorbunov@cs.niisi.ras.ru, ³ voturin@ostu.ru

Аннотация. Мы исследовали и моделировали разброс и радиационно-индуцированную вариативность параметров в наномасштабных МОП-транзисторах, обусловленную стохастическим накоплением зарядом в подзатворном оксиде при воздействии ионизирующего излучения.

Ключевые слова: разброс параметров, вольтамперная характеристика (ВАХ), МОП транзистор, ионизирующее излучение, моделирование

1. Введение

По мере уменьшения размеров современных транзисторов, изменчивость параметров их характеристик становится очень важной проблемой для современных интегральных схем с технологической нормой менее 100 нм. Основной причиной разброса параметров является дискретность заряженных примесей в устройствах. В частности, вариативность числа и положения атомов легирующей примеси под каналом МОП-транзистора (МОПТ), а также стохастический заряд, захваченный в подзатворных оксидах, делают каждый транзистор функционально неэквивалентным, что приводит к ухудшению функциональных характеристик на уровне интегральной схемы (системы). Стохастическая вариативность такого плана носит фундаментальный характер, поскольку она не может быть уменьшена за счет каких-либо технологических усовершенствований. Внешние неравновесные факторы (ионизирующее облучение, горячие носители, и др.) могут приводить к появлению дополнительной неопределенности в параметрах, связанной с накоплением случайного заряда в оксиде [1].

2. Дисперсия пороговых напряжений МОПТ

Статические флуктуации тока стока от образца к образцу для всех режимов работы МОП-транзисторов дается формулой

$$\frac{\text{var } I_D}{I_D^2} = \frac{g_m^2 \text{var } V_T}{I_D^2} \quad (1)$$

где $\text{var } V_T$ дисперсия распределения порогового напряжения V_T по множеству транзисторов, g_m - крутизна транзистора. Для приведенного выше режима порога ($V_G > V_T$) мы имеем $\text{var } I_D / I_D^2 \sim \text{var } V_T / (V_G - V_T)^2 \ll 1$, в то время как режиму подпорога ($V_G < V_T$) соответствует $\delta I_D / I_D > 1$.

Изменения напряжения порога u_T вокруг их средних значений описываются в МОПТ распределением Гаусса

$$P_{V_T}(u_T) = \frac{1}{[2\pi \text{var } V_T]^{1/2}} \exp\left(-\frac{(u_T - V_T)^2}{2 \text{var } V_T}\right) \quad (2)$$

где дисперсия порогового напряжения $\text{var } V_T$ может быть рассчитана путем суммирования предположительно независимых членов, соответствующих атомам легирующей примеси в кремнии и радиационно-индуцированным заряженным ловушкам в оксиде

$$\begin{aligned} \text{var } V_T &= \left(\frac{\partial V_T}{\partial Q_D}\right)^2 \langle \delta Q_D^2 \rangle + \left(\frac{\partial V_T}{\partial Q_{OX}}\right)^2 \langle \delta Q_{OX}^2 \rangle = \\ &= \frac{\text{var } Q_D + \text{var } Q_{OX}}{C_{OX}^2} \equiv \text{var } V_T^{RDF} + \text{var } V_T^{OX}, \end{aligned} \quad (3)$$

где $\text{var } Q_D$ и $\text{var } Q_{OX}$ это дисперсии случайный атомов легирующей примеси (RDF) и числа заряженных ловушек в оксиде.

Флуктуация заряда легирующей примеси в пуассоновском приближении может быть

записана как $\langle \delta Q_D^2 \rangle = q Q_D$, и выражение для части дисперсии порогового напряжения от атомов легирующей примеси имеет вид

$$\begin{aligned} \text{var } V_T^{RDF} &\cong \frac{q Q_D}{C_{ox}^2} = \\ &= \frac{q^2}{(\varepsilon_0 \varepsilon_{ox})^2} \left(\frac{4 \varphi_F \varepsilon_0 \varepsilon_S N_A}{q} \right)^{1/2} \frac{t_{ox}^2}{W L} \end{aligned} \quad (4)$$

где N_A концентрация легирующей примеси в подложке p-типа, а t_{ox} толщина подзатворного окисла.

Стандартное отклонение $\delta V_T = (\text{var } V_T)^{1/2}$ подчиняется зависимости Пельгрона (Pelgrom's dependence) $\delta V_T \propto 1/\sqrt{WL}$ [2], что является прямым следствием пуассоновского распределения зарядов.

Флуктуации от легирующей примеси определяются технологическими факторами и обычно не подвержены воздействию ионизирующего излучения, горячих электронов или другого неравновесного внешнего воздействия.

Захват заряда в окисле является стохастическим фактором, связанным с воздействием ионизирующего излучения, одиночными эффектами или другими опасными условиями.

Смещение порогового напряжения при облучении определяется чистым зарядом оксида

$$\Delta V_T = -(Q_{ox}^+ - Q_{ox}^-)/C_{ox}, \quad (5)$$

где Q_{ox}^+ (Q_{ox}^-) - эффективное количество положительного (отрицательного) заряда, захваченного на границе Si-SiO₂.

Положительный радиационно-индуцированный заряд, задерживаемый оксидами, часто (особенно при облучении с низкой дозой) сильно компенсируется из-за туннельной релаксации и / или накопления интерфейсной ловушки в n-МОП-транзисторах.

Очень тонкие подзатворные окислы дают незначительный сдвиг порога ΔV_T даже при довольно высоких дозах.

В то же время дисперсия числа зарядов окисле описывается не чистым зарядом, а суммой заряженных дефектов с разными знаками

$$\text{var } Q_{ox} = q(Q_{ox}^+ + Q_{ox}^-) \cong q^2 N_{ox}. \quad (6)$$

Тогда мы имеем

$$\text{var } V_T^{ox} = \text{var } Q_{ox} / C_{ox}^2 = q^2 N_{ox} / C_{ox}^2 \quad (7)$$

Таким образом, ионизирующее излучение может мало влиять на средние характеристики I-V современных МОПТ, значительно увеличивая при этом их разброс.

3. Логнормальное распределение тока в подпороговом режиме

Ток стока в подпороговой области ($V_G < V_T$) MOSFET со случайным пороговым напряжением u_T хорошо описывается простым экспоненциальным приближением

$$i_D(u_T) \cong I_T \exp\left(\frac{V_G - u_T}{m \varphi_T}\right) \quad (8)$$

где m - фактор неидеальности подпорогового участка ВАХ МОПТ. Гауссовское (нормальное) распределение пороговых напряжений в этом режиме преобразуется в логнормальное распределение подпороговых токов стока

$$\begin{aligned} P_I(i_D) &= P_{V_T}[V_T(I_D)] \left| \frac{dV_T}{di_D} \right| = \\ &= \frac{m \varphi_T}{\sqrt{2\pi \text{var } V_T} i_D} \exp\left(-\frac{\text{var } V_T}{2m^2 \varphi_T^2} \ln^2(i_D/I_D)\right), \end{aligned} \quad (9)$$

где I_D - средний параметр логнормального распределения, соответствующий среднему пороговому напряжению

$$I_D = I_T \exp[(V_G - V_T)/m \varphi_T].$$

Подпороговый ток стока, усредненный по ансамблю из N транзисторов с разбросанными пороговыми напряжениями [3], можно рассчитать как усредненное по логнормальному распределению

$$\begin{aligned} \langle I_D \rangle &= N^{-1} \sum_{i=1}^N I_D^{(i)} = \int i_D P_I(i_D) di_D = \\ &= I_D \exp\left(\frac{\text{var } V_T}{2m^2 \varphi_T^2}\right) \end{aligned} \quad (10)$$

На Рисунке 1 показаны формы распределения тока, рассчитанные при фиксированном токе с разными значениями $\text{var } V_T$.

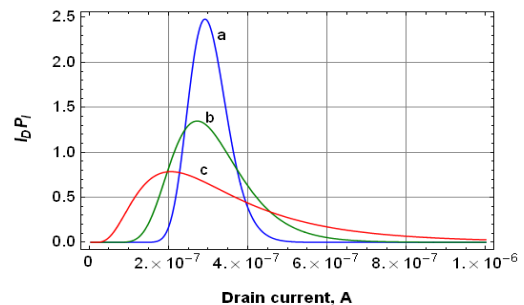


Рисунок 1. Распределения тока стока $I_D P_I(I_D)$, рассчитанные при фиксированном $I_D = 3 \times 10^{-7}$ А ($W/L = 120$ нм / 60 нм, $N_A = 10^{17}$ см⁻³) при (a) $N_{ox} = 0$; (b) $N_{ox} = 10^{12}$ см⁻³; (a) $N_{ox} = 2 \times 10^{13}$ см⁻³.

Средний ток стока превышает медиальное значение из-за распределения тока в подпороговой области, которое

искажается вправо при достаточно большом $\text{var } V_T$. Это означает, что относительно небольшая часть транзисторов с отрицательным сдвигом V_T обеспечивает значительный вклад в средний ток из-за сильной зависимости тока стока от V_G при $V_G < V_T$.

4. Разбросы как функции затворного напряжения и заряда в окисле

Характеристику вариации тока стока обычно можно рассматривать как стандартное отклонение $\sqrt{\text{var } I_D} = \sqrt{\langle I_D^2 \rangle - \langle I_D \rangle^2}$ от среднего отношения тока, рассчитываемого посредством простого усреднения характеристик I-V. Мы численно моделировали дисперсию тока стока в любом режиме работы с использованием общей формулы

$$\text{var } I_D(V_G) = \int I_D^2(V_G - u_T) P_{V_T}(u_T) du_T - \left[\int I_D(V_G - u_T) P_{V_T}(u_T) du_T \right]^2, \quad (11)$$

где пороговая дисперсия напряжения может быть указана для разных размеров каналов, уровней легирования и зарядов, захваченных оксидами. Такой подход требует аналитической зависимости тока стока от смещений затвора и стока для всех режимов работы. В этом случае мы используем компактную модель MOSFET, описанную в [4]. На Рисунке 2 показано стандартное отклонение от отношения тока стока к среднему значению, которое имитируется как функция напряжения затвора. Амплитуды стандартного отклонения тока стока значительно больше в подпороговых режимах работы при фиксированном заряде оксида N_{ox} из-за меньших значений логарифмического наклона S' в (8).

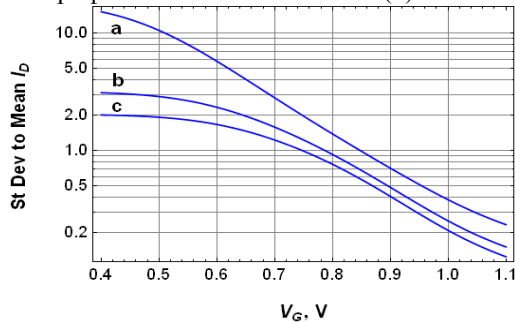


Рисунок 2. Стандартное отклонение тока стока к средним значениям, моделируемым как функции напряжения затвора при разных концентрациях оксидных ловушек N_{ox} : (a) 10^{13} см^{-3} (b) $3 \cdot 10^{12} \text{ см}^{-3}$ (c) 10^{11} см^{-3} для 60 нм pFET ($t_{ox} = 3 \text{ нм}$, $W/L = 120 \text{ нм} / 60 \text{ нм}$, $V_T = 0,7 \text{ В}$, $N_A = 3 \times 10^{17} \text{ см}^{-3}$).

Относительное стандартное отклонение постоянного тока (при $V_G = V_{DD}$) должно быть возрастающей функцией.

Это иллюстрируется расчетными результатами моделирования на Рис. 3.

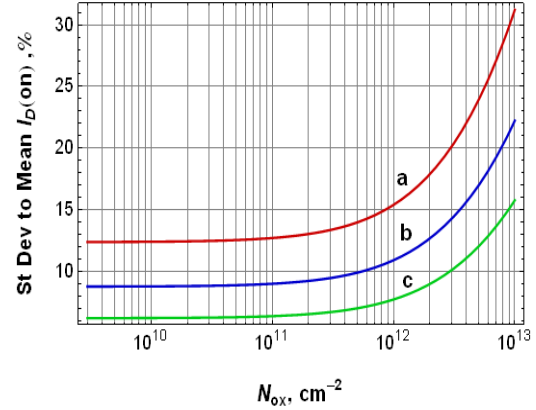


Рисунок 3. Стандартное отклонение к средним значениям тока ($V_G = V_{DD} = 1,2 \text{ В}$), моделируемым как функции концентрации ловушек N_{ox} при разных размерах (a) $W/L = 60 \text{ нм} / 60 \text{ нм}$ (b) $W/L = 120 \text{ нм} / 60 \text{ нм}$ (c) $W/L = 240 \text{ нм} / 60 \text{ нм}$ для того же pFET, что и на фиг.2.

Для низкой плотности заряда оксида относительные флуктуации тока постоянны из-за доминирования RDF в (10).

Высота плато на Рис. 3 определяется $\text{var } V_T^{RDF}$ в (10).

Заметное увеличение флуктуаций тока стока в целом обусловлено флуктуациями заряда оксида $\text{var } V_T^{ox}$. Ионизирующее облучение может быть источником нестабильности N_{ox} .

Компенсация захваченного заряда может сильно подавить сдвиг порогового напряжения, что делает его пренебрежимо малым для современных наномасштабных схем с тонкими подзатворными оксидами.

В то же время общая плотность заряженных оксидных ловушек $N_{ox} \equiv N_{ox}^+ + N_{ox}^-$ может рассматриваться как функция, приблизительно пропорциональная полной ионизирующей дозе.

В частности, дозовая зависимость относительных флуктуаций тока стока, измеренная для п-МОПТ с 120/60 нм (см. Рис.6 в [5]), почти идентична кривой (b) на Рис.3, преднамеренно моделируемой с аналогичными параметрами транзистора. Ожидается, что норм менее 28 нм такого рода эффекты превратятся в очень серьезную проблему.

Modeling of radiation-induced variability of parameters in nanoscale integrated circuits

G. I. Zebrev, M. S. Gorbunov, R. A. Dashkin, P. A. Chernyakov, V. O. Turin

Abstract. We examined and simulated the mismatch and radiation-induced variability in nanoscale MOSFETs concerned with stochastic oxide charge, trapping under impact of ionizing radiation.

Keywords: mismatch, MOSFET, I-V characteristics, oxide charge, ionizing radiation, modeling,

Литература

- [1] G. I. Zebrev, M. S. Gorbunov, "Radiation induced leakage due to stochastic charge trapping in isolation layers of nanoscale MOSFETs," *Proceedings SPIE*. 2008. - Vol. 7025. – P. 702517-702517-8.
- [2] M. J. Pelgrom, A. C. Duinmaijer, A. P. Welbers, et al. Matching properties of MOS transistors. *IEEE Journal of solid-state circuits*, 24(5):1433–1439, 1989.
- [3] D. J. Frank, R. H. Dennard, E. Nowak, P. M. Solomon, Y. Taur, and H.-S. P. Wong, "Device Scaling Limits of Si MOSFETs and Their Application Dependencies," *Proc. IEEE* 89, No. 3, pp. 259–288, 2001.
- [4] G. I. Zebrev, V. V. Orlov, A. S. Bakerenkov, V. A. Felitsyn, "Compact Modeling of MOSFET's I-V Characteristics and Simulation of Dose-Dependent Drain Current," *IEEE Trans. Nucl. Sci.*, Vol. 64, No. 8, pp. 2212-2218, Aug. 2017, 10.1109/TNS.2017.2712284.
- [5] S. Gerardin, M. Bagatin, D. Cornale, L. Ding, S. Mattiazzo, A. Paccagnella, F. Faccio, and S. Michelis, "Enhancement of Transistor-to-Transistor Variability Due to Total Dose Effects in 65-nm MOSFETs," *IEEE Trans. Nucl. Sci.*, Vol. 62, No. 6, pp. 2398–2403, Dec. 2015.

Анализ пригодности современных компактных моделей КНИ МОП-транзисторов к моделированию в расширенном диапазоне температур

Г.А. Яшин¹, А. В. Амирханов², А.А. Глушко³, В.В Макаrchук⁴, А.С Новоселов⁵

^{1, 2, 3, 5} ФГУ ФНЦ НИИСИ РАН, Москва, Россия, ⁴ МГТУ им. Н. Э. Баумана, Москва, Россия,

E-mail's: ¹ georgtree@gmail.com, ^{2, 5} anton_novoselov@srisa.ru, ³ andrey_glushko@srisa.ru, ⁴ vmakarchuk@gmail.com

Аннотация. В работе был проведен анализ пригодности компактных моделей BSIMSOI4.5 и HISIMSOI1.30 для моделирования электрических характеристик в расширенном диапазоне температур. Была проведена экстракция параметров моделей на основе измерений КНИ МОП-транзисторов, выполненных по технологии с минимальной проектной нормой 0.35 мкм, после чего было проведено анализ соответствия модельных параметров экспериментальным для таких электрических характеристик транзистора, как пороговое напряжение и ток стока в режиме насыщения.

Ключевые слова: BSIMSOI, HISIMSOI, модель, оптимизация, высокая температура

1. Введение

К современным микросхемам для космического и военного применения зачастую помимо радиационной стойкости предъявляются требования по работе при повышенных температурах, выходящих за пределы стандартного диапазона $-60...125^{\circ}\text{C}$, при этом верхняя граница может достигать до 300°C .

Для того чтобы оценить работоспособность микросхемы при данных температурах на схемотехническом уровне, необходимо обладать компактными моделями, которые корректно моделируют поведение транзистора в рассматриваемом температурном диапазоне.

Для выбора компактной модели которая будет адекватно описывать поведение транзистора при высокой температуре, необходимо провести анализ существующих компактных моделей частично-обедненных КНИ МОП-транзисторов и подтвердить их пригодность на основе полученных экспериментальных данных.

Электрические характеристики транзистора очень сильно зависят от изменения его температуры.

Прежде всего это изменения подпорогового тока, тока сильной инверсии и порогового напряжения.

При увеличении температуры увеличивается подпороговый ток и уменьшается пороговое

напряжение, что приводит к увеличению утечек транзистора, уменьшению тока сильной инверсии, вследствие чего происходит уменьшение быстродействия транзистора из-за более медленной скорости перезарядки емкостей.

Также критичным для транзисторов, выполненных по технологии КНИ, является эффект саморазогрева, который приводит к отрицательному дифференциальному сопротивлению транзистора при больших токах стока.

2. Источники температурной вариации характеристик МОП-транзисторов

С точки зрения физики полупроводников, температурная зависимость какого-либо параметра носителей заряда или непосредственно полупроводника на микроскопическом уровне приводит к макроскопическому изменению электрических характеристик транзистора, прежде всего тока.

КНИ МОП-транзистор обладает несколькими микроскопическими источниками температурной вариации.

Соответствие источников вариации изменению электрических характеристик показано в Таблице 1

Таблица 1. Соответствие источников вариации изменению электрических характеристик

№	Источник температурной вариации	Изменение электрической характеристики транзистора
1	Изменение концентрации собственных носителей в полупроводнике из-за повышения тепловой энергии носителей и из-за температурной зависимости ширины запрещенной зоны полупроводника.	Изменение порогового напряжения транзистора, наклона подпороговой характеристики и тока утечки
2	Рассеяние носителей на фононах кристаллической решетки, и как следствие изменение подвижности носителей в области канала.	Изменение тока транзистора в умеренной и сильной инверсии
3	Рассеяние носителей на фононах кристаллической решетки, и как следствие изменение подвижности носителей в области LDD-легирования.	Изменение тока транзистора в умеренной и сильной инверсии
4	Температурная зависимость скорости насыщения носителей в сильных электрических полях носителей – в области канала.	Изменение тока транзистора в режиме насыщения
5	Температурная зависимость скорости насыщения носителей в сильных электрических полях носителей в области LDD-легирования.	Изменение тока транзистора в режиме насыщения
6	Эффект саморазогрева – локальный перегрев отдельных областей транзистора	Изменение тока транзистора в режиме насыщения – появление отрицательного дифференциального сопротивления

3. Компактные модели КНИ МОП-транзисторов

В качестве стандартных моделей, применяемых для моделирования поведения КНИ МОП-транзистора, применяются две модели: BSIMSOI 4.5 и HISIMSOI 1.30.

Обе модели стандартизированы CMC (Compact Model Coalition).

Однако, в основе моделирования как электрических характеристик, так и температурных эффектов, они используют разные подходы.

Модель BSIMSOI 4.5 основана на аналитических выражениях для токов, которые зависят от напряжений на контактах, и используется непосредственно выражение для порогового напряжения. Различные области работы транзистора объединены с помощью сглаживающих функций [3].

В модели HISIMSOI 1.30 используется подход, основанный на итерационном решении дифференциального уравнения Пуассона для получения значения поверхностного потенциала транзистора, с помощью которого уже происходит вычисление токов транзистора. Данный подход является более приближенным к физике работы транзистора и не требует сглаживающих функций для перехода от подпорогового режима к режиму сильной инверсии [1]. Соответственно, для моделирования тепловых эффектов также применяются разные подходы.

В модели BSIMSOI 4.5 используются выражения для коэффициентов порогового напряжения, подвижности, тока ударной ионизации, зависящие от температуры. В модели же HISIMSOI 1.30 применение подобных выражений сведено к минимуму, так как температурные зависимости токов в различных режимах работы учтены непосредственно при решении дифференциального уравнения и последующем вычислении токов. В данной модели заложена температурная зависимость непосредственно ширины запрещенной зоны транзистора, зависимость рассеяния носителей на фононах и температурная зависимость паразитного сопротивления LDD-областей. Для учета эффекта саморазогрева в обоих моделях используется стандартный подход теплового сопротивления и тепловой емкости, подключенных к отдельному температурному выводу.

В Таблице 2 указаны источники температурной вариации электрических характеристик транзисторов и выражения, которые используются в каждой из моделей для учета влияния данных источников на электрические характеристики. Можно заметить, что в отличие от модели BSIMSOI 4.5, в которой используется непосредственно выражение для порогового напряжения, которое в нем линейно зависит от температуры, в модели HISIMSOI 1.30 используется собственная концентрация носителей в зависимости от температуры и ширины запрещенной зоны (которая так же зависит от температуры). Такое отличие дает модели

HISIMSOI 1.30 преимущество, так как используется наиболее приближенная к физике формулировка, которая не ограничивает зависимость порогового напряжения транзистора от температуры линейным законом. Так же, модель BSIMSOI 4.5 не имеет зависимости скорости насыщения носителей от

температуры в области LDD-легирования, а формулировка рассеяния носителей на фонах в области LDD-легирования формируется на основе последовательного сопротивления, а не подвижности, в отличие от модели HISIMSOI 1.30.

Таблица 2. Соответствие источников вариации выражениям компактных моделей.

№	Источник температурной вариации	BSIMSOI 4.5	HISIMSOI 1.30
1	Изменение концентрации собственных носителей в полупроводнике из-за повышения тепловой энергии носителей и из-за температурной зависимости ширины запрещенной зоны полупроводника.	$V_{th(T)}$ $= V_{th(Tnom)} + (K_{T1} + \frac{K_{T1l}}{L_{eff}} + K_{T2}V_{bseff})\left(\frac{T}{T_{nom}}\right)$	$n_i = n_{i0} \cdot T^{\frac{2}{3}} \cdot \exp\left(-\frac{E_g k_B T}{2q^2}\right)$ $E_g = E_{gtnom} - BGTMP1 \cdot (T - TNOM) - BGTMP2 \cdot (T^2 - TNOM^2)$
2	Рассеяние носителей на фонах кристаллической решетки, и как следствие изменение подвижности носителей в области канала.	$\mu_{0(T)} = \mu_{0(Tnom)} \cdot \left(\frac{T}{T_{nom}}\right)^{ute}$ $U_{a(T)} = U_{a(Tnom)} + U_{a1} \cdot \left(\frac{T}{T_{nom}} - 1\right)$ $U_{b(T)} = U_{b(Tnom)} + U_{b1} \cdot \left(\frac{T}{T_{nom}} - 1\right)$ $U_{c(T)} = U_{c(Tnom)} + U_{c1} \cdot \left(\frac{T}{T_{nom}} - 1\right)$	μ_{PH} $= \frac{M_{uephonon}}{\left(\frac{T}{TNOM}\right)^{MUETMP} \cdot E_{eff}^{MUEPHO}}$
3	Рассеяние носителей на фонах кристаллической решетки, и как следствие изменение подвижности носителей в области LDD-легирования.	$R_{dsw(T)} = R_{dsw(Tnom)} + P_{rt} \cdot \left(\frac{T}{T_{nom}} - 1\right)$	$\mu_{drift0,temp}$ $= \frac{RDRMUE}{\left(\frac{T}{TNOM}\right)^{RDRMUETMP}}$
4	Температурная зависимость скорости насыщения носителей в сильных электрических полях носителей – в области канала.	$v_{sat(T)} = v_{sat(Tnom)} + A_T \cdot \left(\frac{T}{T_{nom}} - 1\right)$	V_{max} $= \frac{VMAX}{1.8 + 0.4 \left(\frac{T}{TNOM}\right) + 0.1 \left(\frac{T}{TNOM}\right)^2 - VTMP \cdot \left(1 - \frac{T}{TNOM}\right)}$
5	Температурная зависимость скорости насыщения носителей в сильных электрических полях носителей в области LDD-легирования.	Отсутствует	$V_{max_drift,temp}$ $= \frac{RDRVMAX}{1.8 + 0.4 \left(\frac{T}{TNOM}\right) + 0.1 \left(\frac{T}{TNOM}\right)^2 - RDRV TMP \cdot \left(1 - \frac{T}{TNOM}\right)}$

4. Экстракция параметров компактных моделей

Параметры моделей были получены на наборах измерений тестовых структур по технологии КНИ КМОП с минимальной проектной нормой 0.35 мкм на следующих температурах: -60, -20, 25, 65, 95, 125, 250, 300С.

Получение наборов параметров было произведено согласно стратегии “разделяй и властвуй” с применением различных алгоритмов оптимизации, таких как: CONDOR, генетический алгоритм оптимизации.

5. Сравнение данных эксперимента и компактных моделей

После получения параметров моделей на базе экспериментальных данных было проведено сравнение следующих электрических характеристик широких n- и p-канальных транзисторов с длинами $L=10$ мкм и $L=0.35$ мкм:

- Ток в режиме насыщения
- Пороговое напряжение при малом напряжении на стоке

На рисунках представлены зависимости данных характеристик в зависимости от температуры. По пороговому напряжению (определяемому по постоянному току) обе модели показывают приемлемую относительную ошибку, однако, как можно видеть из графиков зависимости, модель HISIMSOI

1.30 лучше повторяет тенденцию изменения порогового напряжения в сравнении с BSIMSOI 4.5.

По току насыщения у транзисторов большой площади можно видеть, что его температурная зависимость в большей степени определяется механизмом рассеяния носителей на фононах, обе модели на больших транзисторах показывают приемлемую относительную ошибку, но модель HISIMSOI 1.30 лучше повторяет тенденцию изменения тока насыщения в сравнении с BSIMSOI 4.5. В то время как у транзисторов с коротким каналом тенденция изменяется вследствие влияния таких источников температурной зависимости как: температурная зависимость паразитного сопротивления сток/исток, температурная зависимость насыщения скорости носителей и эффект саморазогрева. Обе модели показывают приемлемую относительную ошибку.

Так же при исследовании моделей было замечено, что модель HISIMSOI 1.30 имеет более высокую предсказательную способность, чем модель BSIMSOI4.5. То есть, после характеристики компактной модели на более узком диапазоне температур и дальнейшей экстраполяции на расширенный диапазон, модель HISIMSOI 1.30 более точно совпадает с экспериментальными значениями, в то время как модель BSIMSOI4.5 может давать ошибочные значения. Предполагается, что это связано с более эмпирической природой модели BSIMSOI4.5 и многочисленными полиномиальными зависимостями температурных коэффициентов, в то время как модель HISIMSOI 1.30 является более приближенной к физике работы реального прибора. Это дает преимущество модели HISIMSOI 1.30 при недостатке экспериментальных данных на разных температурах.

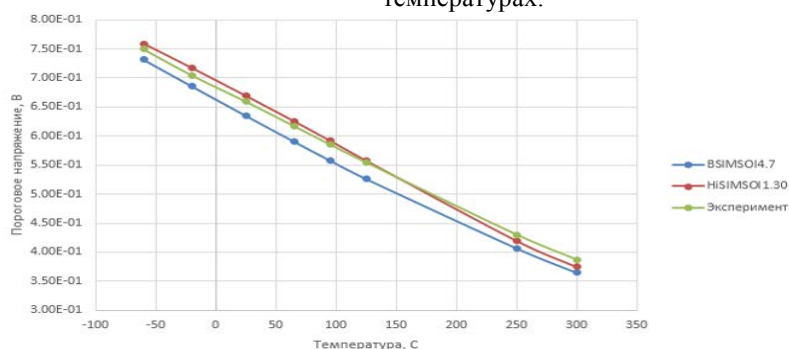


Рисунок 1. Зависимость порогового напряжения n-канального транзистора с длиной $L=10$ мкм от температуры

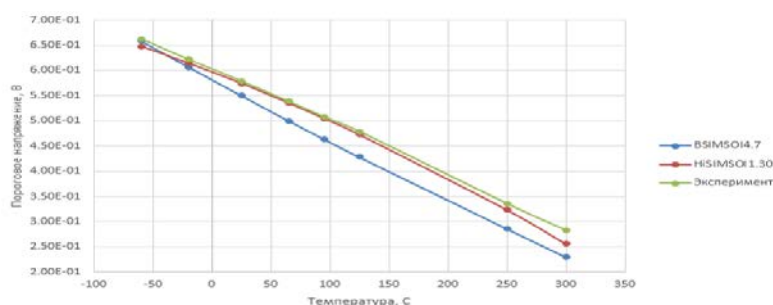


Рисунок 2. Зависимость порогового напряжения p-канального транзистора с длиной $L=10$ мкм от температуры

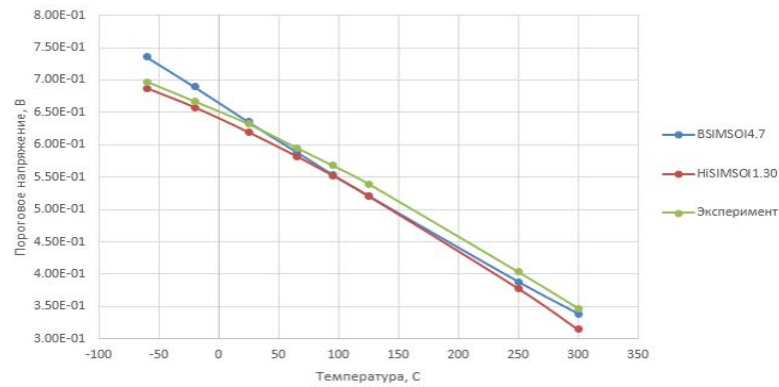


Рисунок 3. Зависимость порогового напряжения п-канального транзистора с длиной $L=0.35$ мкм от температуры

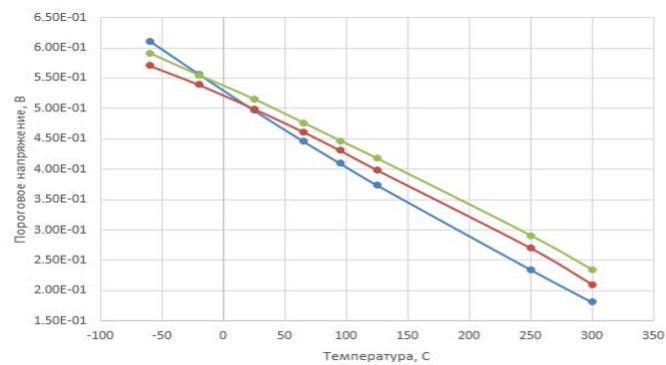


Рисунок 4. Зависимость порогового напряжения р-канального транзистора с длиной $L=0.35$ мкм от температуры

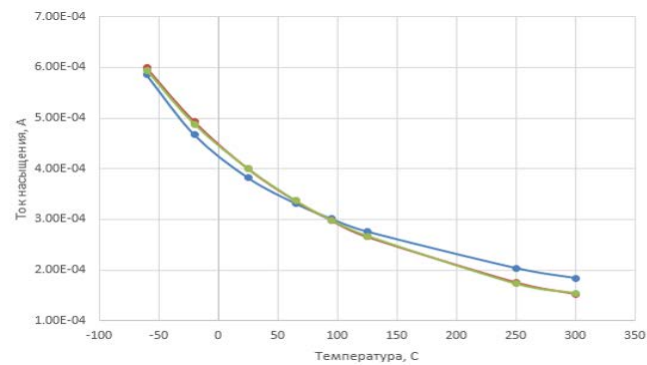


Рисунок 5. Зависимость тока насыщения п-канального транзистора с длиной $L=10$ мкм от температуры

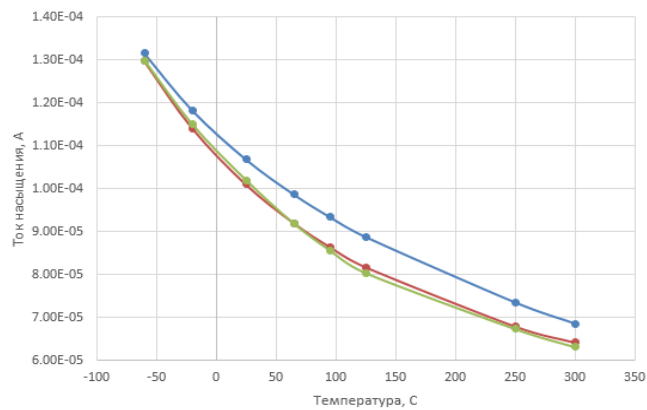


Рисунок 6. Зависимость тока насыщения р-канального транзистора с длиной $L=10$ мкм от температуры

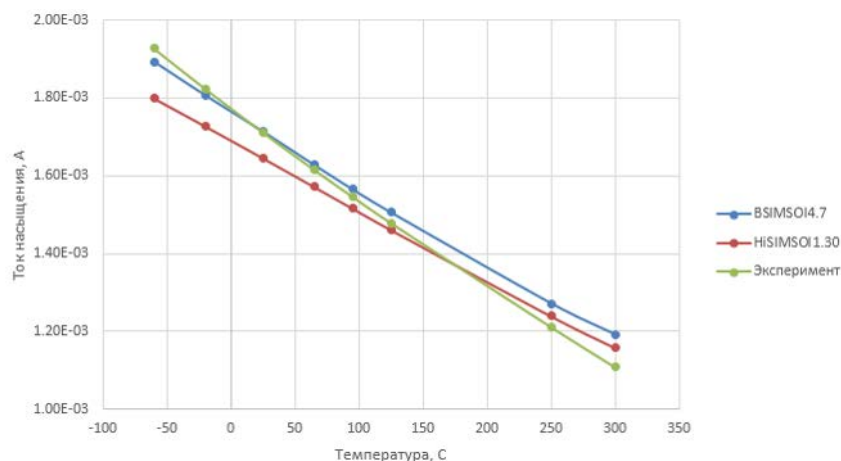


Рисунок 7. Зависимость тока насыщения n-канального транзистора с длиной $L=0.35$ мкм от температуры

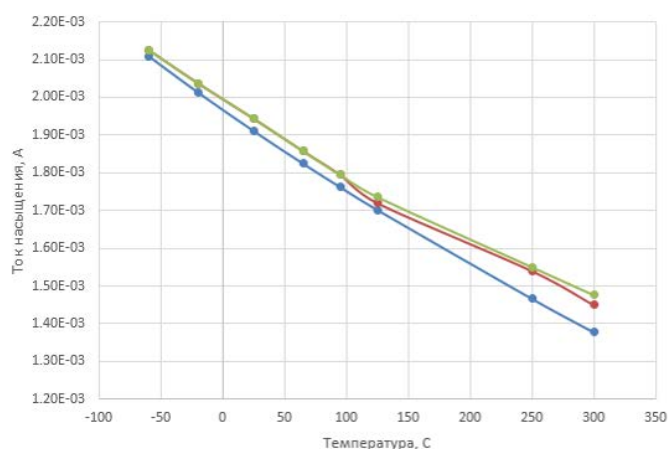


Рисунок 8. Зависимость тока насыщения p-канального транзистора с длиной $L=0.35$ мкм от температуры

5. Заключение

В результате работы были получены параметры компактных моделей КНИ МОП-транзисторов BSIMSOI4.5 и HISIMSOI 1.30 на основе измерений тестовых структур транзисторов в расширенном диапазоне температур $-60...120^{\circ}\text{C}$ и проведен анализ пригодности данных моделей для моделирования характеристик в данном диапазоне температур.

По итогу работы более подходящей для моделирования КНИ КМОП-транзисторов в расширенном диапазоне температур является модель HISIMSOI 1.30, так как она лучше описывает температурные зависимости характеристик транзисторов при меньшем количестве подстроечных коэффициентов. Однако, модель BSIMSOI 4.5 имеет малую относительную ошибку при правильно подобранных температурных коэффициентах, и так же может исполь-

зоваться для расширенного диапазона. Но форма температурной зависимости лучше отрабатывается моделью HISIMSOI 1.30 при меньшем времени характеризации модели.

Помимо этого, модель HISIMSOI 1.30 имеет меньшее количество параметров, опирается на более фундаментальные аналитические выражения и имеет более сильную предсказательную способность.

Также данная модель рекомендуется к применению в рамках работ по высокотемпературным и высоковольтным применениям транзисторов по той причине, что в ее семейство так же входит модель HISIM-HV для высоковольтных МОП-транзисторов.

Единственным недостатком данной модели по сравнению с BSIMSOI 4.5 является меньшая скорость моделирования схем на ее основе, что может стать преградой при моделировании схем с большим количеством транзисторов.

Analysis of the suitability of modern compact models of MOSFET transistors for modeling in the extended temperature range

G.A. Yashin, A. V. Amirkhanov, A.A. Glushko, V.V. Makarchuk, A.S. Novosyolov

Abstract. In the paper, the suitability of compact models BSIMSOI4.5 and HISIMSOI1.30 was simulated to simulate electrical characteristics over an extended temperature range. Extraction of model parameters was made on the basis of experimental measurements of SOI MOS transistors made using the technology with a minimum design length of 0.35 μm , after which the model parameters were analyzed for the experimental characteristics of such electrical characteristics of the transistor as threshold voltage, drain current in saturation mode.

Keywords: BSIMSOI, HISIMSOI, model, optimization, high temperature

Литература

1. Mitiko Miura-Mattausch, Hans Jürgen Mattausch, Tatsuya Ezaki: THE PHYSICS AND MODELING OF MOSFETS Surface-Potential Model HiSIM, - Singapore: World Scientific Publishing Co. Pte. Ltd., 2008 – 381c
2. Donald A. Neamen: Semiconductor physics & devices: basic principles - Fourth edition, - New York: McGraw-Hill, 2011 – 760c
3. Yuhua Cheng, Chenming Hu: MOSFET MODELING & BSIM3 USER'S GUIDE– NY.: Kluwer Academic Publishers. 2002 – 478 c.